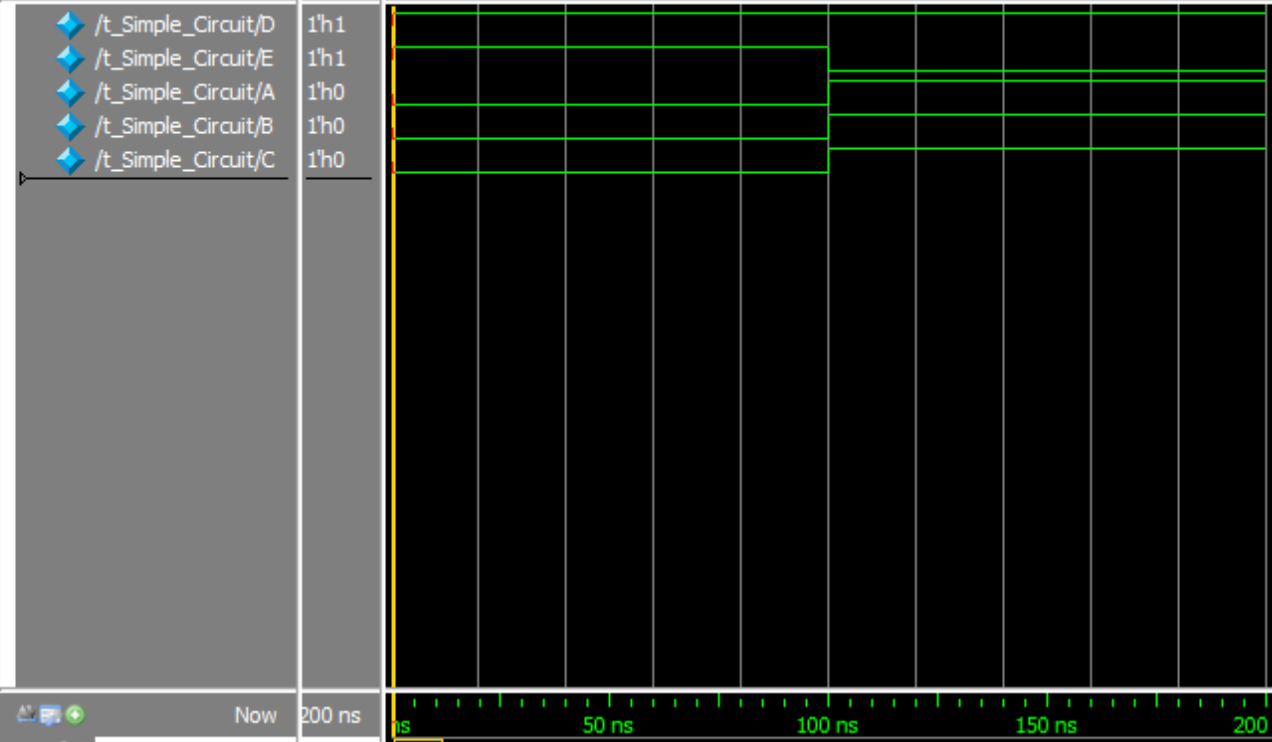
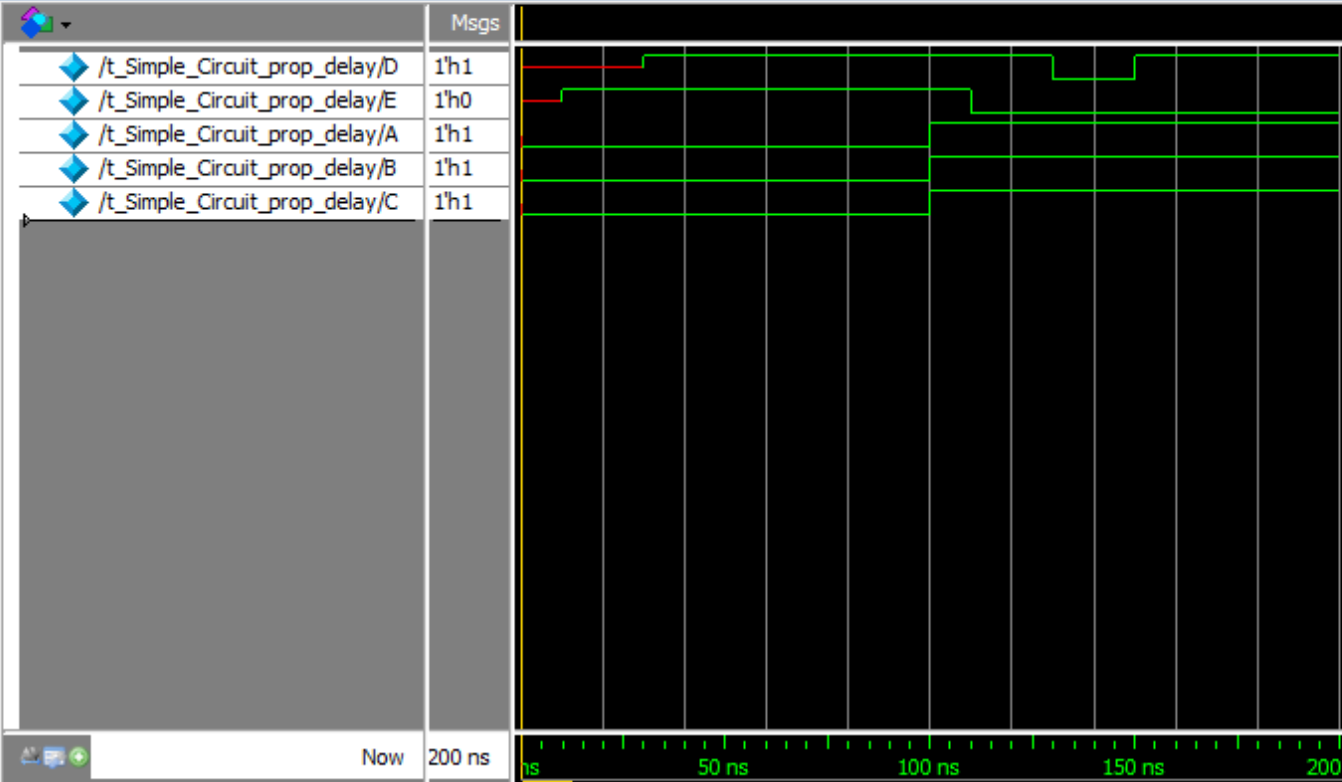
**A. 模擬並修改附檔*Simple\_Circuit\_prop\_delay.v***

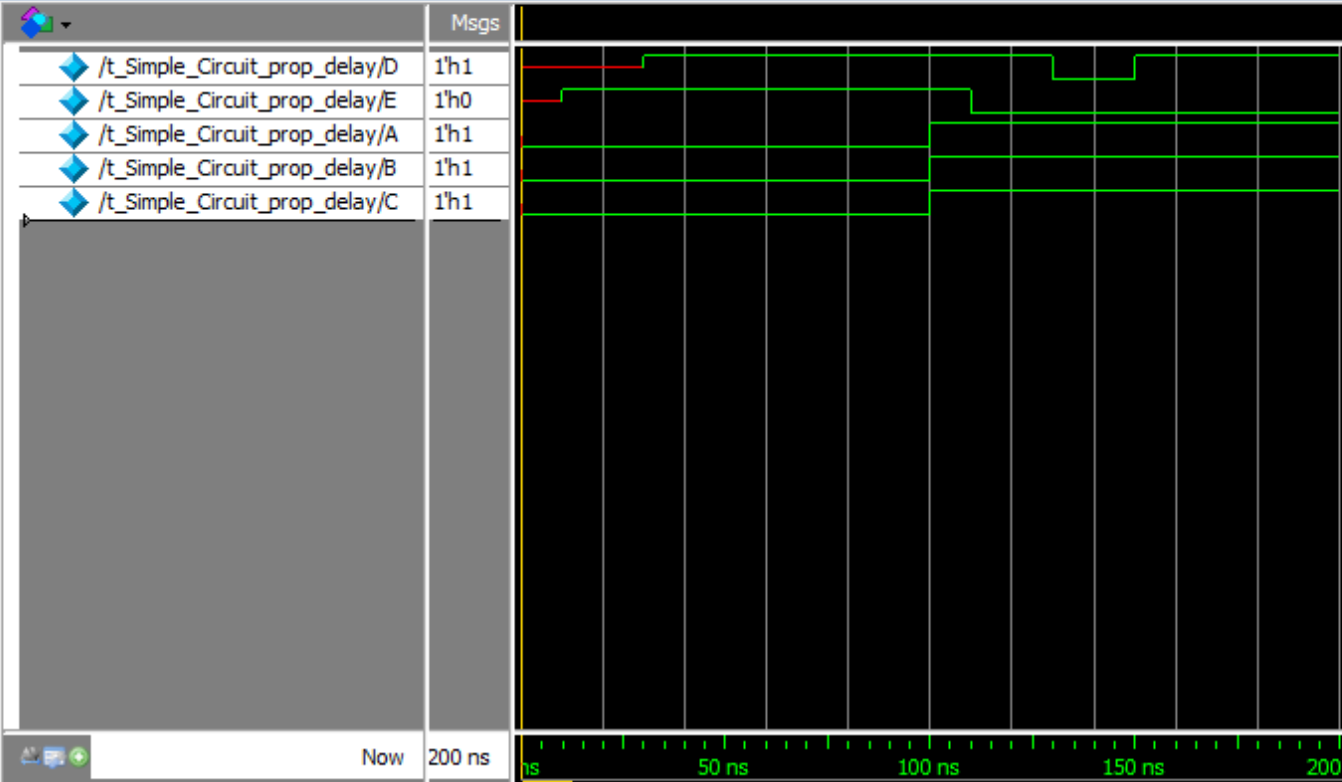
1. **2A(a)之模擬結果波形圖，並說明與 *Simple\_Circuit.v* 之波形圖的差異。**

 #Lab0 #Lab1

可以明顯地看出來Lab1因為有propagation delay所以導致output在剛開始時還沒出現(紅線)，而之後經過10ns(not gate的propagation delay)E才出現值。而D在接受到一邊的input ( E )後經過了20ns(or gate的propagation delay )也出現值了(不過只有一邊，所以跟E是一樣的)，不過這情形只會存在10ns(30ns-20ns)因為之後w1的值也出來了，而這才是F應為的值(w1和E or出的結果)。

而Lab0則是一開始就能夠得出值，因為沒有propagation delay。

1. **2A(b)之模擬結果波形圖，並說明與 2A(a)之波形圖是否有差異及原因。**



沒有差異，因為Verilog 是描述語言所以敘述的順序不影響程式的結果。

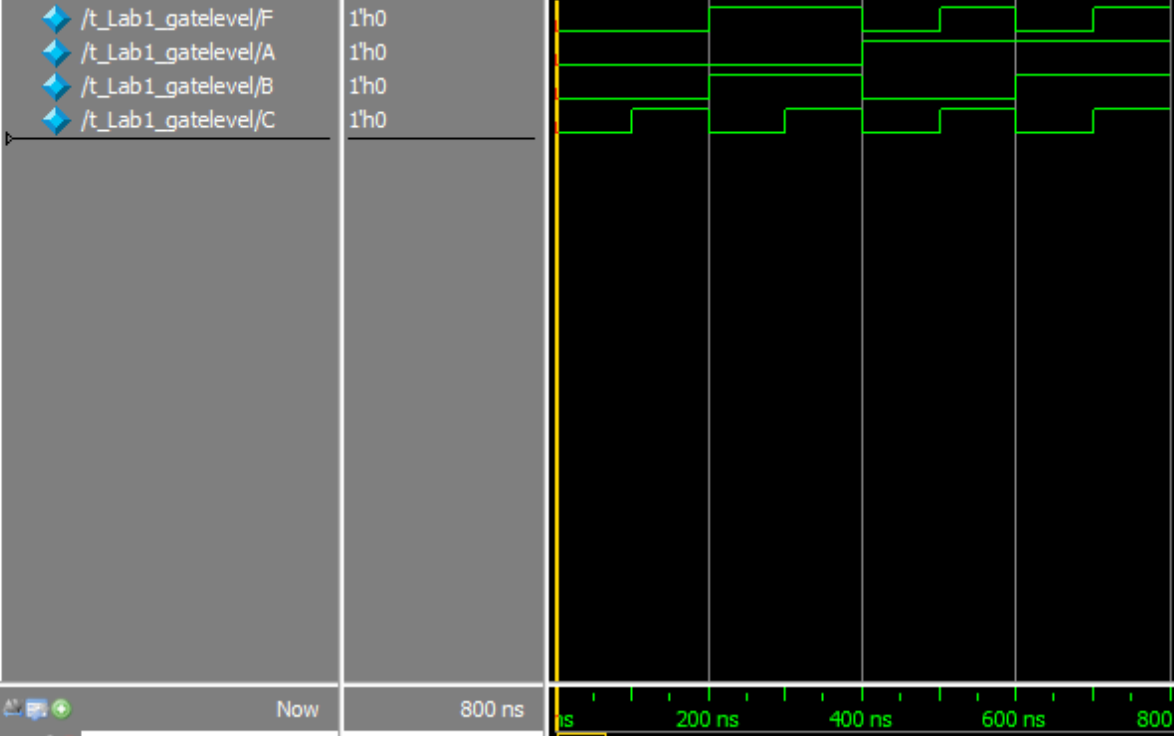
**B. 撰寫組合電路之 HDL 電路設計模組(design module)與測試模組(testbench)**

首先測試模組總共有八組測資，分別是(A,B,C)=(0,0,0)到(1,1,1)，而對應的值由真值表寫出，如下表：

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **C** | **F** |
| **0** | **0** | **0** | **0** |
| **0** | **0** | **1** | **0** |
| **0** | **1** | **0** | **1** |
| **0** | **1** | **1** | **1** |
| **1** | **0** | **0** | **0** |
| **1** | **0** | **1** | **1** |
| **1** | **1** | **0** | **0** |
| **1** | **1** | **1** | **1** |

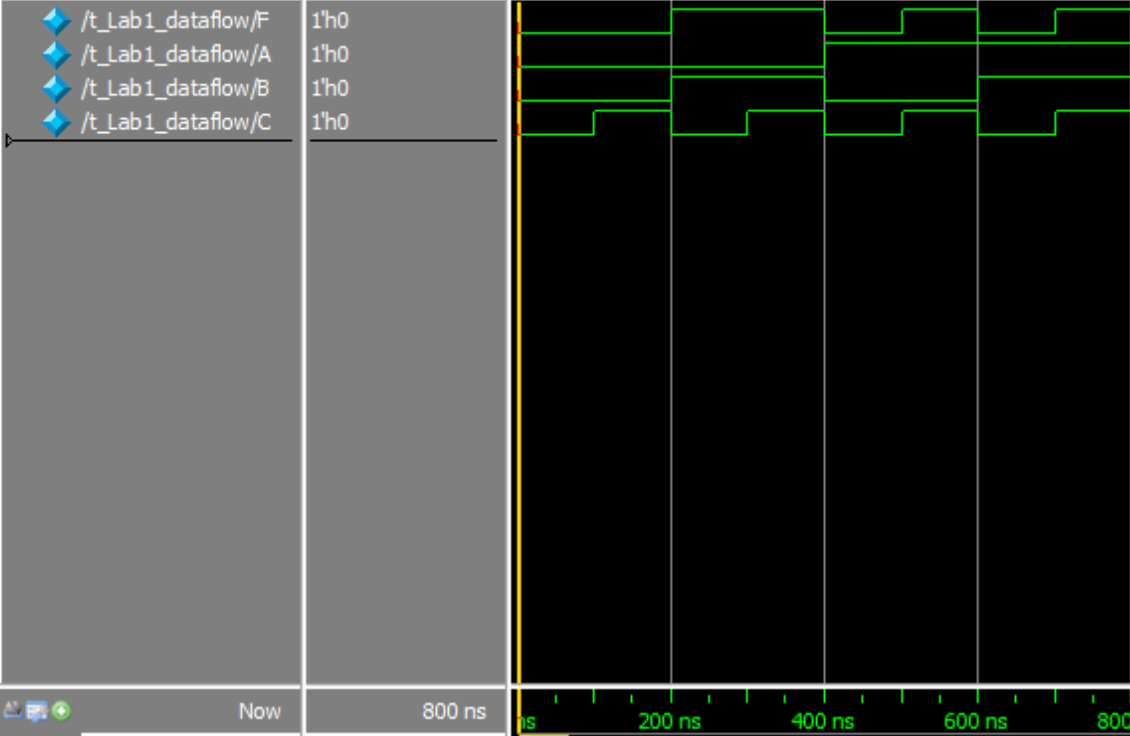
所以每隔100ns所跑出的結果應為：**0 0 1 1 0 1 0 1**

1. **2B(a)之 gate-level modeling 模擬結果波形圖，並說明是否正確。**



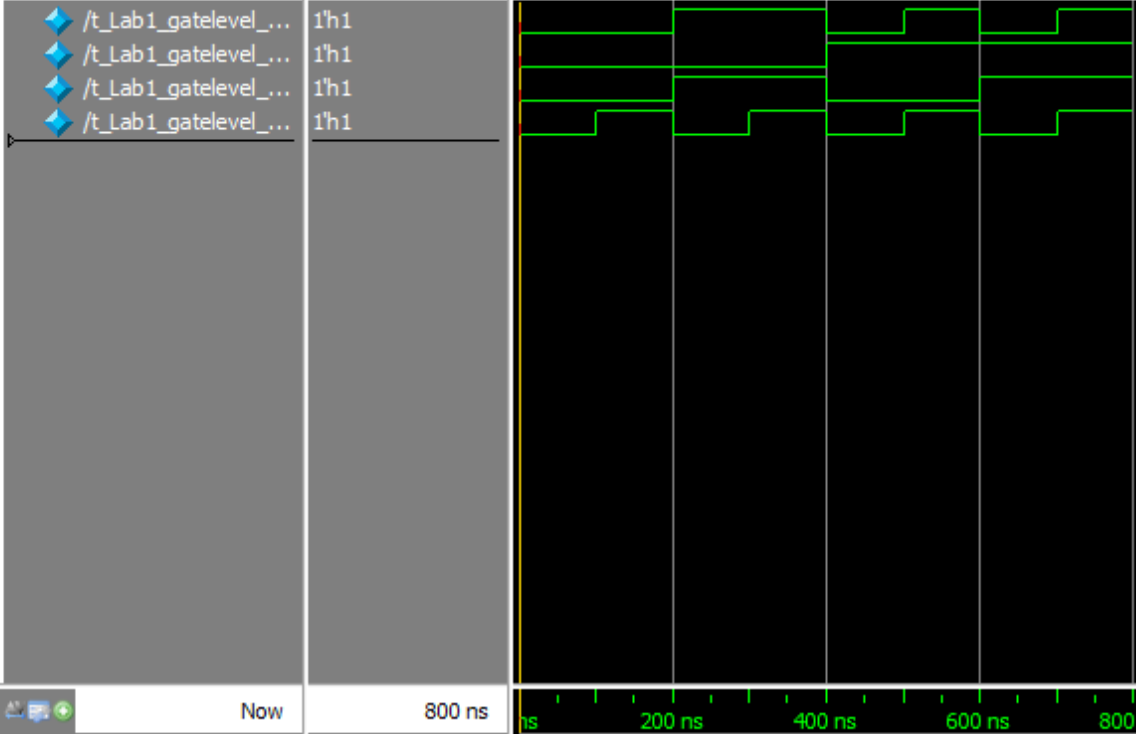
由上表知，波形圖正確。

1. **2B(b)之 dataflow modeling 模擬結果波形圖，並說明是否正確。**



由上表知，波形圖正確。

1. **2B(c)之電路模擬結果波形圖，並說明是否正確。**



由上表知，波形圖正確。

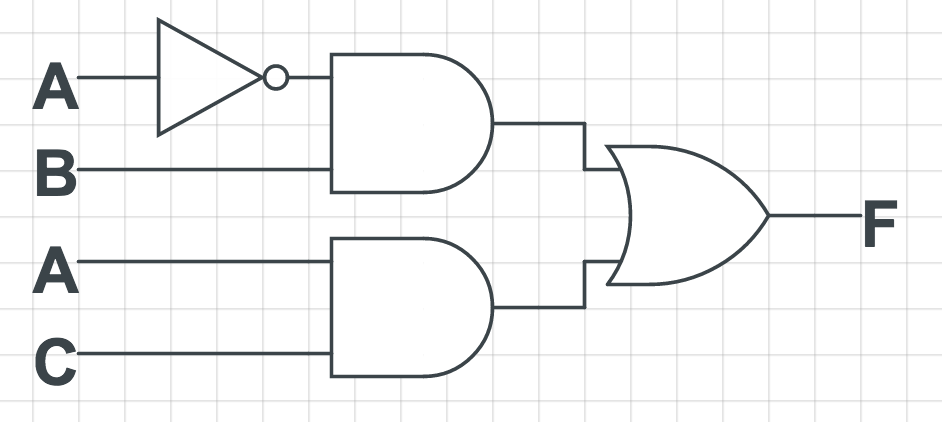
1. **請判斷圖 1 之電路是否為該函式 gate input counts 最少之實作? 若是，請**

**說明之;若否，則請推導出此函式 gate input count 最少的布林代數式， 寫出 gate input count 數值，並以 AND、OR、NOT 邏輯閘畫出其電路圖。**

否



**gate input count : 7**

 created @ <https://www.circuitlab.com/>

1. **心得與感想、及遭遇到的問題或困難。**

還沒上數電之前說真的我從來沒想過可以用程式來模擬電路，以為要和電機系一樣接麵包板然後debug de整晚，用程式來模擬真的方便很多。不過ModelSim沒有OSX的版本真的蠻麻煩的，跑個程式還要開虛擬機，不過好像有其他軟體可以直接模擬出ModelSim的環境，以後有空再試試看。