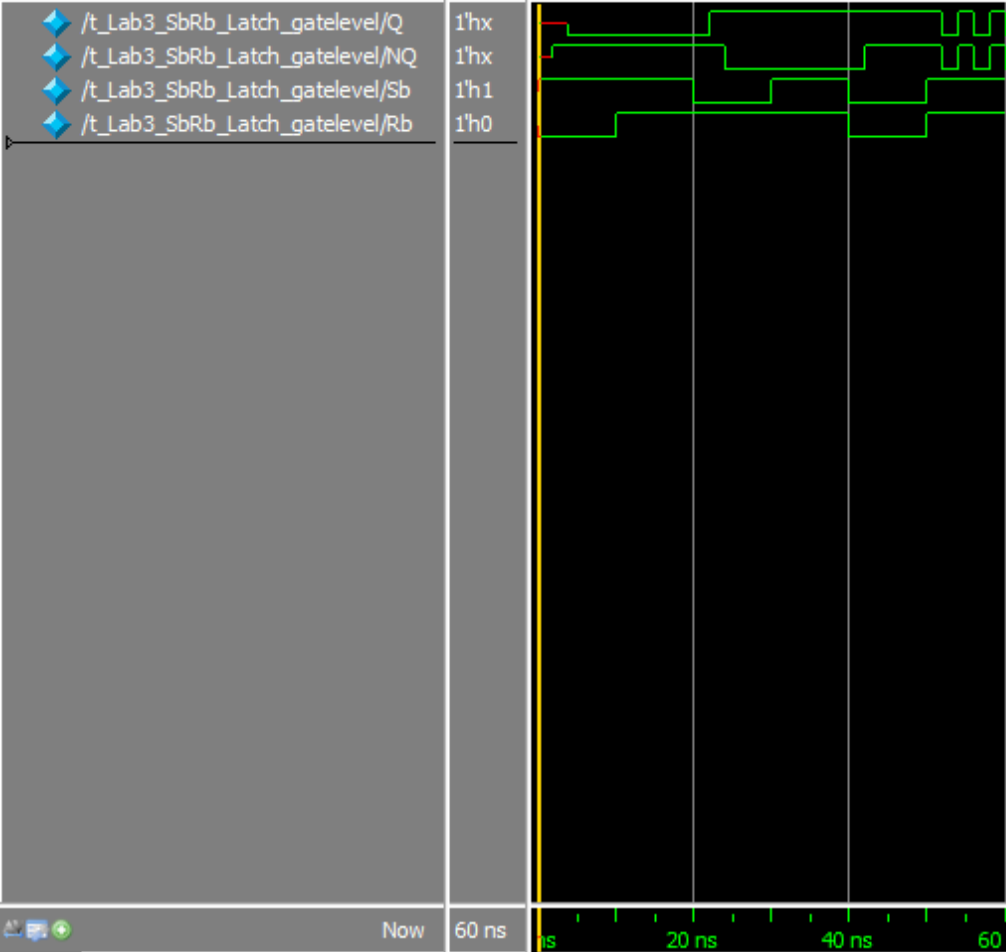
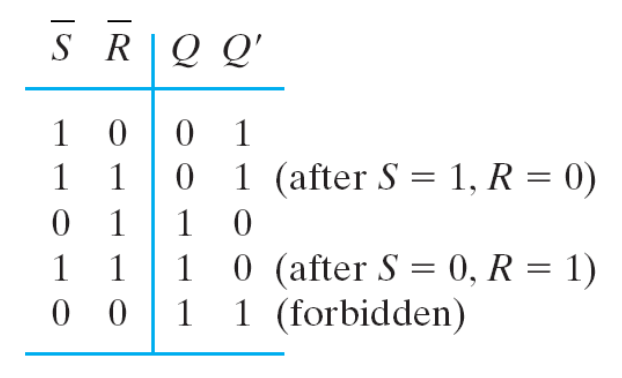
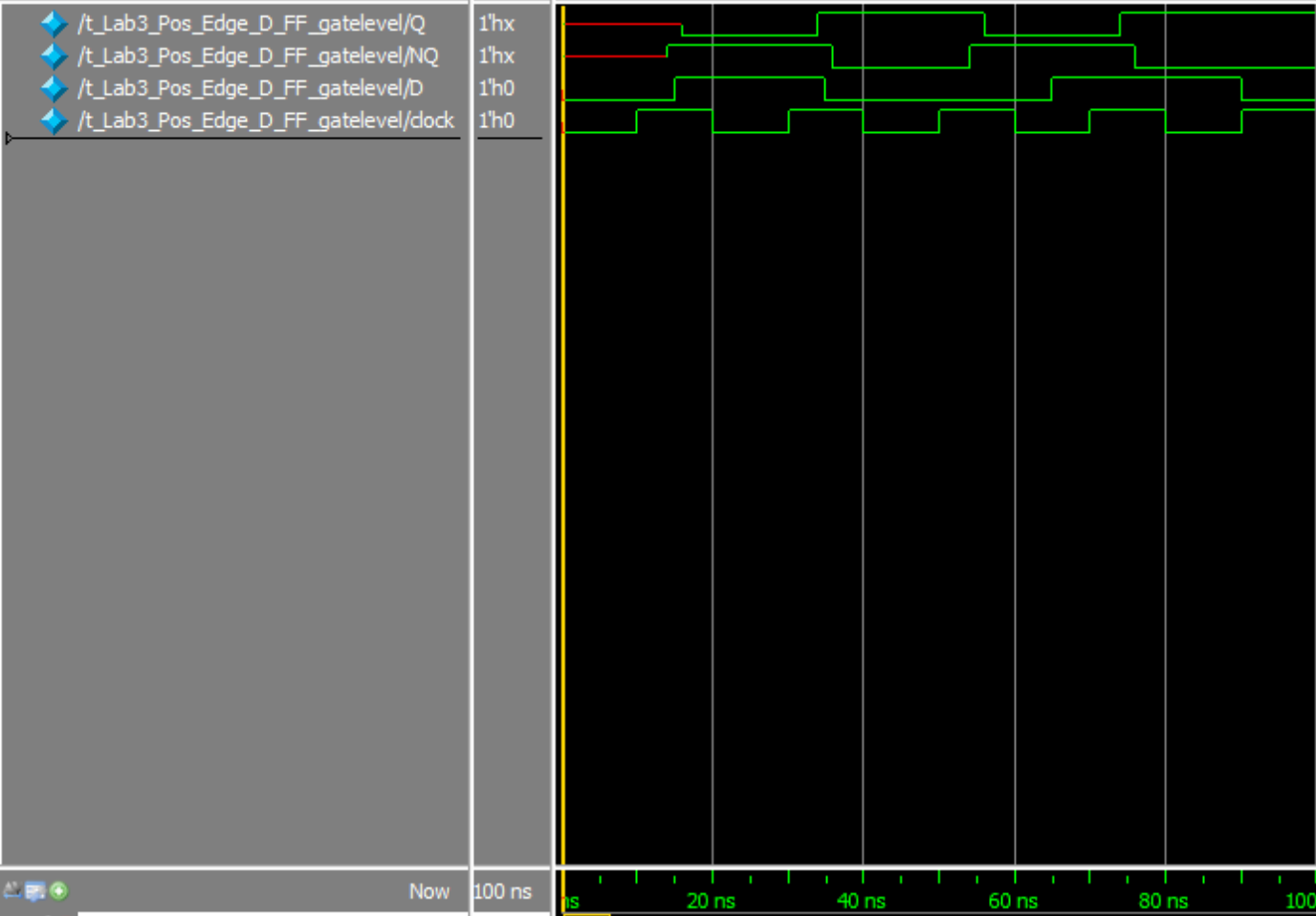
LAB3

1. **2A之模擬結果波形圖，並說明其模擬結果波形圖是否正確。**



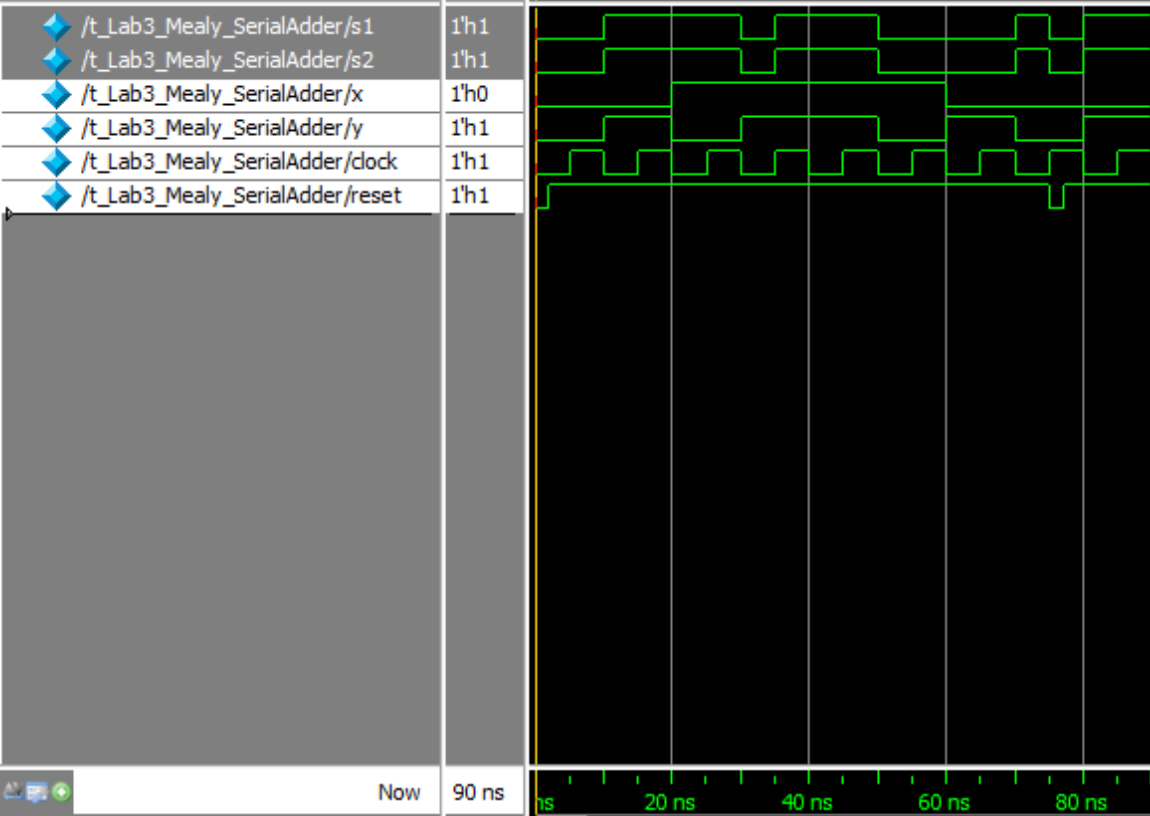
首先因為nand有延遲2ns所以一開始load得時候NQ先出現(因為nand(0,\*)=1)所以NQ在2ns時就出現值了，再過了2ns Q的值才出現，load完之後就開始由(右圖)function table 對應出值。

1. **2B之模擬結果波形圖，並說明其模擬結果波形圖是否正確。**



一開始clock是0，所以會跑過中間兩個nand(2ns)然後Sb,Rb都是0(4ns[上題已推得])所以依舊沒有值，然後接下來clock=1，再clock transition 之前要先setup 跑兩個nand(4ns)，clock值傳入(2ns)，之後再進行data latch跑sr latch，跑出Q跟Q’分別是4ns和2ns，故Q在**16ns(2+4+4+2+4)**出現值，Q’在**14ns(2+4+4+2+2)**出現值。接下來便重複類似的動作，而D flip-flop即是將Q的next-stage設為D值，所以看波形圖即可發現Q的波形隨著D而起伏。

1. **2C 之模擬結果波形圖，並說明其 testbench 如何設計、針對 input stimulus 預期之狀態轉換與輸出值為何、及 i.和 ii.兩種電路模組之模擬結果波形圖是否正確。**



test bench的設計即是先使reset歸0然後x,y在兩個state都跑完所有可能值然後在歸零一次看結果是否正確(可加可不加)。

波形圖的變化則可根據題目中的state diagram推出output的值，而需注意的是會造成state改變的僅當reset(1🡪0)及clock(0🡪1)這兩種，不過output改變是x,y改變時皆有可能。

**(4) 心得與感想、及遭遇到的問題或困難**

同步電路真的比前面幾次lab都難很多，尤其是在做test bench跟trace ckt的時候，比起先前真的比較複雜些，不過在跑的過程中有出現過一個error message : ”position cursor: invalid expanded time value”不過後來自己消失惹，覺得超奇怪的…