

Пример организации памяти мультипрограммной ЭВМ (Pentium)

1. Краткая характеристика архитектуры процессора
2. Общая схема преобразования адреса
3. Сегментная организация памяти
4. Страничная организация памяти

Знать:

- Состав и роль регистров системного уровня и сегментных регистров в преобразовании логического адреса в физический адрес.
- Форму логического адреса и общую схему его преобразования в физический адрес.
- Схему формирования линейного адреса и смены дескриптора сегмента.
- Формат линейного адреса при страничной организации памяти и схему его преобразования в физический адрес.
- Структуру и назначение буфера ассоциативной трансляции.

- **Уметь:**
- **Помнить:** О возможности отказа от использования сегментной организации памяти (базовые адреса всех сегментов принимаются равными нулю, см., например ОС Windows) и возможности отключения страничной организации памяти.
- **Литература:** Микропроцессорные системы: Учеб. пособие / Под общ. ред. Д. В. Пузанкова. - СПб.: Изд-во Политехника, 2002. - 935с. - Библиогр.: с. 930. (с.256-270) (количество экземпляров в библиотеке ВятГУ – 2)

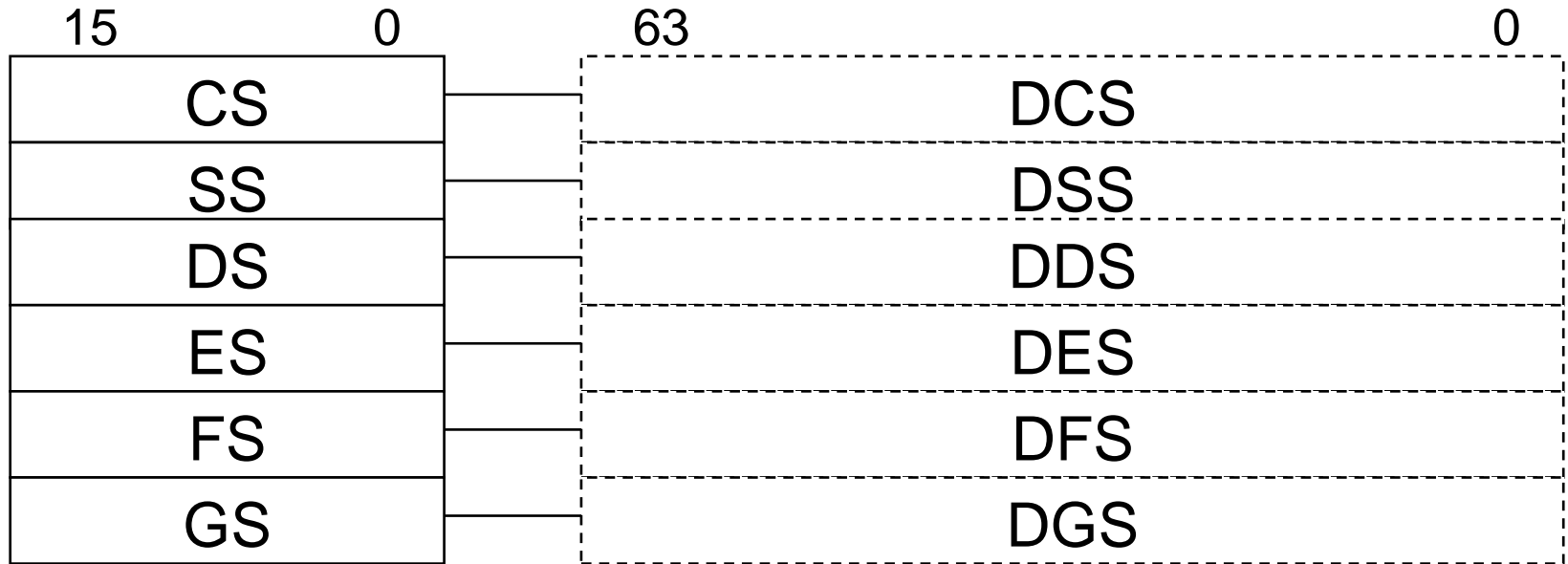
1. Краткая характеристика архитектуры процессора

1.1. Регистры базовой архитектуры

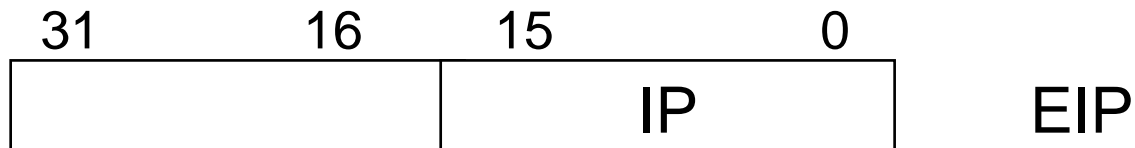
Регистры общего назначения (основной микропроцессор)

31	16	15	0	
		AX		EAX
		BX		EBX
		CX		ECX
		DX		EDX
		SI		ESI
		DI		EDI
		BP		EBP
		SP		ESP

Сегментные и дескрипторные регистры



Регистр указателя команды



Регистр флажков



Регистры сопроцессора

Поле тегов

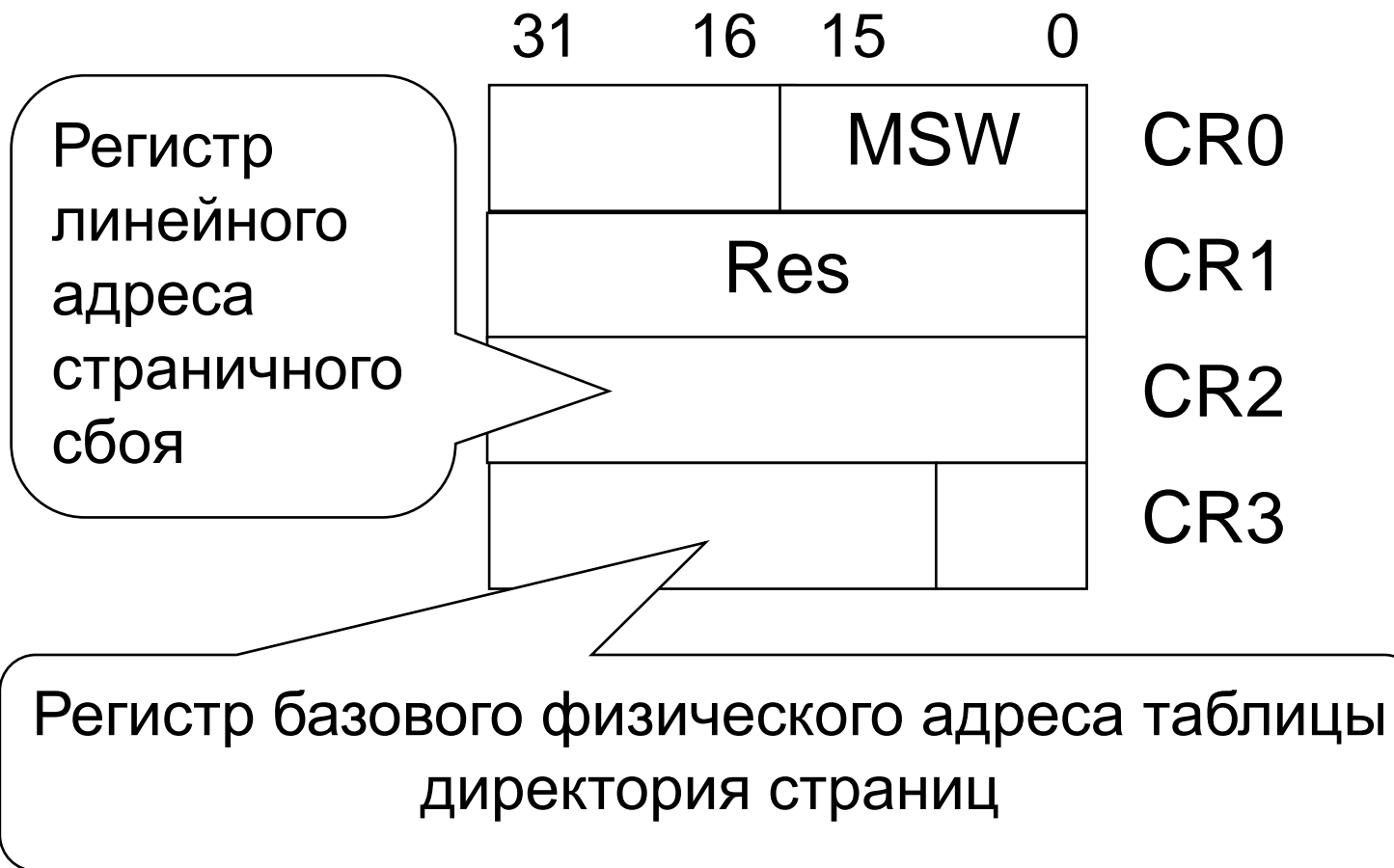
	79	78	64	63	0	1	0
R0	S	P*		M			
R1							
	...						
R7							

15	0	
CR		Регистр управления
S		Регистр состояния
TWR		Регистр слова тегов

47	0	
IP		Указатель команд
DP		Указатель данных

1.2. Регистры системного уровня

Управляющие регистры



Системные регистры адреса

GDTR – регистр адреса глобальной дескрипторной таблицы

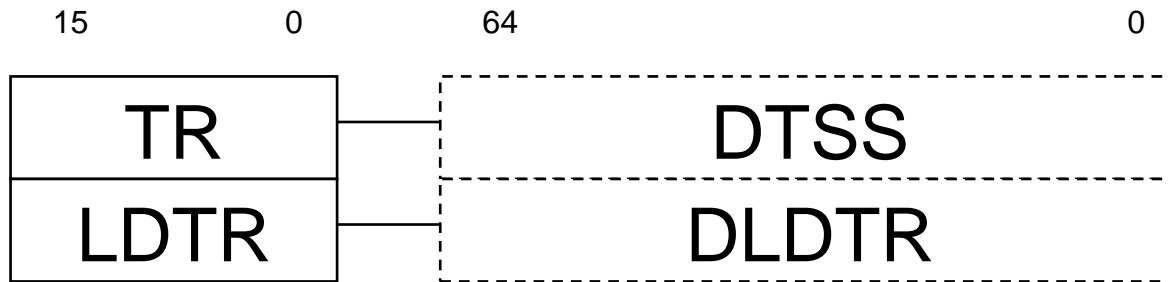
IDTR – регистр адреса таблицы дескрипторов прерываний

47		16	15	0	
B			L		GDTR
B			L		IDTR

B – линейный
базовый адрес
(32 бита)

L – предел
(ограничение)
(16 бит)

Регистры системных сегментов



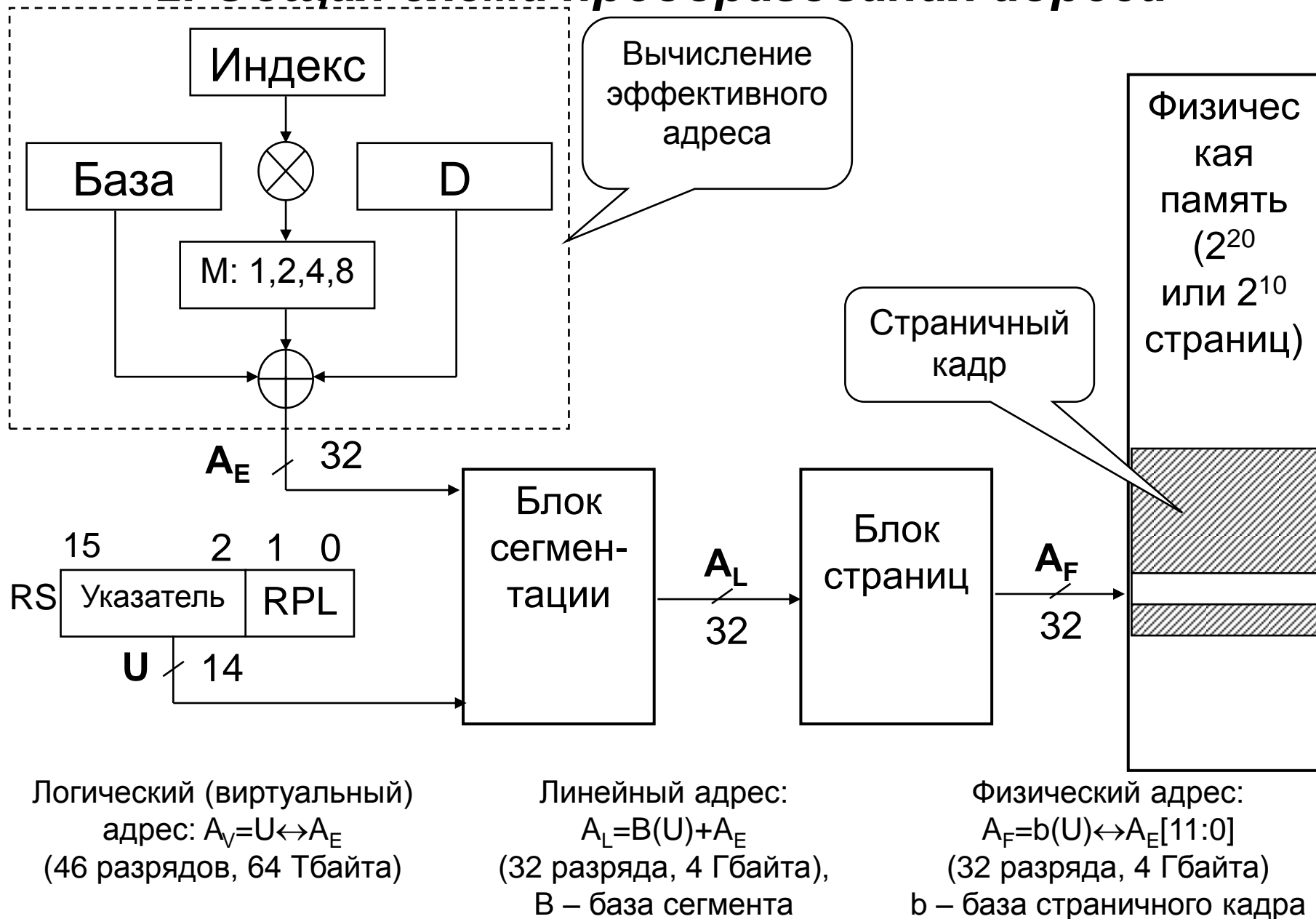
TR – регистр селектора сегмента
состояния задачи (TSS)

LDTR – регистр селектора локальной
дескрипторной таблицы

Регистры отладки (DR0-DR7)

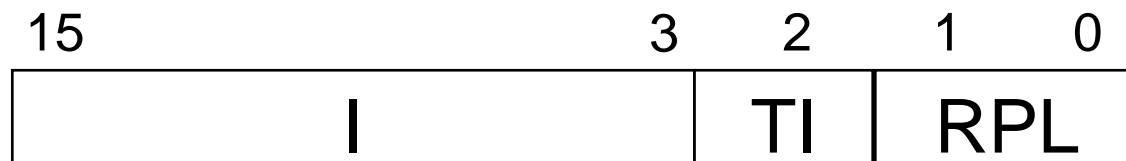
Регистры тестирования (TR3-TR7)

2. Общая схема преобразования адреса



3. Сегментная организация памяти

3.1 Формат селектора



- I – индекс дескриптора;
- TI – индикатор таблицы:
если TI=1, то LDT; если TI=0, то GDT;
- RPL – запрашиваемый уровень привилегий.

3.2. Формат дескриптора

31	24	23		20	19	16	15	14	13	12		9	8	7		0
B[31:24]	G	OC	AVL	L[19:16]	P	DPL		Тип	A	B[23:16]						
B[15:0]								L[15:0]								

B – база, длина 32 разряда, находится в трех частях.

L – длина (предел, граница) – 20 разрядов, находится в двух частях

G – гранулярность (разряд 23) при G=1 длина сегмента задается числом страниц (до 220-1 страниц).

AVL – доступность, бит определяет, доступен ли дескриптор для использования операционной системе.

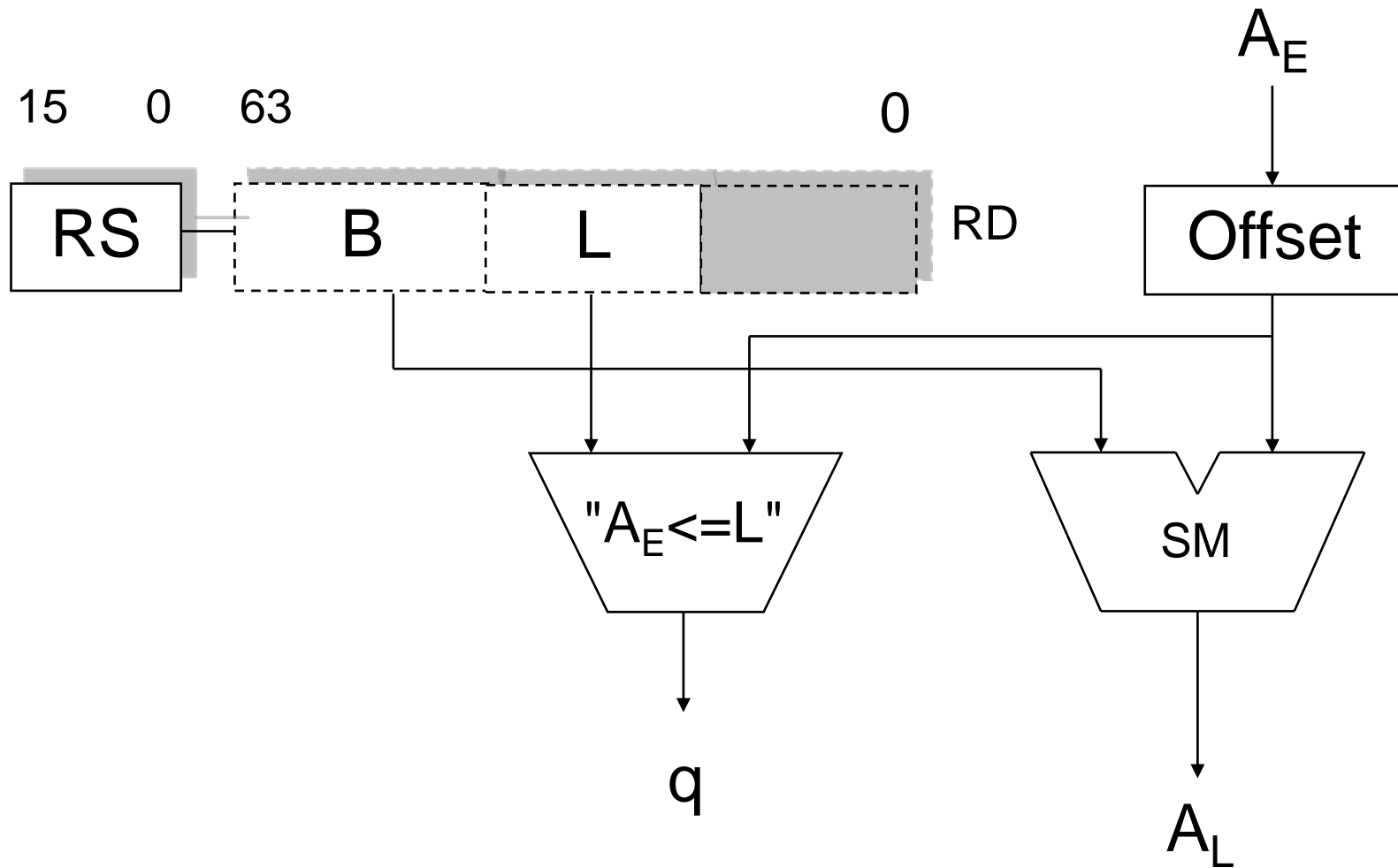
P – присутствие, бит показывает, находится ли сегмент в оперативной памяти. При P=1 сегмент не доступен. Это имеет место если применяется сегментная виртуальная память и сегмент передан на диск или в другое пространство, не отображаемое страничным устройством.

DPL – уровень привилегий дескриптора (два бита), необходимый для доступа к сегменту (0 – высший, 3 – низший).

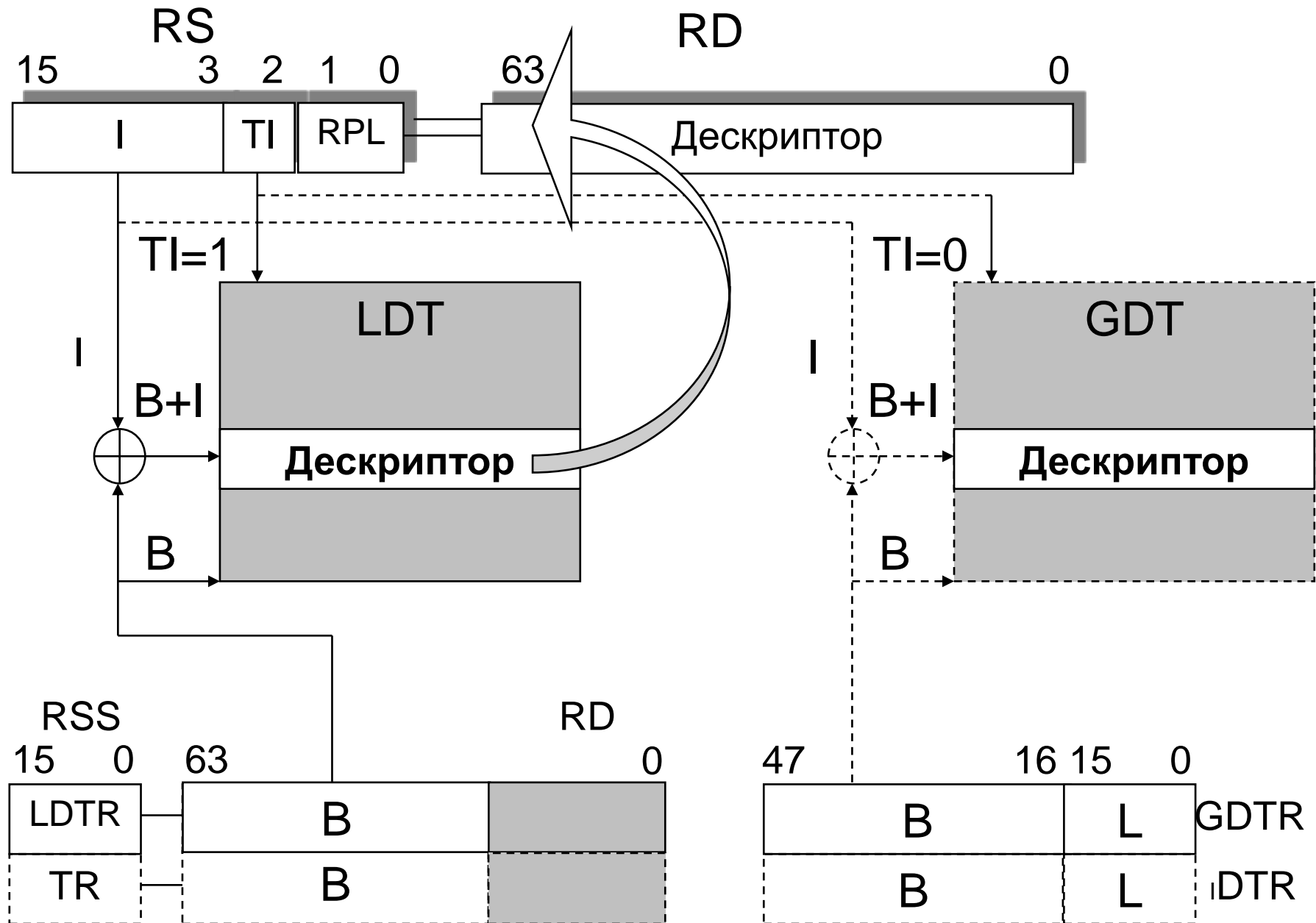
Тип – поле (четыре бита), используемое по-разному, например, оно может определять, что сегмент является исполняемым, считываемым и/или записываемым и др.

A – обращение. Этот бит устанавливается, когда дескриптор загружается в дескрипторный регистр.

3.3. Схема формирования линейного адреса



3.4. Схема смены дескриптора сегмента



4. Страничная организация памяти

4.1. Форматы элементов PDE и PTE

31	12	11	9	8	7	6	5	4	3	2	1	0
Адрес таблицы страниц	OS Res	0	0	D	A	P	P	U	R	P		
			/			C	W	/	/			
			1			D	T	S	W			

Формат элемента таблицы директория страниц PDE
(если PDE[7]=1, размер страницы 4 Мбайт, а ее адрес PDE[31:22])

31	12	11	9	8	7	6	5	4	3	2	1	0
Адрес страничного кадра	OS Res	0	0	D	A	P	P	U	R	P		
						C	W	/	/			
						D	T	S	W			

Формат элемента таблицы страниц PTE

4.2. Основные поля элементов директория и таблицы страниц

D – "грязный" бит (Dirty bit) для PTE он автоматически устанавливается в единицу при записи в соответствующую страницу. Для PDE не определен.

A – бит обращения, для PTE и PDE он устанавливается в единицу автоматически при считывании или записи в страницу.

PCD, PWT – используются при управлении кэшированием таблицы страниц.

U/S – бит индикации режимов: пользователь/супервизор. Если он установлен, то разрешен доступ программам с уровнем защиты 3 (нижний уровень).

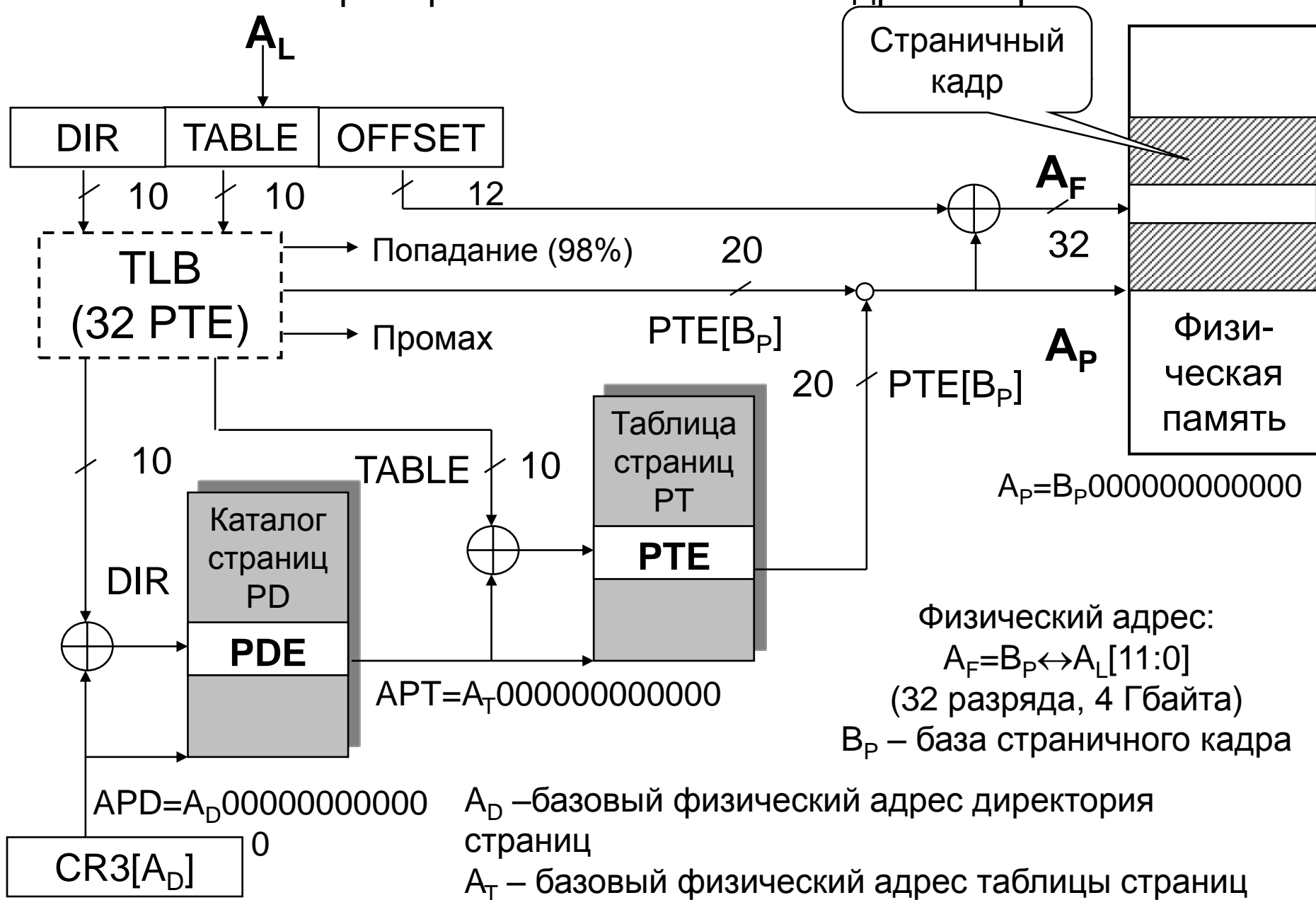
R/W – бит чтения/записи (используется совместно с битом U/S и битом PW из регистра EFLAGS):

а) если U/S=1 (разрешен доступ пользователю), то R/W=0 означает возможность считывания, а R/W=1 еще и записи. Отдельная страница защищена в соответствии с наиболее ограничивающей парой бит в ее PTE или PDE.

б) если U/S=1 запрещены считывание и запись в страницу.

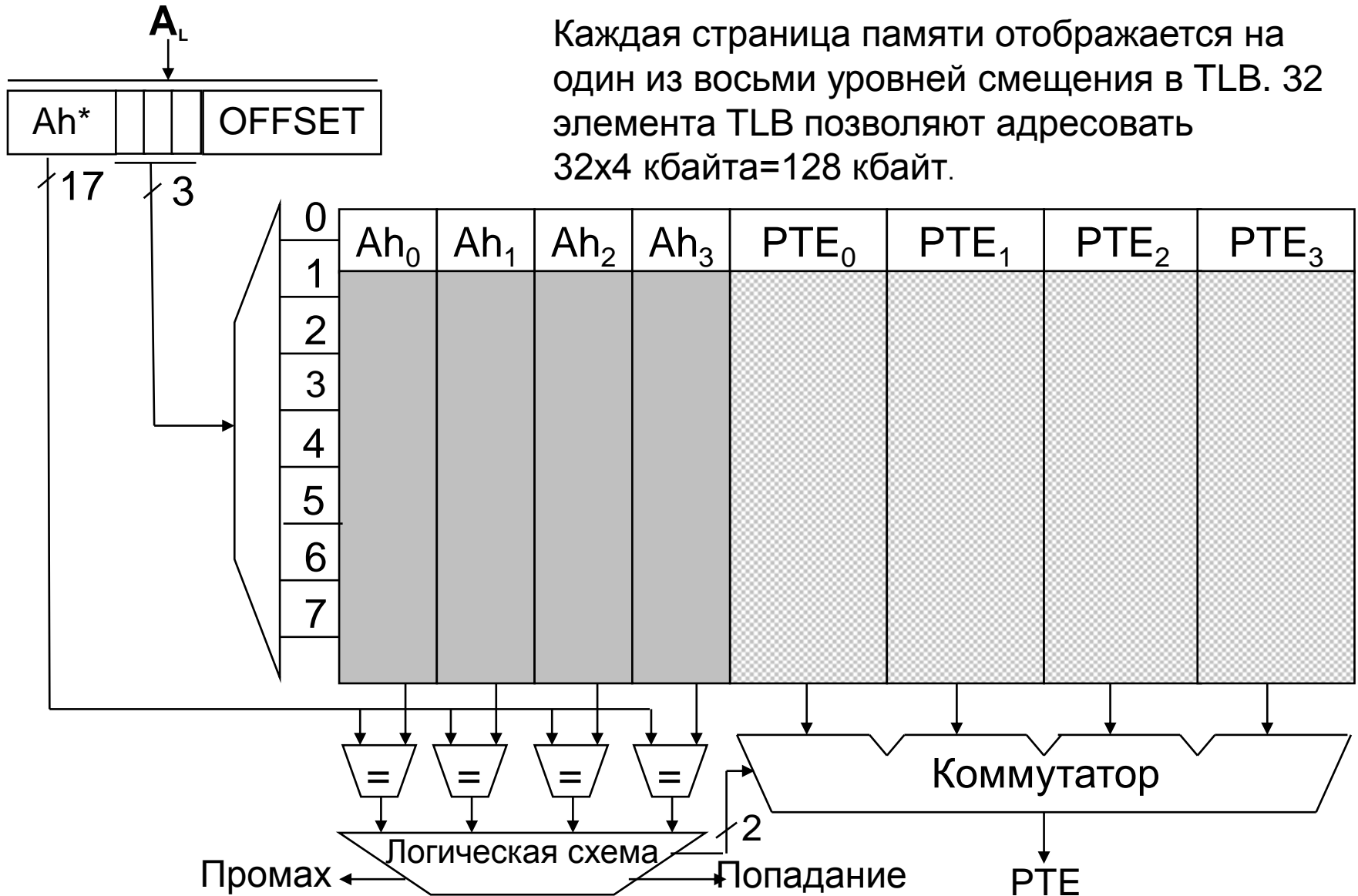
P – бит присутствия, он показывает, адресует ли PTE или PDE страницу, находящуюся в оперативной памяти. Если P=1, то действия полей такие, как определено выше. Если же P=0, то это означает, что нужная страница отсутствует в оперативной памяти и остальные 31 бит могут задавать местоположение страницы на диске.

4.3. Схема преобразования линейного адреса в физический



4.4. Структура буфера ассоциативной трансляции

Каждая страница памяти отображается на один из восьми уровней смещения в TLB. 32 элемента TLB позволяют адресовать 32x4 кбайта=128 кбайт.



4.5. Особенности страничной организации

- Отключается или "накладывается" на сегментную организацию памяти.
- Возможность использования страниц двух размеров: 4 Кбайт и 4 Мбайт.
- Двухуровневая организация для страниц размером 4 Кбайт: старшие 10 разрядов линейного адреса определяют номер "блока" страниц (до 1024 блоков), следующие 10 разрядов определяют номер страницы (до 1024 страниц в блоке).
- Страничная организация сочетается с защитой памяти на уровне страниц (режим супервизор/пользователь, доступность страниц по чтению, записи, выполнению).
- Применение буфера ассоциативной трансляции для ускорения преобразования линейного адреса в физический.