Содержание

[Введение. 4](#_Toc501524139)

[2 Постановка задачи 5](#_Toc501524140)

[3 Описание алгоритмов функционирования арифметико-логического устройства 6](#_Toc501524141)

[3.1 Описание алгоритма умножения. 6](#_Toc501524142)

[3.2 Описание алгоритма сложения модулей 6](#_Toc501524143)

[3.3 Описание алгоритма вычитания. 7](#_Toc501524144)

[3.4 Описание алгоритма инкремента 7](#_Toc501524145)

[4 Численные примеры для операций§ АЛУ 8](#_Toc501524146)

[4.1 Примеры операции деления 8](#_Toc501524147)

[4.1.1 Рядовая ситуация 8](#_Toc501524148)

[4.1.2 Множитель равен 0 9](#_Toc501524149)

[4.1.3 Множимое равно 0 9](#_Toc501524150)

[4.2 Примеры операции сложения модулей 9](#_Toc501524151)

[4.2.1 Рядовая ситуация 9](#_Toc501524152)

[4.2.2 Возникновение ПРС 9](#_Toc501524153)

[4.3 Примеры операции вычитания 9](#_Toc501524154)

[4.3.1 Рядовая ситуация 9](#_Toc501524155)

[4.3.2 Возникновение ПРС 10](#_Toc501524156)

[4.4 Пример операции инкремент 10](#_Toc501524157)

[4.4.1 Рядовая ситуация 10](#_Toc501524158)

[4.4.2 Возникновение ПРС 10](#_Toc501524159)

[5 Разработка функциональных схем для отдельных операций 11](#_Toc501524160)

[5.1 Функциональная схема для операции умножения. 11](#_Toc501524161)

[5.2 Функциональная схема для операции сложения модулей и вычитания. 12](#_Toc501524162)

[5.3 Функциональная схема для операции инкремента. 13](#_Toc501524163)

[6 Разработка объединенной ГСА 14](#_Toc501524164)

[**7** Разработка и описание принципиальной схемы операционной части арифметико-логического устройства 15](#_Toc501524165)

[7.1 Регистры 15](#_Toc501524166)

[7.2 Счетчики 19](#_Toc501524167)

[7.3 Триггеры 21](#_Toc501524168)

[7.4 Логические элементы 22](#_Toc501524169)

[7.5 Шинный формирователь 23](#_Toc501524170)

[7.6 Резистор 24](#_Toc501524171)

[8 Расчет потребляемой мощности 25](#_Toc501524172)

[9 Расчёт фильтра питания 25](#_Toc501524173)

[9.1 Расчет амплитуды ступенчатого скачка тока 25](#_Toc501524174)

[9.2 Расчет импеданса 26](#_Toc501524175)

[9.3 Расчет индуктивности 26](#_Toc501524176)

[9.4 Расчет частоты помех 26](#_Toc501524177)

[9.5 Расчет емкости конденсатора 26](#_Toc501524178)

[9.6 Обеспечения устойчивости 27](#_Toc501524179)

[10 Расчёт длительности такта и разработка тактового генератора 28](#_Toc501524180)

[11 Разработка тактового генератора 29](#_Toc501524181)

[12 Расчёт быстродействия 31](#_Toc501524182)

[Приложение А 35](#_Toc501524183)

[Приложение Б 39](#_Toc501524184)

[Приложение В 43](#_Toc501524185)

[Перечень элементов 44](#_Toc501524186)

# Введение.

В вычислительных машинах различные арифметические и логические операции выполняются на арифметико-логическом устройстве. Ему на вход поступают операнды и код операции, определяющий, какую операцию должно выполнять АЛУ. АЛУ может выполнять большой набор операций.

Разработка АЛУ под конкретную вычислительную машину позволяет увеличить ее быстродействие, так как при использовании универсальных АЛУ часть операций в них просто не будет использоваться, в то время как в специализированном под какое-то определенное вычислительное устройство АЛУ будут только те операции, которые выполняются на этом устройстве.

Целью данного курсового проекта является разработка такого АЛУ, выполняющего заданный набор операций.

# Постановка задачи

Разработать операционную часть АЛУ для реализации следующих операций:

* Умножения чисел с плавающей запятой с характеристиками в дополнительном коде с автоматической коррекцией вторым способом;
* Сложение модулей;
* Операция ИЛИ-НЕ (стрелка Пирса).

Разрядность операндов – 32. 31 разряд – знаковый, 30-23 – характеристика со знаком, 22-0 – мантисса.

После окончания операции устройство должно выдавать в управляющий автомат следующие признаки:

* ПРС;
* Равенство результата нулю;
* Знак результата;
* Перенос из старшего (значащего) разряда.

Разработанное устройство должно удовлетворять следующим требованиям:

* Минимизация аппаратурных затрат;
* Приемлемое быстродействие;
* Приемлемая потребляемая мощность.

# Описание алгоритмов функционирования арифметико-логического устройства

В данном разделе рассматриваются словесные описания алгоритмов выполнения операций и указаны возможные особые ситуации, с точки зрения построения автомата, ситуации при выполнении данных операций.

## Описание алгоритма умножения.

Алгоритм умножения состоит из следующих шагов:

1. Проверить множимое на равенство нулю: если ноль, то сформировать результат, равный нулю, перейти к пункту 11. Иначе перейти к пункту 2.
2. Проверить множитель на равенство нулю: если ноль, то сформировать результат, равный нулю, перейти к пункту 11. Иначе перейти к пункту 3.
3. Сложить характеристики двух сомножителей.
4. Проверить на наличие ПРС. Если возникло ПРС (признаком ПРС является получение единицы переноса и единицы в старшем разряде результирующей характеристики), то необходимо зафиксировать её появление и прекратить операцию. Временное ПРС может возникнуть, когда старший разряд равен единице, образовалась единица переноса, но все разряды характеристики, за исключением старшего, равны нулю. При этом нужно продолжить алгоритм умножения. Если возникла ситуация ПМР (признаком ПМР является отсутствие единицы переноса и ноль в старшем разряде результирующей характеристики), то необходимо зафиксировать ее появление и сформировать нулевой результат, перейти к пункту 11. В противном случае переходим к пункту 5.
5. Дополнить множитель фиктивным разрядом справа, равным нулю.
6. Выполнить цикл умножения мантисс со знаком вторым способом:

6.1) Произвести анализ двух очередных младших разрядов множителя.

6.2) Если два разряда равны 01, произвести суммирование множимого с суммой частичных произведений, если разряды равны 10, то произвести вычитание из СЧП множимого, если разряды равны 00 или 11, то произвести суммирование нуля с суммой частичных произведений. Перейти к пункту 7.

1. Произвести сдвиг множителя вправо, а множимого влево.
2. Если все разряды множителя были рассмотрены, перейти к пункту 9, иначе перейти к пункту 6.
3. Проверить на нормализацию полученную мантиссу. Если мантисса ненормализованная – сдвинуть мантиссу на 1 разряд влево, вычесть из характеристики 1. Если ранее было зафиксировано временное ПРС, оно устраняется. Если после нормализации мантиссы произошло ПМР, нужно зафиксировать её появление и сформировать результат, равный нулю. Перейти к пункту 11. Если результат нормализован, было зафиксировано временное ПРС, то установить признак ПРС, перейти к пункту 12. Иначе перейти к пункту 10.
4. Сформировать результат умножения.
5. Останов операции.

## Описание алгоритма сложения модулей

Алгоритм вычитание модулей состоит из следующих шагов:

1. Считать первый операнд.
2. Считать второй операнд.
3. Выполнить вычитание порядков.
4. Проверить на ПРС:

* если до вычитания в знаковых разрядах порядков обоих чисел был ноль, а в результате вычитания в знаковом разряде порядка результата оказалась единица, то произошло ПРС. Выдать сигнал о ПРС и завершить операцию. Иначе перейти к пункту 5.

1. Выполнить сравнение разности порядков с -23 и 23

* если разность порядков >=23, то выдать первый операнд в качестве результата сложения;
* если разность порядков <=-23, то выдать второй операнд в качестве результата сложения;

1. Выровнять порядки путем сдвигов мантиссы меньшего из чисел вправо и увеличением порядка на единицу. Выполнять пока разность не окажется равной 0.
2. Сложить модули мантисс чисел.
3. Если в знаковом разряде результата оказалась 1, то необходимо сдвинуть мантиссу суммы на один разряд вправо, увеличить порядок на 1, а также установить флаг переноса и перейти. Проверить на возникновение ПРС в порядках. Если ПРС произошло – установить флаг ПРС и прекратить операцию. Иначе перейти к п. 10.
4. Нормализовать результат.
5. Если при нормализации произошла ПМР в порядках, выдать результат равный нулю.
6. Выдать результат.

## Описание алгоритма операции ИЛИ- НЕ.

Алгоритм операции ИЛИ-НЕ состоит из следующих шагов:

1. Считать первый операнд.
2. Считать второй операнд.
3. Выполнить побитовую операцию ИЛИ над операндами.
4. Инвертировать полученный результат.
5. Проверить результат на равенство нулю и установить флаг равенства нулю.
6. Установить флаг знака результата.
7. Вывести результат.

# Численные примеры

## Численный примеры операции умножения

* Операция умножения без ПРС и ПМР.

A=57; B=11

Представим числа в разрядной сетке

|  |  |  |  |
| --- | --- | --- | --- |
|  | Знак числа | Мантисса | Характеристика |
| A | 0 | 111001 | 100110 |
| B | 0 | 101100 | 100100 |

Сложим характеристики двух операндов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1|0 | 0 | 1 | 0 | 1 | 0 |

ПРС и ПМР не возникли. Множитель и множимое не равны нулю. Выполним произведение мантисс сомножителей.

Таблица 1 -Умножение чисел без ПРС и ПМР

|  |  |  |  |
| --- | --- | --- | --- |
| Множитель | Множимое | СЧП | Пояснение |
| 0.111001 | 0.000000 101100 | 0.000000 000000 | Исх. данные |
| 0.11100*1*|*0* | 0.000000 101100 | 0.000000 000000  1.111111 010100  1.111111 010100 | -М |
| 0.01110*0|1* | 0.000001 011000 | 1.111111 010100 | Сдвиги |
| 0.01110*0|1* | 0.000001 011000 | 1.111111 010100  0.000001 011000  0.000000 101100 | +M |
| 0.00111*0|0* | 0.000010 110000 | 0.000000 101100 | Сдвиги |
| 0.00111*0|0* | 0.000010 110000 | 0.000000 101100  0.000000 000000  0.000000 101100 | +0 |
| 0.00011*1|0* | 0.000101 100000 | 0.000000 101100 | Сдвиги |
| 0.00011*1|0* | 0.000101 100000 | 0.000000 101100  1.111010 100000  1.111011 001100 | -M |
| 0.00001*1|1* | 0.001011 000000 | 1.111011 001100 | Сдвиги |
| 0.00001*1|1* | 0.001011 000000 | 1.111011 001100  0.000000 000000  1.111011 001100 | +0 |
| 0.00000*1|1* | 0.010110 000000 | 1.111011 001100 | Сдвиги |
| 0.00000*1|1* | 0.010110 000000 | 1.111011 001100  0.000000 000000  1.111011 001100 | +0 |
| 0.00000*0|1* | 0.101100 000000 | 1.111011 001100 | Сдвиги |
| 0.00000*0|1* | 0.101100 000000 | 1.111011 001100  0.101100 000000  0.100111 001100 | +M |
| 0.0000000 | 1.011000 000000 | 0.100111 001100 | Сдвиги |
| 0.0000000 | 1.011000 000000 | 0.100111 001100 | Результат |

Результат умножения нормализован:

|  |  |  |
| --- | --- | --- |
| 0 | 100111 | 101010 |

Полученный результат: 0.10011100002 = 62410

Искомый результат: 62710.

* Истинное ПРС при сложении характеристик.

A=0,5 \* 227; B=0,5\*220

Представим числа в разрядной сетке

|  |  |  |  |
| --- | --- | --- | --- |
|  | Знак числа | Мантисса | Характеристика |
| A | 0 | 100000 | 111011 |
| B | 0 | 100000 | 110100 |

Сложим характеристики двух операндов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 |
| 1|1 | 0 | 1 | 1 | 1 | 1 |

В результирующей характеристике было получено ПРС. В старшем разряде была получена 1, также возникла единица переноса, остальные разряды характеристики не равны нулю. Значит формируется сигнал о ПРС, происходит останов операции умножения.

* Временное ПРС при сложении характеристик, которое превращается в истинное ПРС после цикла умножения.

A=0,875\*216; B=0,75\*216

Представим числа в разрядной сетке

|  |  |  |  |
| --- | --- | --- | --- |
|  | Знак числа | Мантисса | Характеристика |
| A | 0 | 111000 | 110000 |
| B | 0 | 110000 | 110000 |

Сложим характеристики двух операндов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1|1 | 0 | 0 | 0 | 0 | 0 |

В результирующей характеристике было получено временное ПРС. В старшем разряде была получена 1, также возникла единица переноса, остальные разряды характеристики равны нулю. Выполним цикл умножения мантисс сомножителей.

Таблица 2 -Умножение чисел с возникновением неустранимого временного ПРС

|  |  |  |  |
| --- | --- | --- | --- |
| Множитель | Множимое | СЧП | Пояснение |
| 0.111000 | 0.000000 110000 | 0.000000 000000 | Исх. данные |
| 0.111000|*0* | 0.000000 110000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.01110*0|0* | 0.000001 100000 | 0.000000 000000 | Сдвиги |
| 0.01110*0|0* | 0.000001 100000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00111*0*|*0* | 0.000011 000000 | 0.000000 000000 | Сдвиги |
| 0.00111*0*|*0* | 0.000011 000000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00011*1|0* | 0.000110 000000 | 0.000000 000000 | Сдвиги |
| 0.00011*1|0* | 0.000110 000000 | 0.000000 000000  1.111010 000000  1.111010 000000 | -M |
| 0.00001*1|1* | 0.001100 000000 | 1.111010 000000 | Сдвиги |
| 0.00001*1|1* | 0.001100 000000 | 1.111010 000000  0.000000 000000  1.111010 000000 | +0 |
| 0.00000*1|1* | 0.011000 000000 | 1.111010 000000 | Сдвиги |
| 0.00000*1|1* | 0.011000 000000 | 1.111010 000000  0.000000 000000  1.111010 000000 | +0 |
| 0.00000*0|1* | 0.110000 000000 | 1.111010 000000 | Сдвиги |
| 0.00000*0|1* | 0.110000 000000 | 1.111010 000000  0.110000 000000  0.101010 000000 | +M |
| 0.0000000 | 1.100000 000000 | 0.101010 000000 | Сдвиги |
| 0.0000000 | 1.100000 000000 | 0.101010 000000 | Результат |

Результат умножения нормализован. Временное ПРС превращается в истинное ПРС. Формируется сигнал о ПРС.

* Временное ПРС, которое устраняется при нормализации.

A=0,5\*216; B=0,75\*216

Представим числа в разрядной сетке

|  |  |  |  |
| --- | --- | --- | --- |
|  | Знак числа | Мантисса | Характеристика |
| A | 0 | 100000 | 110000 |
| B | 0 | 100000 | 110000 |

Сложим характеристики двух операндов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1|1 | 0 | 0 | 0 | 0 | 0 |

В результирующей характеристике было получено временное ПРС. В старшем разряде была получена 1, также возникла единица переноса, остальные разряды характеристики равны нулю. Выполним цикл умножения мантисс сомножителей.

Таблица 3 – Умножение чисел с устранением временного ПРС при нормализации

|  |  |  |  |
| --- | --- | --- | --- |
| Множитель | Множимое | СЧП | Пояснение |
| 0.100000 | 0.000000 110000 | 0.000000 000000 | Исх. данные |
| 0.100000|*0* | 0.000000 110000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.0100*0|0* | 0.000001 100000 | 0.000000 000000 | Сдвиги |
| 0.01000*0|0* | 0.000001 100000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00100*0*|*0* | 0.000011 000000 | 0.000000 000000 | Сдвиги |
| 0.00100*0*|*0* | 0.000011 000000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00010*0|0* | 0.000110 000000 | 0.000000 000000 | Сдвиги |
| 0.00010*0|0* | 0.000110 000000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00001*0|0* | 0.001100 000000 | 0.000000 000000 | Сдвиги |
| 0.00001*0|0* | 0.001100 000000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00000*1|0* | 0.011000 000000 | 0.000000 000000 | Сдвиги |
| 0.00000*1|0* | 0.011000 000000 | 0.000000 000000  1.101000 000000  1.101000 000000 | -M |
| 0.00000*0|1* | 0.110000 000000 | 1.101000 000000 | Сдвиги |
| 0.00000*0|1* | 0.110000 000000 | 1.101000 000000  0.110000 000000  0.011000 000000 | +M |
| 0.0000000 | 1.100000 000000 | 0.011000 000000 | Сдвиги |
| 0.0000000 | 1.100000 000000 | 0.011000 000000 | Результат |

Мантисса не нормализована, сдвинем мантиссу влево на один разряд, из результирующей характеристики вычтем один. Временное ПРС устраняется при нормализации.

|  |  |  |
| --- | --- | --- |
| 0 | 110000 | 111111 |

Полученный результат: 0.75 \* 23110

Искомый результат: 0.75 \* 23110.

* ПМР при сложении характеристик.

A=0,5\*2-18; B=0,5\*2-17

Представим числа в разрядной сетке

|  |  |  |  |
| --- | --- | --- | --- |
|  | Знак числа | Мантисса | Характеристика |
| A | 0 | 100000 | 001110 |
| B | 0 | 100000 | 001111 |

Сложим характеристики двух операндов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 |

В результирующей характеристике было получено временное ПМР. В старшем разряде была получена 0, единица переноса не возникла. Формируется сигнал о ПМР, выдается результат, равный нулю.

|  |  |  |
| --- | --- | --- |
| 0 | 000000 | 100000 |

* Возникновение ПМР после нормализации результата умножения

A=0,5\*2-16; B=0,75\*2-16

Представим числа в разрядной сетке

|  |  |  |  |
| --- | --- | --- | --- |
|  | Знак числа | Мантисса | Характеристика |
| A | 0 | 100000 | 010000 |
| B | 0 | 110000 | 010000 |

Сложим характеристики двух операндов

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |

ПРС и ПМР не возникли. Множитель и множимое не равны нулю. Выполним произведение мантисс сомножителей.

Таблица 4 – Умножение чисел с возникновением ПМР после нормализации

|  |  |  |  |
| --- | --- | --- | --- |
| Множитель | Множимое | СЧП | Пояснение |
| 0.100000 | 0.000000 110000 | 0.000000 000000 | Исх. данные |
| 0.100000|*0* | 0.000000 110000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.0100*0|0* | 0.000001 100000 | 0.000000 000000 | Сдвиги |
| 0.01000*0|0* | 0.000001 100000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00100*0*|*0* | 0.000011 000000 | 0.000000 000000 | Сдвиги |
| 0.00100*0*|*0* | 0.000011 000000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00010*0|0* | 0.000110 000000 | 0.000000 000000 | Сдвиги |
| 0.00010*0|0* | 0.000110 000000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00001*0|0* | 0.001100 000000 | 0.000000 000000 | Сдвиги |
| 0.00001*0|0* | 0.001100 000000 | 0.000000 000000  0.000000 000000  0.000000 000000 | +0 |
| 0.00000*1|0* | 0.011000 000000 | 0.000000 000000 | Сдвиги |
| 0.00000*1|0* | 0.011000 000000 | 0.000000 000000  1.101000 000000  1.101000 000000 | -M |
| 0.00000*0|1* | 0.110000 000000 | 1.101000 000000 | Сдвиги |
| 0.00000*0|1* | 0.110000 000000 | 1.101000 000000  0.110000 000000  0.011000 000000 | +M |
| 0.0000000 | 1.100000 000000 | 0.011000 000000 | Сдвиги |
| 0.0000000 | 1.100000 000000 | 0.011000 000000 | Результат |

Мантисса не нормализована, сдвинем мантиссу влево на один разряд, из результирующей характеристики вычтем один. В характеристиках возникает ПМР.

Уменьшение характеристики на 1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 |

Формируется сигнал о ПМР, выдается результат, равный нулю.

|  |  |  |
| --- | --- | --- |
| 0 | 000000 | 100000 |

## Примеры операции сложения модулей

* Возникновение устранимого ПРС при сложении мантисс

A=0.5\*215; B=0.5\*215

Представим числа в разрядной сетке

|  |  |  |  |
| --- | --- | --- | --- |
|  | Знак числа | Мантисса | Характеристика |
| A | 0 | 1000000 | 10111 |
| B | 0 | 1000000 | 10111 |

Вычтем из первой характеристики вторую:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 |

Сложим мантиссы чисел:

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

После сложения мантисс образовалось ПРС. Необходимо сдвинуть результирующую мантиссу вправо, и прибавить к первой характеристики 1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 |

Результат:

|  |  |  |
| --- | --- | --- |
| 0 | 1000000 | 11000 |

Проверка: 0,10000002\*28=100000002=12810

## Примеры операции ИЛИ-НЕ

* A=64; B=64

Представим числа в разрядной сетке

|  |  |  |  |
| --- | --- | --- | --- |
|  | Знак числа | Мантисса | Характеристика |
| A | 0 | 1000000 | 1111 |
| B | 0 | 1000000 | 1111 |

|  |  |
| --- | --- |
| ИЛИ | НЕ |
| 1000000 | 1000000 |
| 1000000 | 0111111 |
| 1000000 |  |

# Разработка функциональных схем для отдельных операций

## Функциональная схема для операции умножения.

В результате разработки ФС для операции умножения был получен ОА, состоящий из следующих элементов:

* 25–и разрядный сдвиговый регистр RG1;
* Два 47–и разрядных сдвиговых регистра RG2, RG3;
* 47–и разрядный управляемый инвертор;
* 47–и ходовой элемент «И» для формирования значения на левом плече сумматора SM1;
* 47–х разрядный сумматор SM1 для сложения множимого с СЧП;
* D–триггер T1 для хранения значения переноса после сложения характеристик;
* RS–триггер T2 для хранения и выдачи сигнала ПРС;
* 8–и разрядный не сдвиговый регистр RG4 для хранения характеристики;
* 8–и разрядный счетчик СТ1 для хранения характеристики множимого и произведения в последующих тактах;
* 8–и разрядный счетчик циклов умножения CT2;
* 8–и разрядный сумматор SM2 для сложения характеристики множителя и характеристики множимого;
* Два двухвходовых элемента «ИЛИ»;
* Семивходовой элемент «ИЛИ» для определения истинного ПРС;
* Два двухвходовых элемента «И»;
* Элемент «НЕ» для формирования инверсного знака результирующей характеристики
* Двухвходовой элемент «сложение по модулю два» для определения нормализации результата умножения мантисс;
* Трехвходовой элемент «ИЛИ-НЕ» для определения исключительных ситуаций;
* Двухвходовой элемент «сложение по модулю два» и двухвходовой элемент «И» для определения сигналов, которые формируют на левом плече сумматора SM1 множитель, или -множитель, или ноль;

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в таблице 2.

Таблица 2 - Взаимодействие операционного и управляющего автоматов

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | У0 | Запись в RG1, RG4 |
| Р0 | Проверка операнда на ноль | У1 | Запись в RG1; установка T1, Т2 положение «0»; обнуление RG3 и СТ1; запись в СТ2 |
| P1 | Проверка на окончание операции умножения | У2 | Запись в СТ1 значения выхода SM2, запись в T1 значения выхода переноса SM2 |
| P2 | Проверка на ПРС | У3 | Сдвиг RG3 влево, CT1:=CT1-1 |
| P3 | Проверка на временное ПРС | У4 | Запись в RG3 значения выхода SM1, запись триггера T4 |
| P4 | Проверка нормализации результата | Y5 | Сдвиг RG1 влево и RG2 вправо, CT1:=CT1+1 |
| P5 | Проверка окончания операции умножения | Y6 | Установка Т2 в положение «1» |
| Z | Проверка возможности выдачи результата на ШИВых | Y7 | Выдача результата, Flags |
|  |  | Y8 | Запись триггеров T3,T5 |

Разработанная ФС представлена на рисунке А.1.

## Функциональная схема для операции сложения модулей.

В результате разработки ФС для операций сложения модулей был получен ОА, состоящий из следующих элементов:

* 32-разрядный регистры RG1 и RG2;
* D-триггеры Т1, Т2, Т3 и Т4;
* 32-разрядный сумматор SM;
* Два 32-входовых логических элемента XOR;
* 32-входовые логические элемент OR;

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в таблице 3.

Таблица 3 - Взаимодействие операционного и управляющего автоматов

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | У0 | Запись в RG1;  Запись знака множителя в T5;  Запись «0» в 0 разряд RG1; Запись в СТ2; |
| P1=1 | Переполнение разрядной сетки (ПРС) | У1 | Запись в RG2; |
| P5=1 | Знак второго операнда | У3 | Очистка RG3 |
| P6=1 | Знак результата | У5 | Очистка RG1, RG2 |
| Z | Проверка возможности выдачи результата на ШИВых | У10 | Усправлене 31 разрядом на плече А MS1 |
|  |  | У12 | Запись в RG3 |
|  |  | У14 | Перевод в ДК |
|  |  | Y18 | Выдача результата, Flags |

*Продолжение таблицы 3*

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | Y19 | Запись СТ1 |
|  |  | Y20 | Запись T5 |

Разработанная ФС представлена на рисунке А.2.

## Функциональная схема для операции ИЛИ-НЕ.

В результате разработки ФС для операции ИЛИ-НЕ был получен ОА, состоящий из следующих элементов:

* D-триггеры Т1, Т2, Т3 и Т4;
* 32-разрядные регистры RG1, RG2, RG3;
* 32-входовые логические элемент OR;
* 32-входовые логические элемент NOT;
* 32-входовые логические элемент NOR;
* 32 разрядный шинный формирователь

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в таблице 4.

Таблица 4 - Взаимодействие операционного и управляющего автоматов

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | y0 | Запись RG1, очистка T1, T2, T3, T4 |
| Z | Проверка возможности выдачи результата на ШИВых | y1 | Запись в RG2 |
|  |  | y2 | Запись RG3 |
|  |  | Y3 | Выдача результата на шину |
|  |  | Y4 | Запись в триггеры |

Разработанная ФС представлена на рисунке А.3.

# Разработка объединенной ГСА

Для выбора операции в объединенном ОА каждой операции присваивается свой код. Коды представлены в таблице 5.

Таблица 5 – Коды операций

|  |  |  |
| --- | --- | --- |
| Операция | КОП | |
| q1 | q0 |
| Инкремент | 0 | 0 |
| Сложение модулей | 0 | 1 |
| Вычитание | 1 | 0 |
| Умножение | 1 | 1 |

При разработке объединенной ГСА была добавлена вершина выбора кода операции. Общие части всех ГСА были выделены отдельно.

Разработанная объединенная ГСА представлена на рисунке Б.4.

# Разработка и описание принципиальной схемы операционной части арифметико-логического устройства

В качестве основной элементной базы выбраны элементы серии КР1533 и КР1531 поскольку их основное отличие от более ранней серии К555 и К155 в том, что при повышенном быстродействии и приемлемой помехоустойчивости они имеют в несколько раз меньшую потребляемую мощность.

Перечень используемых элементов представлен в таблице 6.

Таблица 6 – Перечень элементов

|  |  |  |
| --- | --- | --- |
| Тип | Серия | Описание |
| КР1533 | ИР13 | Реверсивный 8-ми разрядный регистр |
| КР1533 | ИЕ7 | 4-х разрядный счетчик |
| КР1533 | ТМ2 | D-триггер (2 шт. в корпусе) |
| КР1533 | ИМ6 | 4-х разрядный сумматор |
| КР1533 | КП16 | 4-х разрядный мультиплексор 2 в 1 |
| КР1533 | ИД1 | 4-х разрядный дешифратор |
| КР1533 | АП5 | Шинный формирователь |
| КР1533 | ЛП5 | XOR (4 шт. в корпусе) |
| КР1533 | ЛИ1 | Логическое И (4 шт. в корпусе) |
| КР1533 | ЛН1 | Инвертор (6 шт. в корпусе) |
| КР1533 | ЛЛ1 | Логическое ИЛИ (4 шт. в корпусе) |
| КР1533 | ЛA3 | Логическое И-НЕ (4 шт. в корпусе) |
| КР1533 | ЛE1 | Логическое ИЛИ-НЕ (4 шт. в корпусе) |

## Регистры

В качестве регистров RG1, RG2, RG3, выбрана микросхема КР1533ИР13 позволяющая осуществлять сдвиги влево и вправо, параллельную запись и сброс.

Особенностью данной схемы является, то что нельзя допускать перепада из высокого уровня в низкий на управляющих входах во время низкого уровня синхросигнала. Так же не следует менять режим во время записи в регистр. Выбор режима с помощью сигналов управления ИР13 представлен в таблице 7.

Таблица 7 – Режимы регистра ИР13

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| C | S1 | S0 | ¬R | Режимы |
| -/ | 1 | 1 | 1 | Запись |
| -/ | 1 | 0 | 1 | Сдвиг влево |
| -/ | 0 | 1 | 1 | Сдвиг вправо |
| X | 0 | 0 | 1 | Хранение |
| X | X | X | 0 | Сброс в 0 |

Обозначения:

-/ - активный фронт по счетным входам;

X – любое состояние.

Регистры имеют специальные входы переноса при сдвиге. Схема соединения регистров представлена на рисунке 2.



Рисунок 2 – Схема соединения регистров ИР13 для сдвигов в сторону младших разрядов

Временные диаграммы работы регистров представлены на рисунке 3.

Рисунок 3 – Временные диаграммы работы регистров

Задержки на элементах считаются следующим образом:

t1 = + = 8нс + 14нс = 22 нс

t2 = + = 8нс + 12нс = 20 нс

t3 = = 11нс

t4 = = 11нс.

## Счетчики

Для реализации счетчиков была выбрана микросхема КР1533 ИЕ7 – четырехразрядный реверсивный счетчик с параллельной загрузкой. Изображение счетчика с указанием способа соединения представлено на рисунке 4.



Рисунок 4 – Счетчик ИЕ7.

Режим работы счетчика представлен в таблице 8.

Таблица 8 – Режим работы счетчика ИЕ7

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| R | ¬C | +1 | -1 | Режим |
| 1 | X | X | X | Сброс |
| 0 | 0 | X | X | Запись |
| 0 | 1 | 1 | 1 | Хранение |
| 0 | 1 | -/ | 1 | +1 |
| 0 | 1 | 1 | -/ | -1 |

Организация счетчиков требует учета следующих особенностей:

Запись статическая, а счет динамический по фронту сигнала.

Так же стоит отметить то, что для корректного счета сигналы счета инвертируются, а на неиспользуемые счетные входы подается высокий сигнал.

Входы переноса обозначаются cr и br.

Поскольку данные на входах счетчиков меняются необходимо преобразовать статическую запись в динамическую. Временная диаграмма записи в счетчик приведена на рисунке 5.





Рисунок 5 – Диаграмма записи в ИЕ7

Такой сигнал получается с помощью особой микросхемы КР1533АГ3 содержащей два одновибратора.

Верные данные на входах счетчика СТ1 будут сформированы после прохождения сигнала управляемого инвертора (ЛП16 и ЛП5). Учитывая время предустановки счетчика запись следует подавать через время t после начала такта

= ++= 8 + 8 + 20 = 36нс.

Схема управления счетчиками представлена на рисунке 6.



Рисунок 6 – Схема управления счетчиками

## Триггеры

Для записи знаков, флагов признаков результата и формирования дополнительных разрядов счетчиков и регистров (для СТ2 и RG2) были использованы микросхемы триггеров КР1533ТМ2. Микросхема состоит из двух D-триггеров имеющих синхронный вход, а так имеются инверсные входы сброса и установки. Схема ТМ2 приведена на рисунке 7.



Рисунок 7 – Триггер ТМ2

## Логические элементы

Логические элементы представлены микросхемами серии КР1533. Перечень используемых логических элементов можно найти в таблице. Схематическое изображение элементов представлено на рисунке 8.

Рисунок 8 – Логические элементы К1533ЛН1, К1533ЛП5, К1533ЛИ1, К1533ЛП5ЛЛ1

Номер входа питания данных элементов находится суммой максимального номера и единицы, а вход земли делением этой суммы на 2.

## Шинный формирователь

По завершении операции результат выдаётся на шину. Для корректного формирования результата используется усилитель- формирователь. Данный элемент реализуется с помощью микросхемы КР1533АП5. УГО данной микросхемы представлено на рисунке 9.



Рисунок 9 – УГО микросхемы КР1533АП5

## Резистор

Поскольку используются выходы микросхемы К1533ЛЕ11 с открытым коллектором, необходимо добавить в схему ограничительный резистор. Ограничительное сопротивление R1 рассчитывается по формуле

,

Где - минимальное напряжение микросхемы; - максимальное напряжение микросхемы; - максимальное напряжение логического нуля; - Минимальное напряжение логической единицы - токи утечки логического нуля и единицы; - входные токи логических нуля и единицы; - выходной ток логического нуля; - количество элементов с открытым коллектором.

Для повышения быстродействия следует использовать наименьшее ограничительное сопротивление. Также в связи с тем, что ток утечки логического нуля очень мал и количество подключаемых выходов с открытым коллектором невелико, слагаемым (𝑁 − 1) ∗ 𝐼ут 0 можно пренебречь. Ограничительное сопротивление можно рассчитать следующим образом

, ОМ

# Расчет потребляемой мощности

Токопотребление выбранной элементной базы представлено в таблице 9.

Таблица 9 – Токопотребление элементов

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Тип | Серия | Количество | Iпотр. i, мА | Iпотр. i общ., мА |
| КР1533 | ИР13 | 12 | 40 | 480 |
| КР1533 | ИЕ7 | 5 | 22 | 110 |
| КР1533 | ТМ2 | 3 | 4 | 12 |
| КР1533 | ИМ6 | 10 | 34 | 340 |
| КР1533 | КП16 | 24 | 11 | 264 |
| КР1533 | ИД1 | 1 | 25 | 25 |
| КР1533 | АП5 | 4 | 27 | 108 |
| КР1533 | ЛП5 | 13 | 7 | 91 |
| КР1533 | ЛИ1 | 12 | 4 | 48 |
| КР1533 | ЛН1 | 1 | 3,8 | 3,8 |
| КР1533 | ЛЛ1 | 2 | 4,9 | 9,8 |
| КР1533 | ЛП3 | 3 | 3 | 9 |
| КР1533 | ЛE11 | 4 | 9 | 36 |

Общий потребляемый ток Iпотр составляет 1056,6 мА ≈ 1,1 А. В соответствии с полученными данными рассчитывается потребляемая мощность

Pпотр = I\*U = 1,1 А \* 5В = 5,5 Вт.

# Расчёт фильтра питания

Чтобы сгладить возможные скачки напряжения, для схемы необходимо разработать фильтр. Требуется рассчитать количество и ёмкости двух видов конденсаторов:

* электролитического – необходимого для сглаживания пульсирующего тока;
* керамического – необходимого для сглаживания напряжения.

## Расчет амплитуды ступенчатого скачка тока

Сначала найдем максимальную расчетную амплитуду ступенчатого скачка тока питания по формуле, приведённой ниже.

,

где N – количество выходов микросхем; C – средняя емкость нагрузки выходов; ΔV – амплитуда выходного сигнала; Δt – время переключения выходов.

Примем

C=10пФ, ΔV=5.25В, Δt=5нс, N=400.

Подставим в формулу и выполним расчёты

=400\*10\*10-12\*(5,25/5\*10-9)= 4,2А

## Расчет импеданса

Рассчитаем максимально допустимый импеданс по следующей формуле

,

где ∆Vп – допустимое напряжение помехи, равное 0.1В.

Для данного случая

Xmax=0.1/4.2=0.023 Ом.

## Расчет индуктивности

Вычислим индуктивность разводки питания по следующей формуле

,

где Х – длина провода питания; H – среднее расстояние между центрами проводов;   
D – диаметр жилы провода.

Примем

Х=30см, Н=5мм, D=1мм.

Подставим значения в формулу и рассчитаем

## Расчет частоты помех

По следующей формуле найдём допустимую частоту помех

## Расчет емкости конденсатора

По следующей формуле рассчитаем емкость электролитического конденсатора

## Обеспечения устойчивости

Для обеспечения устойчивости от высокочастотных помех, возникающих из-за паразитных емкостей микросхем, в цепи питания ставятся керамические конденсаторы малой емкости.

Для расчёта данной емкости сначала найдём максимальную допустимую индуктивность питания по следующей формуле:

По следующей формуле рассчитаем частоту, до которой электролитический конденсатор справляется со своим назначением:

По следующей формуле рассчитаем общую емкость керамических конденсаторов:

Расчёт количества керамических конденсаторов рассчитывается по следующей формуле

, где LCK=5 нГн.

При расчёте этой формулой необходимо 122 керамических конденсатора. Для определения окончательного числа данных конденсаторов следует воспользоваться правилом: на каждые 5 логических микросхем требуется 1 конденсатор. Все остальные микросхемы имеют большее число переключений и им необходимо установить на каждую микросхему по одному керамическому конденсатору.

Таким образом, общее количество требуемых керамических конденсаторов равно 60.

Отсюда емкость одного конденсатора

Получившиеся емкости: Cэ=510 мкФ, Сk=0.5 мкФ.

Из ряда Е6 берем значение для электролитического конденсатора Cэ=510мкФ.

А для керамического конденсатора берём значение ряда Е24 - Сk=0.5 мкФ.

# Расчёт длительности такта и разработка тактового генератора

Схематически такт работы представлен на рисунке 10.

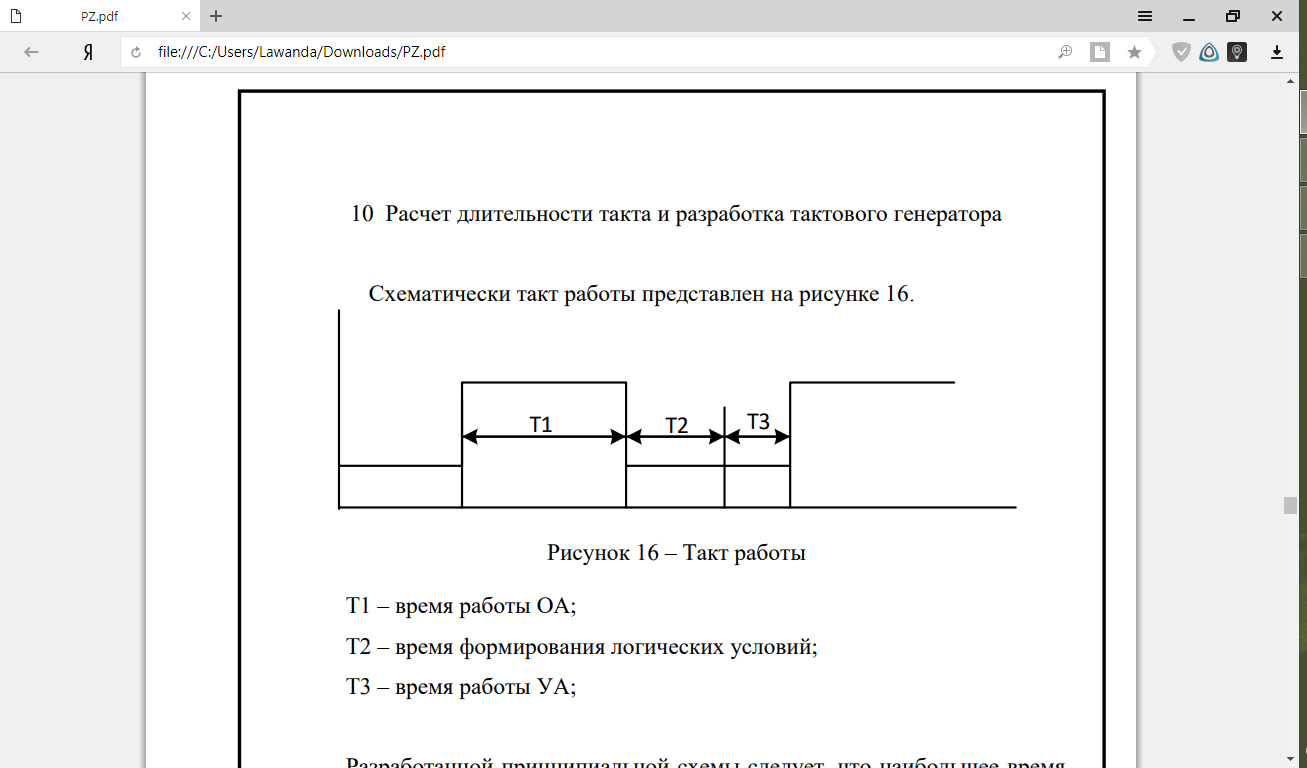


Рисунок 10 – Такт работы

Т1 – время работы ОА;

Т2 – время формирования логических условий;

Т3 – время работы УА.

Из разработанной принципиальной схемы следует, что наибольшее время задержки ОУ требуется для перезаписи данных из одного регистра в другой через сумматор. Для определения данной задержки необходимо сложить время задержки КС после первого регистра(t1), время задержки на сумматоре(t2) и время записи ИР13(t3).

Т1 = 30+288+22=340нс

Время Т2 определяется наибольшим временем формирования осведомительных сигналов. Наибольшее время формирования имеет сигнал р3.

Для повышения надёжности время задержки Т2 необходимо увеличить на 10%. Конечное значение времени задержки при формировании осведомительного сигнала p3 равно 95нс.

Время Т3 определяется временем задержки на УА.

КС состоит из трех слоёв элементов: «НЕ», «И», «ИЛИ». Таким образом, задержка формирования управляющих сигналов получается из суммы задержек этих элементов. Также к этому времени необходимо добавить задержку на элементе «И», необходимом для объединения управляющих сигналов с сигналом синхронизации.

Общее время такта: T=T1+T2+T3=340+95+57=492нс

# Разработка тактового генератора

В качестве генератора возьмем микросхему К1533АГ3. Она представляет собой 2 одновибратора, которые соединятся в мультивибратор. Ее подключение показано на   
рисунке 11.



Рисунок 11 – Схема подключения генератора

Для реализации тактового генератора требуется рассчитать номиналы C1, C2, R1, R2. Для расчёта используется следующие формулы

t=0.45RC,

где t – время; С – ёмкость; R – сопротивление.

Время задержки на одновибраторах t3­=39 нс.

Время работы на первом одновибраторе t1=Toy=340 нс.

Время работы на втором одновибраторе t2=Tp+Tyy-2\*t3=152-2\*39=74 нс.

C1 выбирается из ряда E24 равным 360 пФ. R1 рассчитывается по формуле

Резистор выбирается из ряда E6 сопротивлением 2.2 кОм.

C2 выбирается из ряда E24 равным 110 пф. R2 и рассчитывается по формуле.   
Резистор выбирается из ряда E6 сопротивлением 1.5 кОм.

По формуле повторно рассчитывается t1 и t2:

t1=356.4 нс;

t2=74.5 нс.

Получается, что генератор вырабатывает тактовый импульс с временем Т = 508 нс.

Разработанная схема работает с частотой F=1/T=1.37 МГц

Временная диаграммы тактового генератора представлены на рисунке 12.



Рисунок 12 – Временные диаграммы для генератора

# Расчёт быстродействия

Вероятности возникновения различных ситуаций при работе представлены   
в таблице 10.

Таблица 10 – Вероятности различных ситуаций

|  |  |
| --- | --- |
| **Наименование** | **Вероятность** |
| Операция умножения | 0.1 |
| Операция модулей сложения | 0.4 |
| Операция вычитания | 0.3 |
| Операция инкремент | 0.2 |
| Операнд равен нулю | 0.01 |
| Результат равен нулю | 0.01 |
| Переполнение разрядной сетки | 0.01 |
| На счетчик поданы все единицы | 0.01 |
| Конец операции умножения | 0.01 |

Найдём среднее количество тактов для выполнения каждой операции.

Граф-схема алгоритма операции умножения представлена на рисунке 13.



Рисунок 13 – Граф-схема операции умножения

A1 + 0.01 (А5 + А6) + 0.99 (A2 + 0.99 (А3+А4 + 0.99 \*15+ 0.01(А6)) + 0,01 (А5+А6)) = 18,55

Граф-схема алгоритма операции сложения/вычитания модулей приведена на рисунке 14.



Рисунок 14 – Граф-схема операций сложения и вычитания модулей

А1+А2+А3+А4+0.99(А5)+0.01(А6)=5

А1+ 0.5(А7+А9+ 0.5(А10+0.5(0.99(А5)+0.01(А6))+0,5(А12+А13 + 0.99(А5)+0.01(А6)))+0,5(А11+0.5(0.99(А5)+0.01(А6))+ 0,5(А12+А13 + 0.99(А5)+0.01(А6))))+0.5(А8+А9+0.5(А10+0.5(0.99(А5)+0.01(А6))+0,5(А12+А13 + 0.99(А5)+0.01(А6)))+0,5(А11+0.5(0.99(А5)+0.01(А6))+ 0,5(А12+А13 + 0.99(А5)+0.01(А6))))=6,8125

Граф-схема алгоритма операции декремента приведена на рисунке 15.



Рисунок 15 – Граф-схема алгоритма декремента

A1+0.005(А5)+0.995(0.5(А2+А4+А6) +0.5(А3+А4+А6))= 3,99

Используя данные предыдущих вычислений найдём среднее число операций, выполняемых на АЛУ.

N=Nу\*0.1+Nс\*0.4+Nв\*0.3+0.2\*Nи=0.1\*18.55+0.4\*5+0.3\*6.815+0.2\*3.99=5.6975

Отсюда число операций в секунду:

# Приложение А

(Обязательное)

Функциональные схемы отдельных операций



Рисунок А.1 – Функциональная схема ОЧ АЛУ операции умножение



Рисунок А.2 – Функциональная схема ОЧ АЛУ операций   
сложение модулей и вычитание



Рисунок А.3 – Функциональная схема ОЧ АЛУ операции инкремент



Рисунок А.4 – Объединенная функциональная схема

# Приложение Б

(Обязательное)

Содержательные схемы алгоритмов



Рисунок Б.1 – Содержательная схема алгоритма умножения



Рисунок Б.2 – Содержательная схема алгоритмов сложения и вычитания



Рисунок Б.3 – Содержательная схема алгоритма операции инкремент



Рисунок Б.4 – Содержательная схема объединенного алгоритма

# Приложение В

(Обязательное)

Внешний вид разъема СНП34-135Р

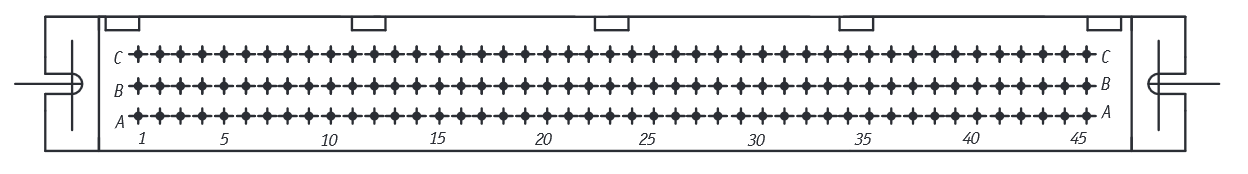


Рисунок Д.1 – Схема расположения контактов

# Перечень элементов

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| № строки | Формат | | Обозначение | | | | Наименование | | | | Кол-во листов | | Примеч | |
| 1 |  | |  | | | | Резисторы | | | |  | |  | |
| 2 |  | | R1 | | | | 1 кОм | | | | 1 | |  | |
| 3 |  | |  | | | |  | | | |  | |  | |
| 4 |  | |  | | | | Микросхемы | | | |  | |  | |
| 5 |  | | D71-D74 | | | | К1533АП5 | | | | 4 | |  | |
| 6 |  | | D54-55, D62-63 | | | | К1533ИЕ7 | | | | 4 | |  | |
| 7 |  | | D1, D4-5, D31-33, D40-42 | | | | К133ИР13 | | | | 9 | |  | |
| 8 |  | | D48-53 | | | | К1533КП11 | | | | 6 | |  | |
| 9 |  | | D11-16 | | | | К1533ИП3 | | | | 6 | |  | |
| 10 |  | | D22-23 | | | | К1533ИП4 | | | | 2 | |  | |
| 11 |  | | D6, D25-27 | | | | К1533ТМ2 | | | | 4 | |  | |
| 12 |  | | D60, D61 | | | | К555ИМ6 | | | | 2 | |  | |
| 13 |  | | D7-9, D21, D28, D66-67 | | | | К1533ЛИ1 | | | | 7 | |  | |
| 14 |  | | D3, D10, D17, D29 | | | | К1533ЛН1 | | | | 4 | |  | |
| 15 |  | | D18, D34-39, D56-58, D64-65 | | | | К1533ЛП5 | | | | 12 | |  | |
| 16 |  | | D45 | | | | К1533ЛЕ1 | | | | 1 | |  | |
| 17 |  | | D2, D19-21, D68 | | | | К1533ЛЛ1 | | | | 5 | |  | |
| 18 |  | | D46 | | | | К1533ЛИ6 | | | | 1 | |  | |
| 19 |  | | D43-44, D59 | | | | К533ЛЕ7 | | | | 3 | |  | |
| 20 |  | | D24 | | | | К1533ТВ10 | | | | 1 | |  | |
| 21 |  | | D69-70 | | | | К1533СП1 | | | | 2 | |  | |
| 22 |  | |  | | | | Разъем | | | |  | |  | |
| 23 |  | | XP1 | | | | СНП34-135Р | | | | 1 | |  | |
| 24 |  | |  | | | |  | | | |  | |  | |
| 25 |  | |  | | | | Конденсаторы | | | |  | |  | |
| 26 |  | | C1 | | | | 220мкФ | | | | 1 | |  | |
| 27 |  | | C2-C41 | | | | 470пФ | | | | 40 | |  | |
|  | |  | |  |  |  |  | | | | | | | |
|  | |  | |  |  |  | *ТПЖА.09.03.01.038 ДКП* | | | | | | | |
| *Изм.* | | *Лист.* | | *№ докум.* | *Подп.* | *Дата* |  | | | | | | | |
| *Разраб.* | | | | *Кислицына* |  |  | РАЗРАБОТКА ОПЕРАЦИОННОЙ  ЧАСТИ АРИФМЕТИКО-  ЛОГИЧЕСКОГО УСТРОЙСТВА | *Лит.* | | | | *Лист* | | *Листов* |
| *Пров.* | | | | *Мельцов* |  |  | Э |  |  | |  | | 1 |
| *Т. контр.* | | | |  |  |  | Кафедра ЭВМ  Группа ИВТ-31 | | | | | | |
| *Н. контр.* | | | | *Ростовцев* |  |  |
| *Утв.* | | | | *Страбыкин* |  |  |