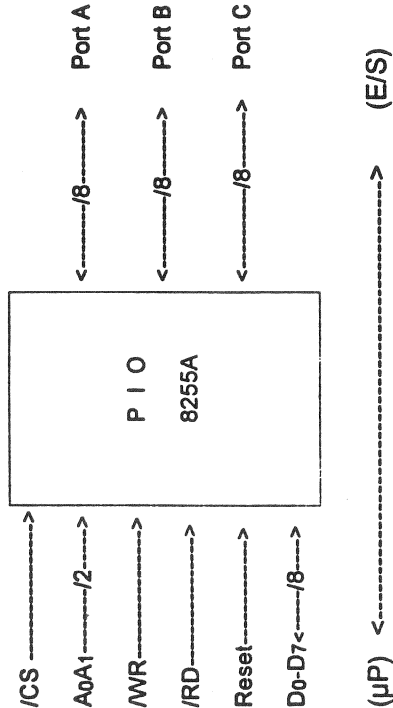


Exercice sur les techniques de décodage d'adresse

• Remarques générales sur le PIO 8255A d'Intel

PIO = Parallel Input-Output
C'est un circuit typique d'E/S



Les lignes D_0-D_7 sont connectées au bus de données.

Les lignes A_0A_1 permettent de connecter l'un des quatre registres internes du PIO :

- . ceux des ports A, B et C
- . un registre de commandes (ou de programme)

A chaque port d'E/S est associé un registre interne de 8 bits dans lequel lit ou écrit le microprocesseur « μP »

On choisit habituellement de connecter le PIO comme un boîtier mémoire (*mappage*) : il faudra donc déterminer dans l'espace d'adressage mémoire 4 adresses d'octets nécessaires aux registres internes du PIO.

• Soit un « μO » destiné à des applications simples composé :

- . d'un « μP » (type 8085)
- . d'une mémoire EPROM de $2K \times 8$ bits contenant le programme (fixe)
- . d'une mémoire RAM de $2K \times 8$ bits pour les données (variables)
- . d'un circuit PIO 8255A

• La mémoire EPROM et la RAM nécessitent chacune $2K$ octets dans l'espace d'adressage, le PIO utilise 4 octets. On suppose de plus qu'on dispose d'un espace d'adressage de $64 K$ octets (bus d'adresse A_0-A_{15}). Voici un choix possible d'implantation de ces circuits dans cet espace :

- mémoire EPROM au début (0) de l'espace d'adressage,
- mémoire RAM à partir de l'adresse $32K$,
- circuit d'E/S PIO dans les quatre derniers octets de l'espace d'adressage mémoire.

Quelles sont les adresses de début et de fin :

- de l'EPROM ?
- de la RAM ?
- du PIO ?

• Quelle est la forme des adresses binaires sur 16 bits permettant de sélectionner l'EPROM ? la RAM ? le PIO ?

• Donner le schéma permettant de connecter l'EPROM, la RAM et le PIO au bus d'adresse (Chaque boîtier mémoire est muni d'une broche /CS)

• Montrer qu'on peut simplifier tous ces schémas (décodage partiel d'adresse, utilisation d'un décodeur).