

Projet VLSI

Processeur ARM v3 pipeline 5 étages



Agenda

- **Architecture générale**
- **Architecture du composant DECOD**
- **Gestion de la machine à états**
- **Architecture du composant EXEC**
- **Résultats**

Présentation des 5 étages

FETCH

-> Fournir l'instruction correspondant à l'adresse demandée

DECOD

-> Décoder l'instruction courante

EXEC

-> Réaliser les calculs (ALU)

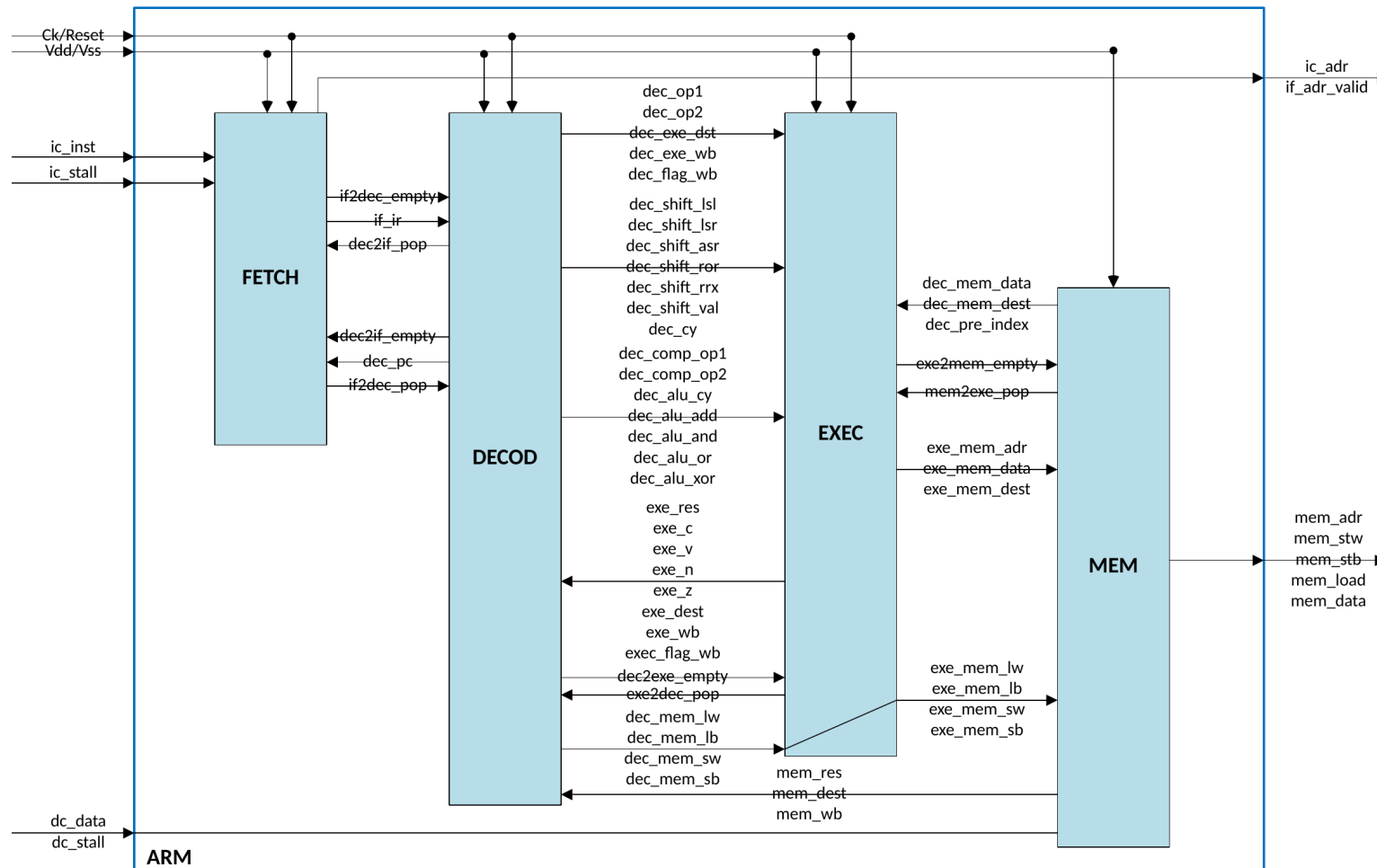
MEM

-> Gestion de la mémoire

WB (intégré dans le composant DECOD)

-> Modifier les valeurs contenues dans les registres en fonction des résultats d'opération

Architecture générale



Agenda

- **Architecture générale**
- **Architecture du composant DECOD**
- **Gestion de la machine à états**
- **Architecture du composant EXEC**
- **Résultats**

State Machine

Machine à état de type Mealy

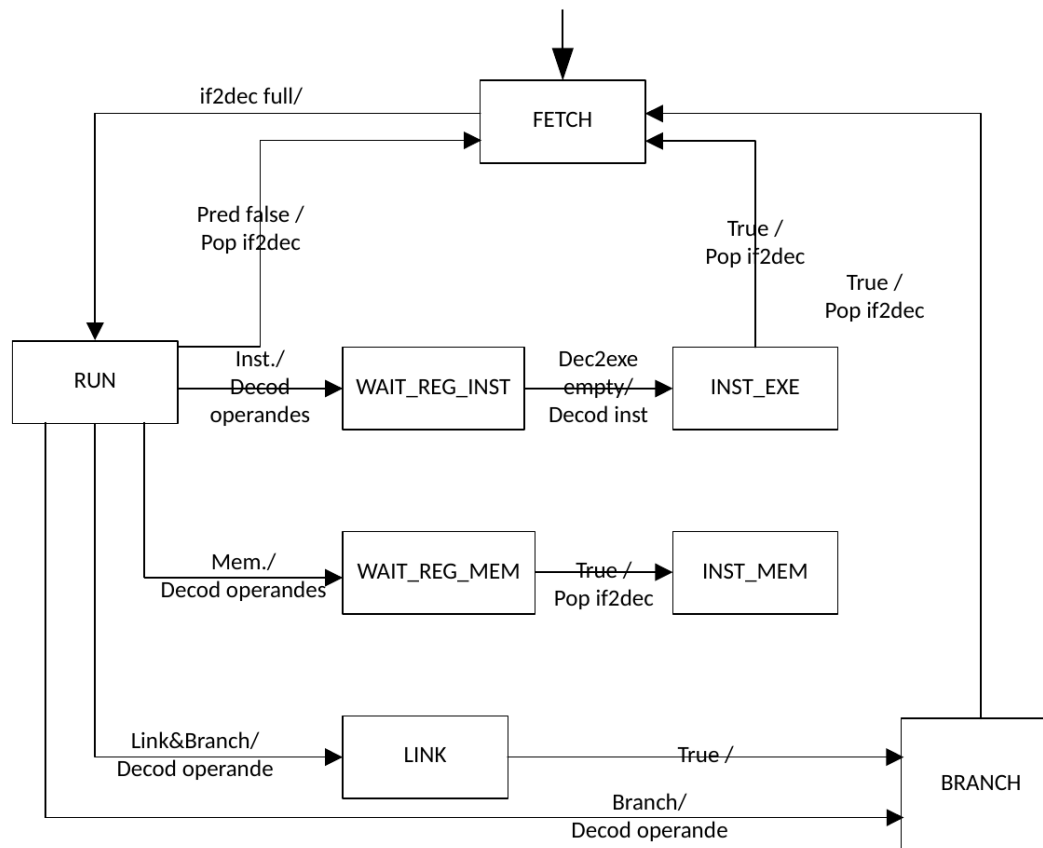
- **FSM**

- > Machine à état pour le decodage et le process des instructions

- **FSM_ST**

- > Mémorisation de l'état de la FSM pour le cycle suivant

State Machine



Banc de Registre

- **16 registres accessibles utilisateur**
 - > PC (r15) lr (r14) accessibles comme n'importe quel registre
- **2 ports d'écriture, 3 ports de lecture**
 - > lecture instantanée
 - > écriture différée demande un cycle pour invalider la valeur du registre
- **4 flags (C, Z, N, O)**
 - > écriture et lecture comme dans un registre
- **Registre PC accessible à tout moment**

FIFO

Les fifo servent à réaliser la synchronisation entre les différents étages

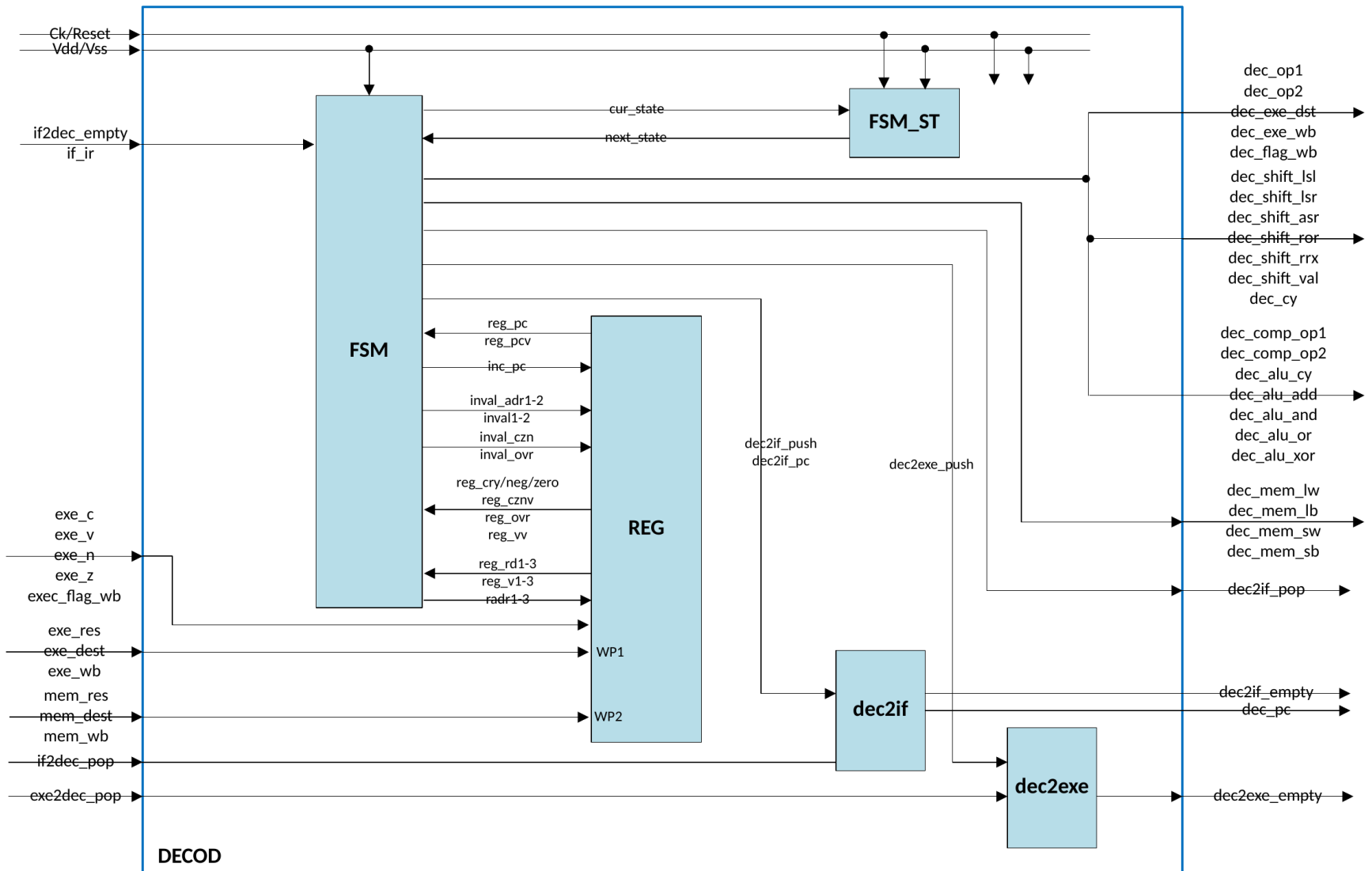
- **dec2if**

- > Une fifo de 32 bits contenant l'adresse d'une instruction à transmettre à l'étage IFETCH

- **dec2exe**

- > Une fifo 129 bits contenant RD, RS, op1, op2.

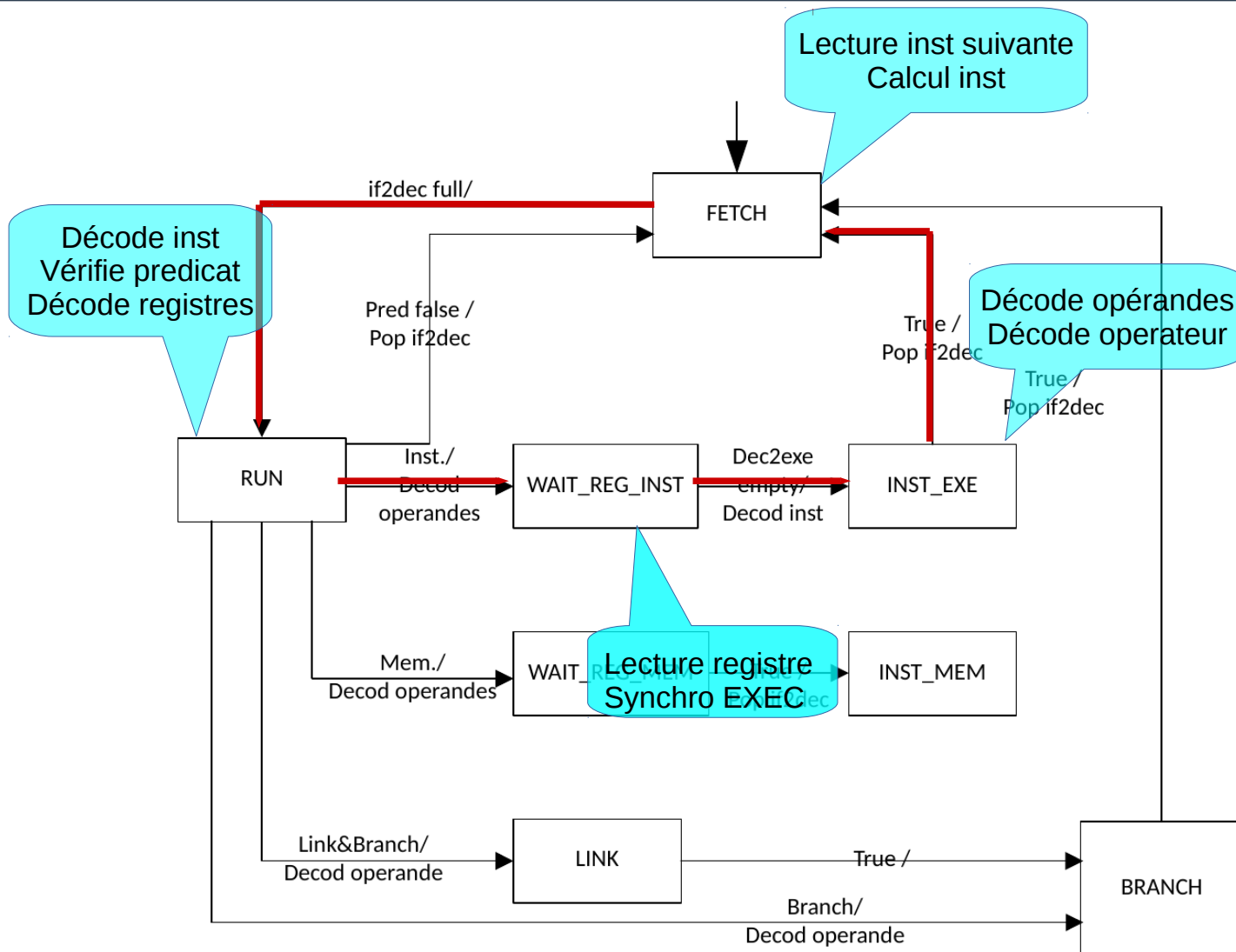
Architecture DECOD



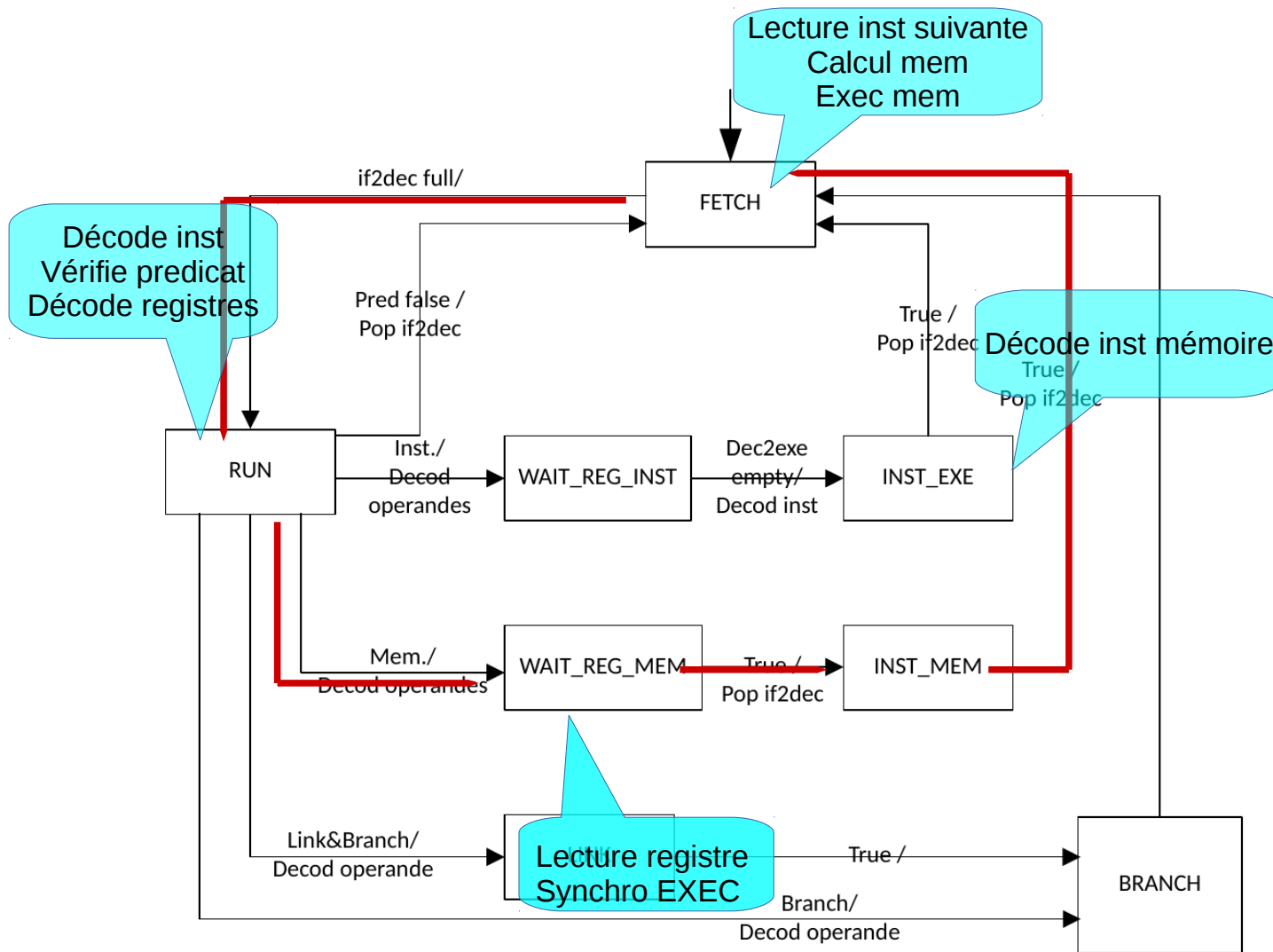
Agenda

- **Architecture générale**
- **Architecture du composant DECOD**
- **Gestion de la machine à états**
- **Architecture du composant EXEC**
- **Résultats**

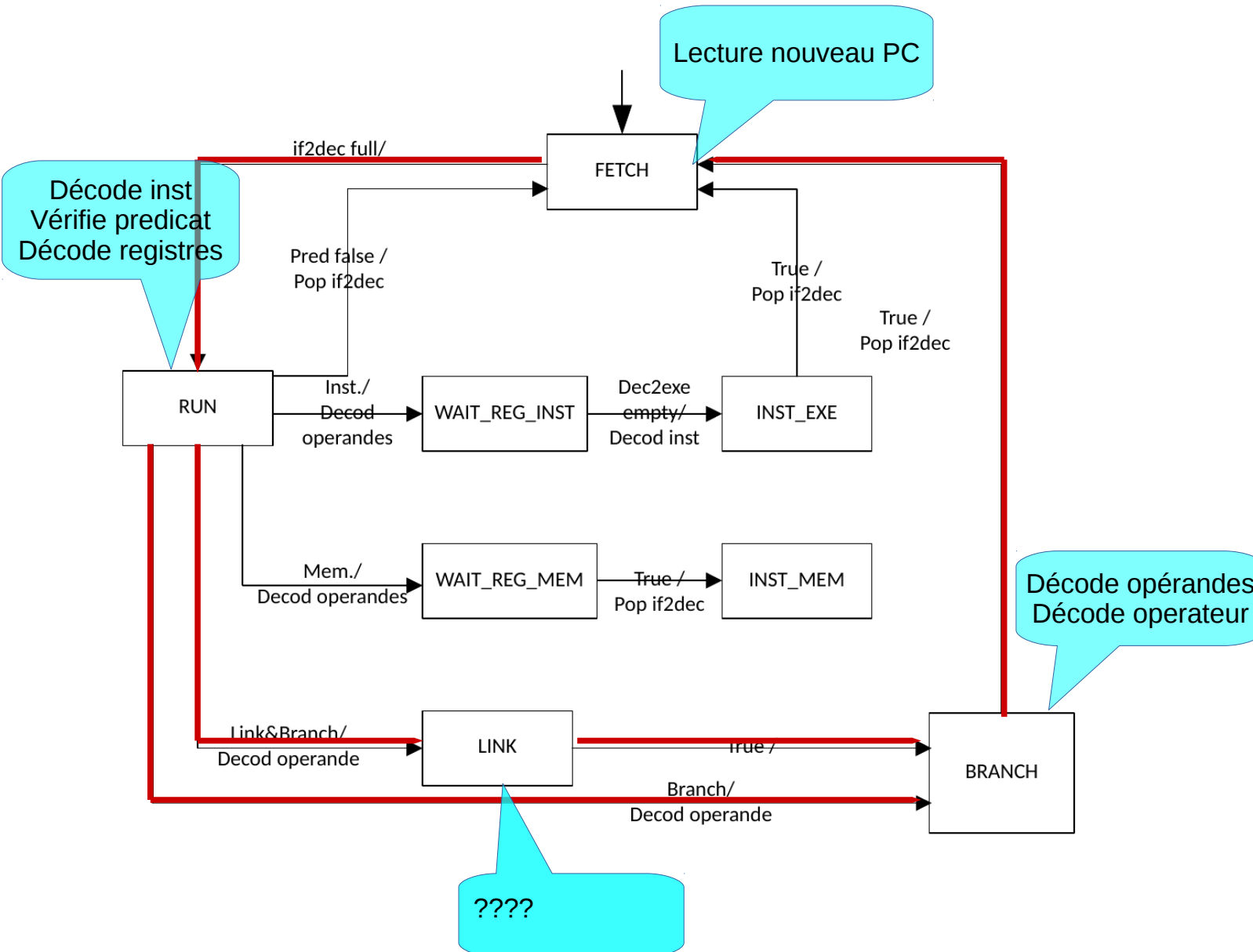
STATE MACHINE INST



STATE MACHINE MEM



STATE MACHINE Branch/ Branch&Link



Agenda

- **Architecture générale**
- **Architecture du composant DECOD**
- **Gestion de la machine à états**
- **Architecture du composant EXEC**
- **Résultats**

Présentation EXEC

Bla bla

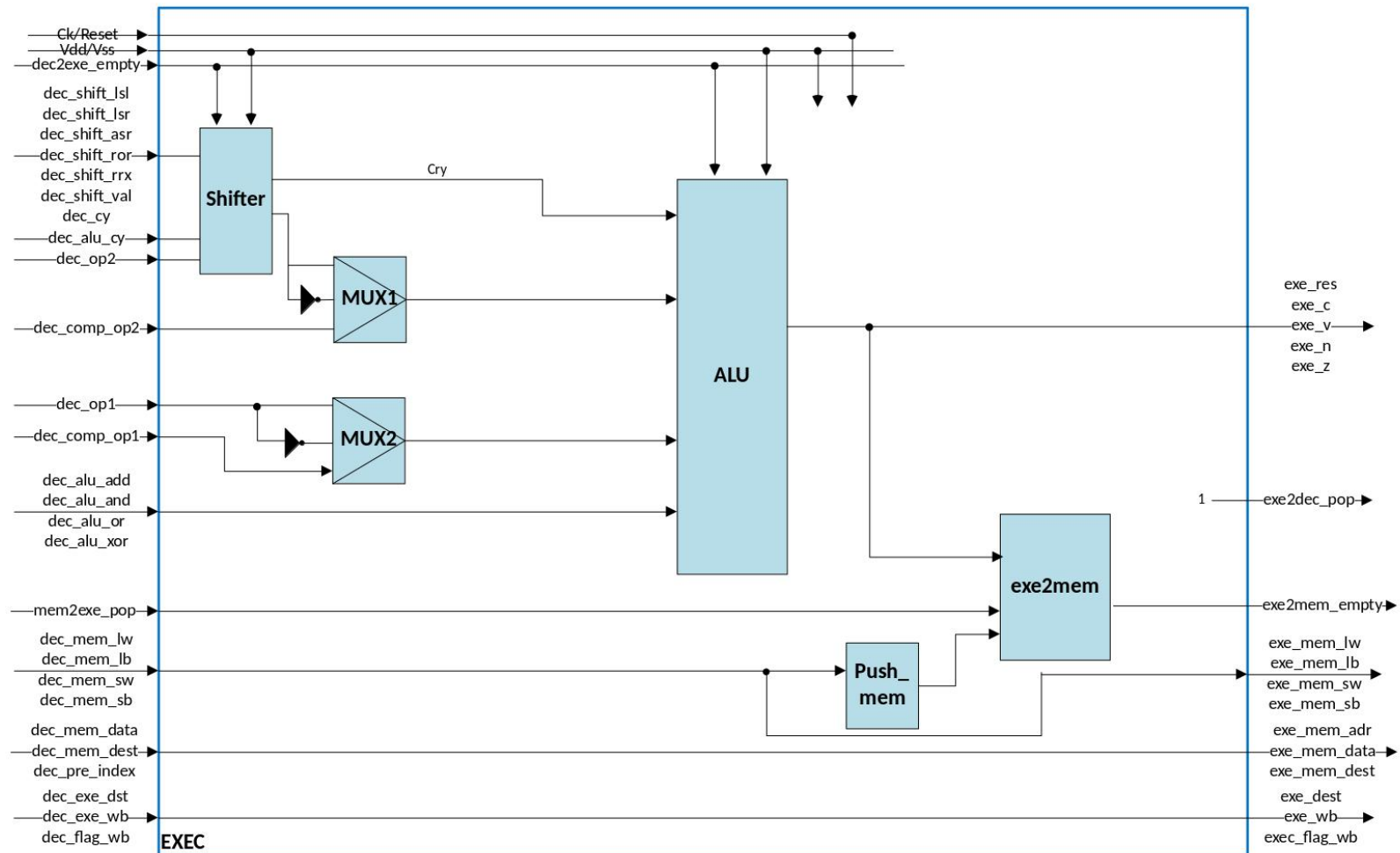
- **XXXXX**

-> bla bla

- **XXXXX**

-> bla bla

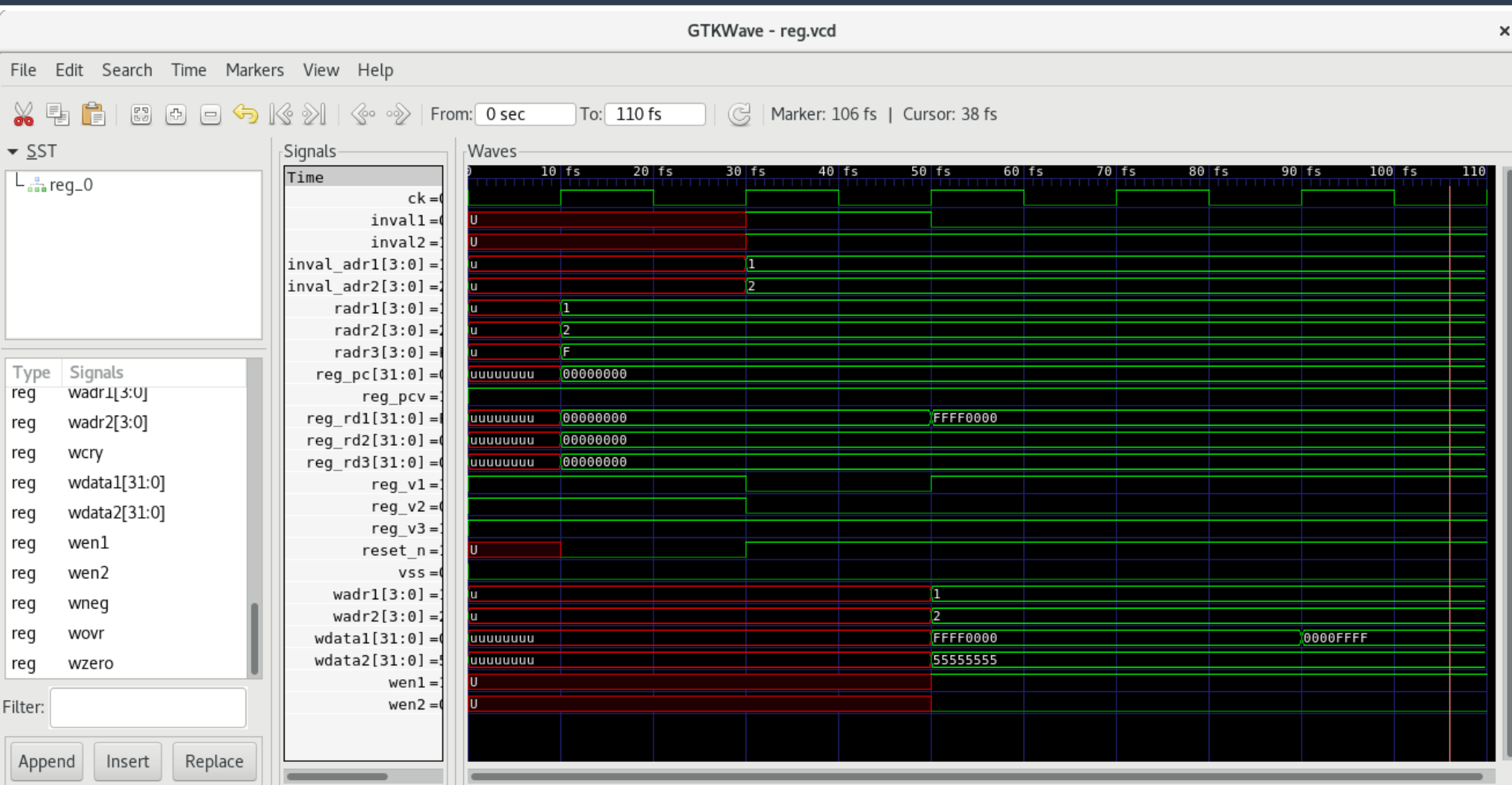
Architecture EXEC



Agenda

- **Architecture générale**
- **Architecture du composant DECOD**
- **Gestion de la machine à états**
- **Architecture du composant EXEC**
- **Résultats**

Résultats REG



Résultats

Tous les composants développés sous GIT

REG, EXE implémentés et entièrement testés

DECOD implementation machine à état (*sauf multiples transferts*)

Ne synthétise pas entièrement