

Modèle VHDL de l'étage EXEC semaine 5

Objectif(s)

- ★ Faire un premier modèle comportemental de l'étage EXEC.
- ★ Tester ce modèle.

Exercice(s)

Exercice 1 – Modèle comportemental de EXEC

Écrire dans un premier temps un modèle purement comportemental de l'étage EXEC et dans un second temps prendre en compte les contraintes liées à la synthèse.

Question 1

Écrire le modèle VHDL de l'étage EXEC. Dans ce modèle vous allez instancier l'*ALU* que vous avez écrit à l'occasion de la précédente séance. Vous allez également instancier la *FIFO* générique fournie pour constituer l'étage de pipeline entre EXEC et MEM.

L'interface du bloc EXEC vous est fournie dans le fichier `exec_vide.vhdl`. Le modèle de la fifo générique vous est fourni dans le fichier `fifo_generic.vhdl`.

Question 2

Écrire un fichier `test_bench` permettant de valider votre modèle.