Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет

информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические основы

цифровых устройств

УТВЕРЖДАЮ

Заведующий кафедрой ЭВМ

\_\_\_\_\_\_\_\_\_\_Б. В. Никульшин

« »\_\_\_\_\_\_\_\_\_\_\_\_\_\_20\_\_г.

ЗАДАНИЕ

по курсовой работе студента

Кривени Максима Алексеевича

1. Тема работы: «Проектирование и логический синтез сумматора-умножителя двоично-четверичных чисел»
2. Срок сдачи студентом законченной работы: до 20 мая 2023 г.
3. Исходные данные к работе:
   1. исходные сомножители: Мн = 29,63; Мт = 63,29;
   2. алгоритм умножения: Б;
   3. метод умножения: умножение закодированного двоично-четверичного множимого на два разряда двоичного множителя одновременно в прямых кодах;
   4. коды четверичных цифр множимого для перехода к двоично-четверичной системе кодирования: 04 – 10, 14 – 11, 24 – 00, 34 – 01;
   5. тип синтезируемого умножителя: 2
   6. тип синтезируемого умножителя: 2
   7. логический базис для реализации ОЧС: ИЛИ-НЕ Алгоритм Рота для одного выхода, метод Квайна-МакКласки – для остальных
   8. логический базис для реализации ОЧУ: ИЛИ, ИСКЛЮЧАЮЩЕЕ ИЛИ, КОНСТАНТА 1; метод минимизации – карты Карно-Вейча
4. Содержание пояснительной записки (перечень подлежащих разработке вопросов):

Введение. 1. Разработка алгоритма умножения. 2. Разработка структурной схемы сумматора – умножителя. 3. Разработка функциональных схем основных узлов сумматора-умножителя. 4. Синтез комбинационных схем-устройств на основе мультиплексоров. 5. Оценка результатов разработки. Заключение. Список литературы.

1. Перечень графического материала:

**5.1** Сумматор-умножитель первого типа. Схема электрическая структурная.

**5.2** Одноразрядный четверичный сумматор. Схема электрическая функциональная

**5.3** Одноразрядный четверичный умножитель. Схема электрическая функциональная

**5.4**  Регистр-аккумулятор. Схема электрическая функциональная.

**5.5**  Одноразрядный четверичный сумматор. Реализация на мультиплексорах. Схема электрическая функциональная.

|  |  |  |  |
| --- | --- | --- | --- |
| Наименование этапов курсовой работы | Объём этапа, % | Срок выполнения этапа | Примечания |
| Разработка алгоритма умножения | 10 | 10.02-20.02 |  |
| Разработка структурной схемы  Сумматора-умножителя | 10 | 21.02-09.03 | С выполнением чертежа |
| Разработка функциональных схем  Основных узлов сумматора-умножителя | 50 | 10.03-30.04 | С выполнением чертежей |
| Синтез комбинационных схем  Устройств на основе мультиплексоров | 10 | 01.05-15.05 | С выполнением чертежа |
| Завершение оформления пояснительной записки | 20 | 15.05-20.05 |  |

КАЛЕНДАРНЫЙ ПЛАН

Дата выдачи задания: 10 февраля 2023 г.

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_/ Луцик Ю.А./

ЗАДАНИЕ ПРИНЯЛ К ИСПОЛНЕНИЮ \_\_\_\_\_\_\_\_\_\_\_\_\_/Кривеня М.А/