

**LOW-POWER, HIGH-READ STABILITY DESIGN 6T-  
SRAM MEMORY USES M-GDI IN 0.35um.**

# **BAB 1**

## **PENDAHULUAN**

### **1.1 Latar Belakang**

Pada tahun 2013, SRAM memakan 90% area chip, menjadikannya komponen utama sirkuit digital. Berdasarkan data tersebut, dalam mendesain memori perlu mempertimbangkan kinerja yang tinggi, area chip yang rendah (berkurang jumlah luas area asal atau mengecil ukurannya), dan penyebaran daya yang maksimal. Hal ini disebabkan memori ialah sumber kekuatan statis yang penting dalam sebuah sirkuit digital[1].

Konverter data, yaitu analog ke digital converter (ADC) telah mendorong industri semikonduktor untuk memaksimalkan fungsi kerja pada setiap komponen dalam beberapa tahun terakhir. Salah satu hal yang dituntut makin cepat perkembangannya yakni dengan menciptakan suatu komponen dengan lebih banyak blok fungsional yang terintegrasi dalam satu chip. Komponen seperti RAM diharapkan mampu bekerja dengan kecepatan tinggi dengan disipasi daya yang rendah. Penggunaan RAM berada di sebagian besar perangkat digital yang saat ini mayoritas menjadi portable, maka kemampuan baterai/daya yang digunakan agar sistem bekerja dengan maksimal juga dituntut untuk mengimbangi fungsi kecepatan yang akan digunakan.[2]

Salah satu fungsi penting RAM adalah penyimpanan memori sementara. Memori yang tersimpan di dalam RAM kemudian dikirim ke CPU untuk diolah dan dijalankan oleh program atau aplikasi yang akan digunakan. CPU komputer memproses data dalam beberapa detik. Namun, kecepatan ini bergantung pada RAM yang digunakan. Proses penyimpanan memori komputer lebih cepat dengan RAM yang lebih besar. Dalam konteks ini, multitasking berarti kemampuan komputer untuk menjalankan beberapa aplikasi sekaligus. RAM dapat digunakan pada komputer dan perangkat seperti smartphone. Dengan kata lain, RAM yang lebih besar meningkatkan kemampuan multitasking komputer atau gadget. Selain itu, RAM yang lebih besar dapat mengurangi kegagalan sistem atau freeze pada smartphone dan komputer.

SRAM (Static Random-Access Memory) adalah jenis memori yang mempertahankan data selama ada pasokan daya dan tidak memerlukan penyegaran berkala. SRAM biasanya digunakan untuk cache prosesor dan sebagai memori cepat dalam berbagai aplikasi karena kecepatan aksesnya yang tinggi[3]. Skala dimensi transistor yang digunakan sebagai komponen utama penyusun sistem converter data atau SRAM, tidak mudah untuk ditentukan. Mengetahui jumlah transistor yang digunakan, juga merupakan salah satu cara untuk menentukan skala yang tepat. Sistem converter saat ini dituntut mampu bekerja dengan baik, sehingga membutuhkan kebocoran drain yang diinduksi oleh gerbang, doping saluran tinggi, dan band ke band tunnel di sepanjang persimpangan. [2]

Seperti yang dikemukakan oleh Rakesh dan Abhisek (2015), SRAM 6T memiliki keunggulan yang dijelaskan dalam penelitiannya, terutama terletak pada desainnya yang memungkinkan operasi penyimpanan data yang efisien dan stabil. SRAM 6T yang didesain secara konvensional, memiliki arsitektur yang mencakup rangkaian precharge, driver penulisan, sel SRAM, transistor kolom, dan penguat sinyal (sense amplifier). Menggunakan sel yang terdiri dari enam transistor, termasuk dua transistor pull-up, dua transistor pull-down, dan dua transistor pass yang dikontrol oleh input word line[4].

Tahun 2015, Abiri dan Darabi menuliskan didalam penelitiannya mengenai Design of low power and high read stability 8T-SRAM memory based on the modified Gate Diffusion Input (m-GDI), sel memori SRAM 8-transistor (8T-SRAM) memiliki konsumsi daya rendah dan stabilitas baca tinggi. Metode yang digunakan dalam penelitian ini meliputi penggunaan teknik m-GDI yang dimodifikasi untuk mengurangi jumlah transistor yang diperlukan dalam logika dan mengurangi konsumsi daya. Penelitian ini bertujuan untuk mengatasi tantangan yang ada pada desain memori SRAM konvensional, seperti konsumsi daya yang tinggi dan stabilitas baca yang rendah. Namun, penelitian yang telah dilakukan ini masih dapat diarahkan lebih lanjut untuk mengurangi variabilitas proses dalam pembuatan rangkaian dengan teknik m-GDI, yang akan meningkatkan keandalan dan kinerja perangkat[1].

Penelitian lainnya terkait SRAM yang memiliki konsumsi daya rendah dan stabilitas baca tinggi, masih menggunakan desain konvensional. Seperti pada penelitian yang dilakukan oleh Izadinasab dan Gholipour (2021), SRAM yang dibahas dalam penelitiannya menggunakan sel SRAM 9T yang menggunakan mekanisme pemotongan umpan balik (feedback-cutting mechanism) selama operasi penulisan dan teknik jalur baca yang terpisah (decoupled-read path technique) untuk meningkatkan stabilitas baca dan tulis serta mengurangi konsumsi daya dinamis[5]. Karamimanesh, et al (2021) membahas fokus pada desain SRAM 12T yang dioptimalkan untuk operasi tegangan sub-ambang dengan menggunakan teknologi FinFET 14 nm untuk aplikasi daya ultra-rendah[6]. Darabi, et al (2023) mendesain SRAM menggunakan 11 transistor dalam konfigurasi sel bit tunggal dengan struktur single-ended dan dukungan arsitektur mini-array bit-interleaving menggunakan metode gate-diffusion input (GDI) guna mengutamakan efisiensi energi dan stabilitas operasi[7].

Modified Gate-Diffusion Input (m-GDI) adalah variasi dari teknologi GDI yang bertujuan untuk lebih meningkatkan efisiensi energi dan mengurangi kompleksitas area sirkuit. M-GDI mampu mengimplementasikan fungsi logika dengan menggunakan lebih sedikit transistor dibandingkan dengan GDI tradisional, yang dapat menghasilkan pengurangan konsumsi daya dan peningkatan kecepatan[6].

CMOS dipilih sebagai komponen utama pada desain SRAM dengan metode GDI (Gate Diffusion Input) alasan utamanya adalah untuk mengurangi konsumsi daya pada sirkuit digital[8]. GDI merupakan teknik yang dikembangkan untuk menggantikan logika CMOS tradisional dengan tujuan mengurangi jumlah transistor yang diperlukan untuk mengimplementasikan fungsi logika, yang pada gilirannya mengurangi area dan konsumsi daya sirkuit[9]. Teknik GDI yang dimodifikasi (m-GDI) menawarkan solusi yang lebih efisien dalam hal konsumsi daya dan kompleksitas desain, yang sangat penting dalam pengembangan sirkuit digital yang hemat energi dan efisien [8], [9].

## **1.2 Rumusan Masalah**

1. Bagaimana mereduksi gerbang CMOS dengan metode m-GDI pada rangkaian SRAM?
2. Bagaimana menunjukkan kinerja rangkaian SRAM 6T dengan Low Power setelah jumlah transistor direduksi?
3. Apakah rangkaian transistor yang telah direduksi jumlahnya mampu mempertahankan kemampuan High Read Stability?

## **1.4 Tujuan Penelitian**

1. Mereduksi jumlah transistor pada rangkaian SRAM dengan menggunakan metode m-GDI.
2. Mampu menunjukkan kinerja dari penggunaan Low Power pada rangkaian SRAM 6T
3. Mampu mempertahankan High Read Stability pada rangkaian SRAM 6T

## **2.4 Rangkuman Penelitian**

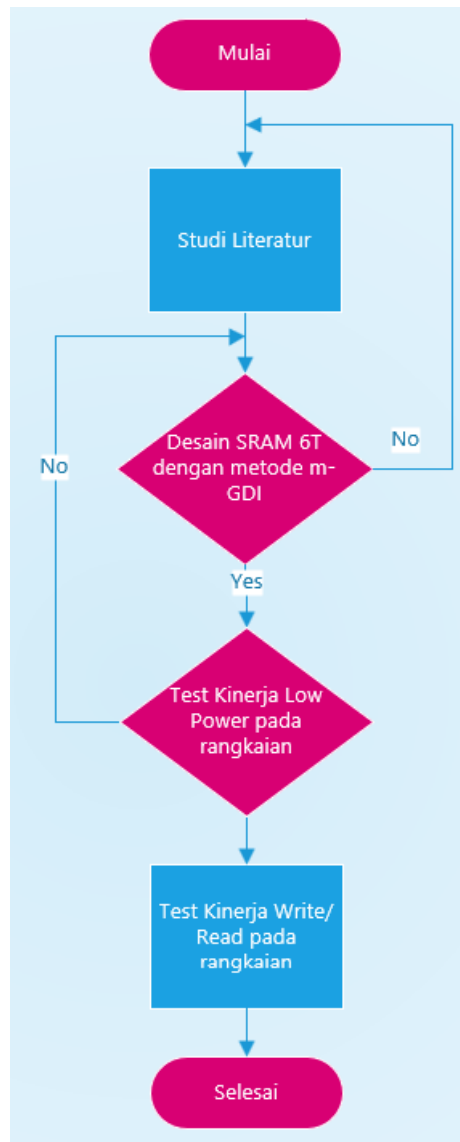
Berdasarkan beberapa penelitian terkait SRAM, untuk mewujudkan SRAM Low power dan High Read Stability, metode yang dapat dilakukan yakni GDI, m-GDI, FinFET, CNTFET, hingga Adiabatic. Namun yang akan menjadi focus utama penelitian ini yakni penerapan dari metode m-GDI (Modified Gate Diffusion Input).

Desain sel m-GDI memanfaatkan input untuk bertindak sebagai 'sumber' dan 'penyimpan' untuk transistor MOS, yang mengurangi komponen konsumsi daya short-circuit dinamis menjadi nilai yang dapat diabaikan tanpa memerlukan pertimbangan desain sirkuit khusus. Oleh karena itu dipilih metode m-GDI sebab metode ini menawarkan solusi yang lebih efisien dalam hal konsumsi daya dan kompleksitas desain, yang sangat penting dalam pengembangan sirkuit digital yang hemat energi dan efisien[8].

## BAB III RENCANA PENELITIAN

### 3.1 KONSEP PENELITIAN

Untuk mempermudah dalam melakukan penelitian, maka dibuat sebuah flowchart agar penelitian tidak menyimpang dan salah. Berikut flowchart penelitian untuk rangkaian SRAM 6T Low power dan High read stability dengan metode m-GDI.

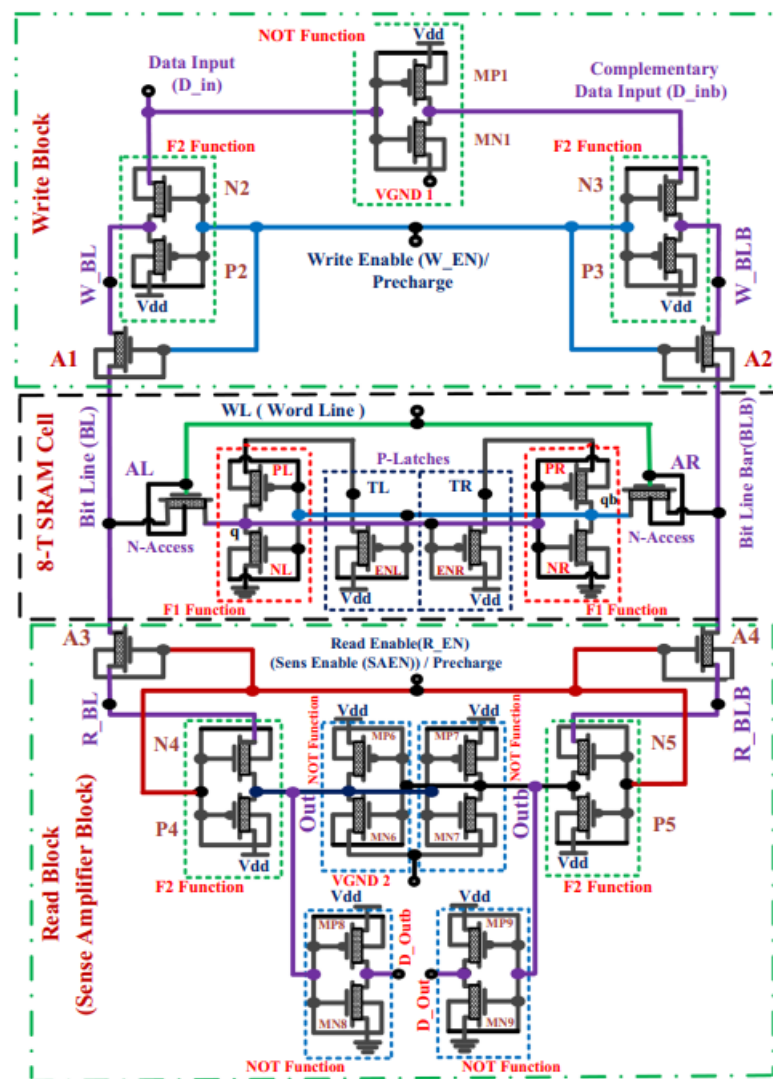


Gambar 10. Alur Penelitian SRAM 6T dengan metode m-GDI

Dalam memulai desain SRAM 6T dengan menggunakan metode m-GDI, diperlukan studi literatur terkait beberapa penelitian dengan metode atau hasil serupa. Setelah mempelajari seluruh penelitian terkait, maka dilakukan desain

rangkaian SRAM dengan metode konvensional sebagai referensi untuk dilakukan proses m-GDI. Referensi rangkaian diperlukan untuk melihat hasil sebagai pembanding dengan rangkaian baru yang didesain dengan metode m-GDI.

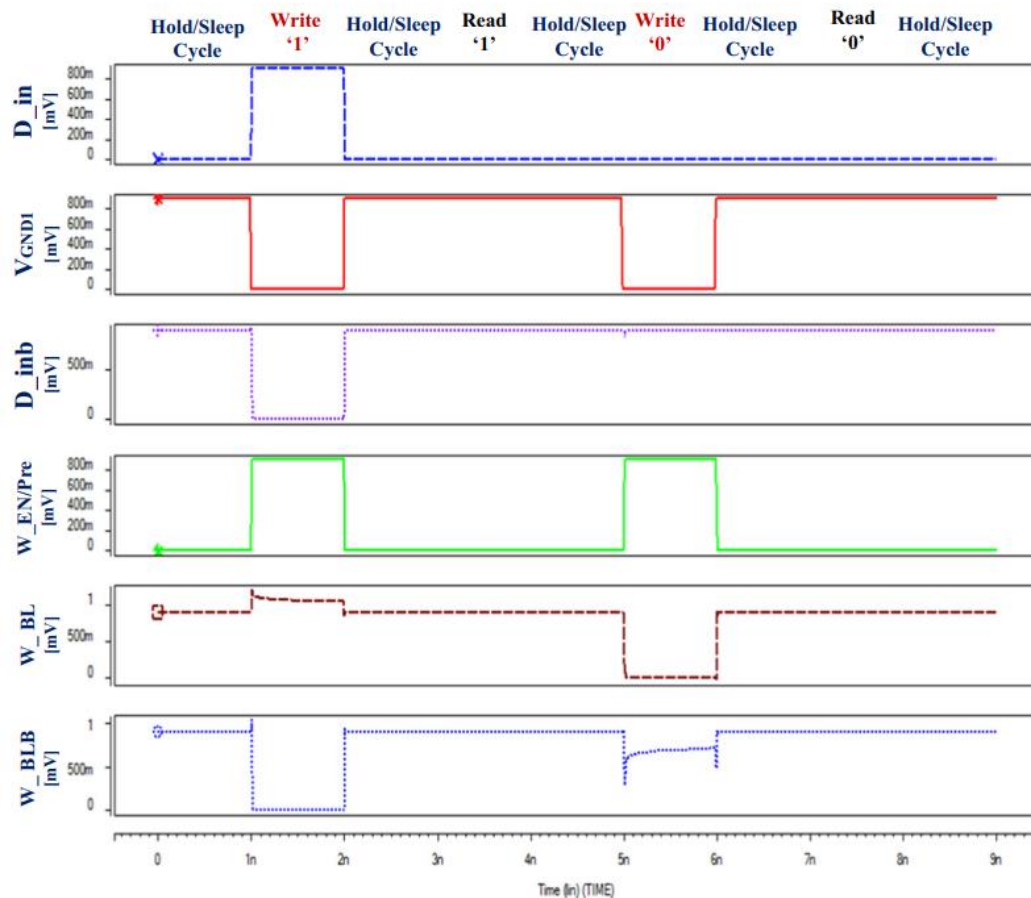
Dipilih desain berdasarkan penelitian sebelumnya yang dilakukan oleh Ebrahim Abiri dan Abdolreza Darabi (2015) SRAM 8T dengan Low Power dan High Read Stability menggunakan metode m-GDI. Berdasarkan penelitian yang dilakukan, rangkaian SRAM ini terbagi menjadi 3 Blok, yakni *Write Block*, *SRAM 8T Block* dan *Read Block*, seperti pada gambar 11 berikut,



Gambar 11. Desain SRAM 8T dengan metode m-GDI lengkap



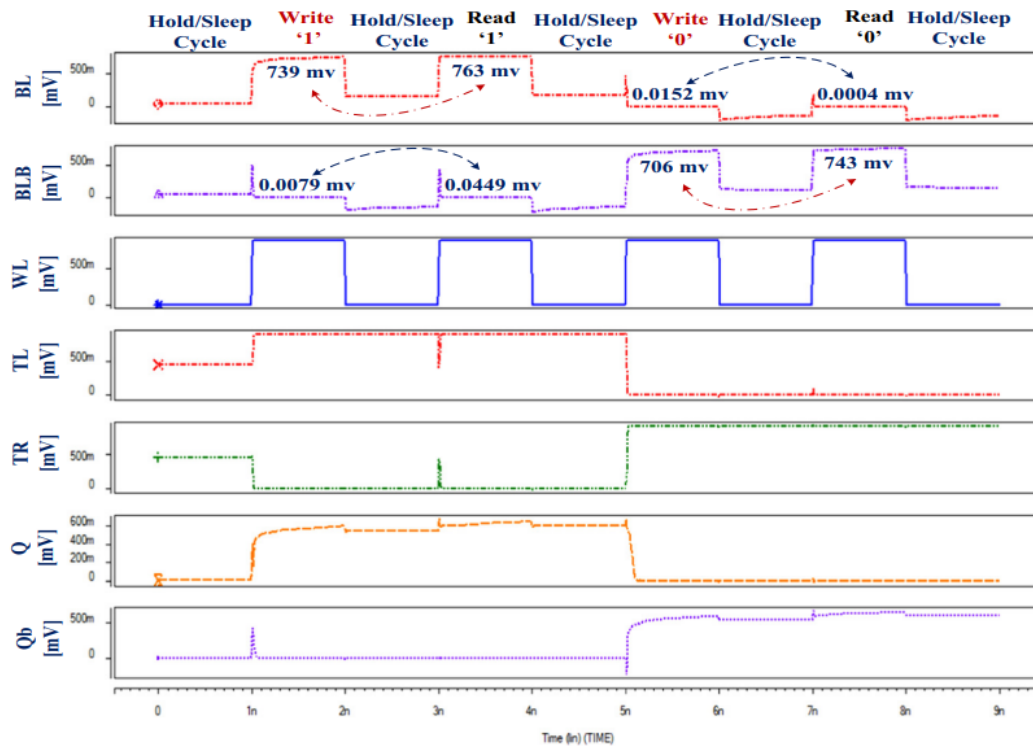
Gambar 11 akan dijadikan referensi untuk dilakukan tahap m-GDI selanjutnya guna mendapatkan desain baru dengan kemampuan Low Power dan High Read Stability. Penelitian tetap akan memusatkan pada desain rangkaian SRAM 8T untuk direduksi menjadi 6T dengan metode m-GDI. Hasil yang diharapkan tetap mengacu pada Low Power dan mempertahankan pula kemampuan High Read Stability. Rangkaian SRAM 8T diatas, memiliki hasil simulasi seperti yang tampak pada gambar 12.



Gambar 12. Simulasi sinyal masukan dan keluaran SRAM 8T dalam kondisi menulis (write)

Proses write pada rangkaian SRAM 8T dimulai ketika word line (WL) mencapai tegangan tinggi, yang menyebabkan transistor akses (access transistors) menjadi aktif (on). Pada saat itu, data disimpan dengan cepat pada node q dan qb yang terhubung ke gerbang dari transistor pusat sel (ENR dan ENL). Setelah itu, data

mencapai keadaan permanen dengan bantuan sel-sel m-GDI . Selama siklus write, sel m-GDI berperan dalam memastikan bahwa data yang ditulis ke dalam sel memori SRAM disimpan dengan stabil dan cepat, yang merupakan bagian penting dari desain SRAM low power



Gambar 13. Simulasi sinyal masukan dan keluaran hanya pada rangkaian Blok SRAM 8T

Dalam blok rangkaian SRAM 8T, input utama termasuk word line (WL), bit lines (BL dan BLB), dan sinyal-sinyal kontrol untuk operasi pembacaan dan penulisan. Output dari rangkaian ini adalah data yang dibaca dari sel memori (D\_Out dan D\_Outb).

Ketika melakukan operasi penulisan, data yang akan ditulis ke dalam sel memori disuplai melalui bit lines (BL dan BLB). Sinyal WL diaktifkan untuk menghubungkan sel memori dengan bit lines, memungkinkan data untuk ditransfer ke dalam sel. Setelah data ditulis, WL dinonaktifkan untuk mengisolasi sel dari bit lines dan menjaga data yang telah disimpan.

Selama operasi pembacaan, WL diaktifkan untuk menghubungkan sel memori dengan bit lines, memungkinkan data yang tersimpan di dalam sel untuk ditransfer keluar. Data yang dibaca kemudian muncul pada output D\_Out dan D\_Outb dengan swing tegangan maksimum pada output inverter.