



**PROPOSAL PENELITIAN  
KUALIFIKASI**

**LOW-POWER, HIGH-READ STABILITY DESIGN 6T-  
SRAM MEMORY USES M-GDI IN 0.35um.**

**Erfiana Wahyuningsih  
99218020**

**PROGRAM DOKTOR TEKNOLOGI INFORMASI  
UNIVERSITAS GUNADARMA  
DESEMBER 2023**

## DAFTAR ISI

<b>BAB 1 .....</b>	<b>3</b>
<b>PENDAHULUAN .....</b>	<b>3</b>
1.1    Latar Belakang .....	3
1.2    Rumusan Masalah .....	6
1.3    Batasan Masalah .....	6
1.4    Tujuan Penelitian .....	6
1.5    Manfaat penelitian .....	6
<b>BAB II .....</b>	<b>7</b>
<b>TINJAUAN PUSTAKA .....</b>	<b>7</b>
2.1    SRAM .....	7
2.2    CMOS .....	10
2.3    Metode M-GDI .....	11
2.4    Metode Penelitian .....	14
<b>BAB III RENCANA PENELITIAN .....</b>	<b>18</b>
3.1    KONSEP PENELITIAN .....	18
<b>REFERENSI.....</b>	<b>22</b>

## **BAB 1**

### **PENDAHULUAN**

#### **1.1 Latar Belakang**

Pada tahun 2013, SRAM memakan 90% area chip, menjadikannya komponen utama sirkuit digital. Berdasarkan data tersebut, dalam mendesain memori perlu mempertimbangkan kinerja yang tinggi, area chip yang rendah (berkurang jumlah luas area asal atau mengecil ukurannya), dan penyebaran daya yang maksimal. Hal ini disebabkan memori ialah sumber kekuatan statis yang penting dalam sebuah sirkuit digital[1].

Konverter data, yaitu analog ke digital converter (ADC) telah mendorong industri semikonduktor untuk memaksimalkan fungsi kerja pada setiap komponen dalam beberapa tahun terakhir. Salah satu hal yang dituntut makin cepat perkembangannya yakni dengan menciptakan suatu komponen dengan lebih banyak blok fungsional yang terintegrasi dalam satu chip. Komponen seperti RAM diharapkan mampu bekerja dengan kecepatan tinggi dengan disipasi daya yang rendah. Penggunaan RAM berada di sebagian besar perangkat digital yang saat ini mayoritas menjadi portable, maka kemampuan baterai/daya yang digunakan agar sistem bekerja dengan maksimal juga dituntut untuk mengimbangi fungsi kecepatan yang akan digunakan.[2]

Salah satu fungsi penting RAM adalah penyimpanan memori sementara. Memori yang tersimpan di dalam RAM kemudian dikirim ke CPU untuk diolah dan dijalankan oleh program atau aplikasi yang akan digunakan. CPU komputer memproses data dalam beberapa detik. Namun, kecepatan ini bergantung pada RAM yang digunakan. Proses penyimpanan memori komputer lebih cepat dengan RAM yang lebih besar. Dalam konteks ini, multitasking berarti kemampuan komputer untuk menjalankan beberapa aplikasi sekaligus. RAM dapat digunakan pada komputer dan perangkat seperti smartphone. Dengan kata lain, RAM yang lebih besar meningkatkan kemampuan multitasking komputer atau gadget. Selain itu, RAM yang lebih besar dapat mengurangi kegagalan sistem atau freeze pada smartphone dan komputer.

SRAM (Static Random-Access Memory) adalah jenis memori yang mempertahankan data selama ada pasokan daya dan tidak memerlukan penyegaran berkala. SRAM biasanya digunakan untuk cache prosesor dan sebagai memori cepat dalam berbagai aplikasi karena kecepatan aksesnya yang tinggi[3]. Skala dimensi transistor yang digunakan sebagai komponen utama penyusun sistem converter data atau SRAM, tidak mudah untuk ditentukan. Mengetahui jumlah transistor yang digunakan, juga merupakan salah satu cara untuk menentukan skala yang tepat. Sistem converter saat ini dituntut mampu bekerja dengan baik, sehingga membutuhkan kebocoran drain yang diinduksi oleh gerbang, doping saluran tinggi, dan band ke band tunnel di sepanjang persimpangan. [2]

Seperti yang dikemukakan oleh Rakesh dan Abhisek (2015), SRAM 6T memiliki keunggulan yang dijelaskan dalam penelitiannya, terutama terletak pada desainnya yang memungkinkan operasi penyimpanan data yang efisien dan stabil. SRAM 6T yang didesain secara konvensional, memiliki arsitektur yang mencakup rangkaian precharge, driver penulisan, sel SRAM, transistor kolom, dan penguat sinyal (sense amplifier). Menggunakan sel yang terdiri dari enam transistor, termasuk dua transistor pull-up, dua transistor pull-down, dan dua transistor pass yang dikontrol oleh input word line[4].

Tahun 2015, Abiri dan Darabi menuliskan didalam penelitiannya mengenai Design of low power and high read stability 8T-SRAM memory based on the modified Gate Diffusion Input (m-GDI), sel memori SRAM 8-transistor (8T-SRAM) memiliki konsumsi daya rendah dan stabilitas baca tinggi. Metode yang digunakan dalam penelitian ini meliputi penggunaan teknik m-GDI yang dimodifikasi untuk mengurangi jumlah transistor yang diperlukan dalam logika dan mengurangi konsumsi daya. Penelitian ini bertujuan untuk mengatasi tantangan yang ada pada desain memori SRAM konvensional, seperti konsumsi daya yang tinggi dan stabilitas baca yang rendah. Namun, penelitian yang telah dilakukan ini masih dapat diarahkan lebih lanjut untuk mengurangi variabilitas proses dalam pembuatan rangkaian dengan teknik m-GDI, yang akan meningkatkan keandalan dan kinerja perangkat[1].

Penelitian lainnya terkait SRAM yang memiliki konsumsi daya rendah dan stabilitas baca tinggi, masih menggunakan desain konvensional. Seperti pada penelitian yang dilakukan oleh Izadinasab dan Gholipour (2021), SRAM yang dibahas dalam penelitiannya menggunakan sel SRAM 9T yang menggunakan mekanisme pemotongan umpan balik (feedback-cutting mechanism) selama operasi penulisan dan teknik jalur baca yang terpisah (decoupled-read path technique) untuk meningkatkan stabilitas baca dan tulis serta mengurangi konsumsi daya dinamis[5]. Karamimanesh, et al (2021) membahas fokus pada desain SRAM 12T yang dioptimalkan untuk operasi tegangan sub-ambang dengan menggunakan teknologi FinFET 14 nm untuk aplikasi daya ultra-rendah[6]. Darabi, et al (2023) mendesain SRAM menggunakan 11 transistor dalam konfigurasi sel bit tunggal dengan struktur single-ended dan dukungan arsitektur mini-array bit-interleaving menggunakan metode gate-diffusion input (GDI) guna mengutamakan efisiensi energi dan stabilitas operasi[7].

Modified Gate-Diffusion Input (m-GDI) adalah variasi dari teknologi GDI yang bertujuan untuk lebih meningkatkan efisiensi energi dan mengurangi kompleksitas area sirkuit. M-GDI mampu mengimplementasikan fungsi logika dengan menggunakan lebih sedikit transistor dibandingkan dengan GDI tradisional, yang dapat menghasilkan pengurangan konsumsi daya dan peningkatan kecepatan[6].

CMOS dipilih sebagai komponen utama pada desain SRAM dengan metode GDI (Gate Diffusion Input) alasan utamanya adalah untuk mengurangi konsumsi daya pada sirkuit digital[8]. GDI merupakan teknik yang dikembangkan untuk menggantikan logika CMOS tradisional dengan tujuan mengurangi jumlah transistor yang diperlukan untuk mengimplementasikan fungsi logika, yang pada gilirannya mengurangi area dan konsumsi daya sirkuit[9]. Teknik GDI yang dimodifikasi (m-GDI) menawarkan solusi yang lebih efisien dalam hal konsumsi daya dan kompleksitas desain, yang sangat penting dalam pengembangan sirkuit digital yang hemat energi dan efisien [8], [9].

## **1.2 Rumusan Masalah**

1. Bagaimana mereduksi gerbang CMOS dengan metode m-GDI pada rangkaian SRAM?
2. Bagaimana menunjukkan kinerja rangkaian SRAM 6T dengan Low Power setelah jumlah transistor direduksi?
3. Apakah rangkaian transistor yang telah direduksi jumlahnya mampu mempertahankan kemampuan High Read Stability?

## **1.3 Batasan Masalah**

1. Objek penelitian adalah rangkaian SRAM dengan menggunakan CMOS 0.35um
2. Penggunaan metode m-GDI untuk mereduksi jumlah CMOS dalam rangkaian SRAM 6T
3. Menunjukkan penggunaan Low Power pada rangkaian SRAM 6T
4. Mempertahankan kemampuan High Read Stability pada rangkaian SRAM 6T

## **1.4 Tujuan Penelitian**

1. Mereduksi jumlah transistor pada rangkaian SRAM dengan menggunakan metode m-GDI.
2. Mampu menunjukkan kinerja dari penggunaan Low Power pada rangkaian SRAM 6T
3. Mampu mempertahankan High Read Stability pada rangkaian SRAM 6T

## **1.5 Manfaat penelitian**

1. Memanfaatkan teknologi 0.35um untuk merangkai rangkaian SRAM 6T Low power dan High read stability dengan metode m-GDI
2. Mendapatkan novelty Low power dan High read stability atau kurang lebih mempertahankan sifat yang sama dengan rangkaian SRAM referensinya, setelah mereduksi jumlah transistor.

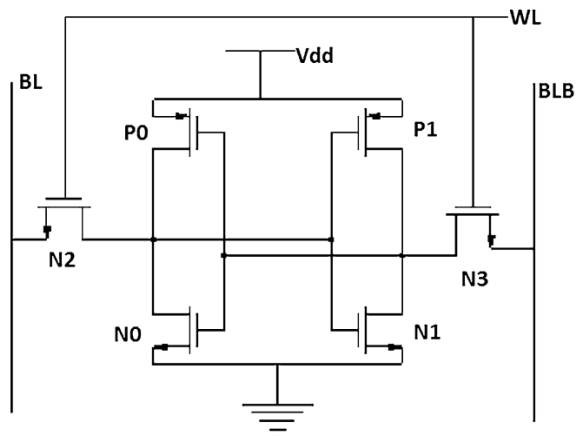
## BAB II

### TINJAUAN PUSTAKA

#### 2.1 SRAM

SRAM, atau Static Random Access Memory, adalah jenis memori yang digunakan dalam sistem digital untuk menyimpan data secara sementara. SRAM mempertahankan data selama ada pasokan daya dan tidak memerlukan penyegaran berkala, yang membuatnya lebih cepat dibandingkan dengan DRAM (Dynamic Random Access Memory). SRAM biasanya digunakan sebagai cache dalam prosesor karena kecepatan aksesnya yang tinggi, meskipun memiliki biaya per bit yang lebih tinggi dan kepadatan yang lebih rendah dibandingkan dengan DRAM [10].

Sel SRAM konvensional 6-transistor (6T-SRAM), yang merupakan desain standar dengan tiga mode operasi: standby, write, dan read. Dalam mode standby, tidak ada operasi baca atau tulis yang dilakukan [3].

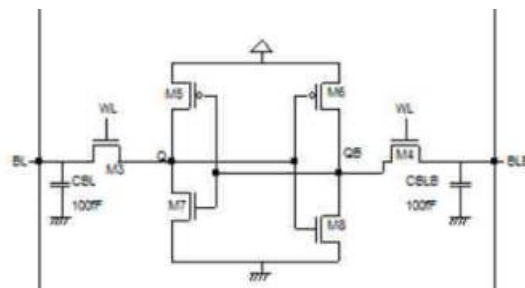


Gambar 1. Desain SRAM 6T Konvensional

Gambar 1, menggambarkan desain SRAM 6T konvensional memiliki arsitektur yang mencakup rangkaian precharge, driver penulisan, sel SRAM, transistor kolom, dan penguat sinyal (sense amplifier). Rangkaian precharge menggunakan transistor n-type untuk mengisi bit-line hingga  $V_{DD}-V_{th}$ , yang

meningkatkan kecepatan operasi RAM. Penguat sinyal memiliki tujuan utama untuk memperkuat perbedaan tegangan bitline yang kecil menjadi output logika penuh-swing [4].

Dalam SRAM 6T konvensional (Rakesh,2015), operasi baca dan tulis melibatkan pengisian dan pembuangan tegangan pada bit-line, yang dapat menyebabkan pemborosan energi. Namun, dengan menggunakan teknik adiabatic, energi yang biasanya terbuang saat menulis data baru tidak dibuang ke ground, melainkan dikembalikan ke catu daya [4].

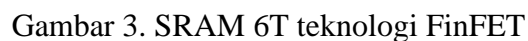


Gambar 2. SRAM 6T Low Power Konvensional

Desain SRAM seperti pada gambar 2, menunjukkan ketika data baru ditulis ke dalam sel SRAM, tegangan akses yang seharusnya dibuang ke ground sebenarnya dikembalikan ke catu daya. Catu daya yang digunakan dalam SRAM adiabatic bukanlah catu daya tetap, melainkan catu daya yang bervariasi waktu, yang dikenal sebagai power clock. Dengan demikian, energi yang biasanya terbuang saat transisi logika dapat direkuperasi, mengurangi konsumsi daya secara signifikan [4].

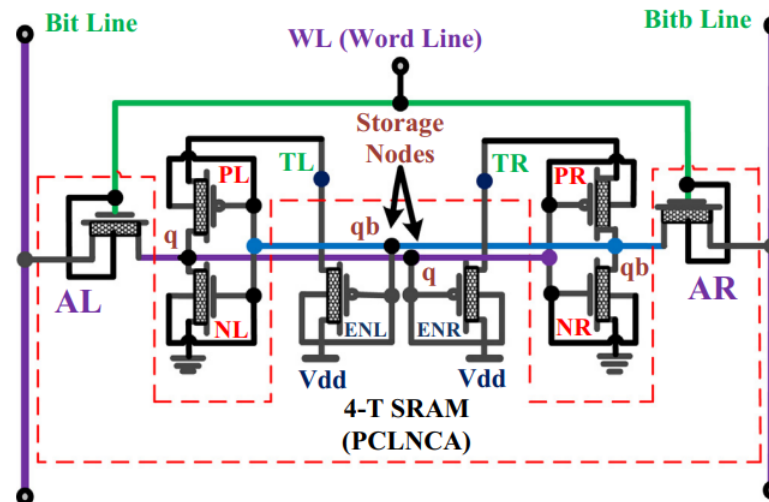
SRAM 6T menggunakan teknologi FinFET (Shilpi,2018) dirancang untuk melakukan disipasi daya, terutama dengan mengurangi daya kebocoran (leakage power) dan daya aktif (active power). Disipasi daya statis, atau daya pegangan (hold power), dikurangi dengan menggunakan skema header yang melibatkan transistor PMOS tambahan yang diberi bias pada tegangan yang berbeda. Skema ini membantu meningkatkan stabilitas selama operasi baca dan tulis, yang pada gilirannya mengurangi daya kebocoran dan daya aktif. Selama mode diam (idle





SRAM memerlukan konsumsi daya yang sangat rendah, yang terutama penting untuk perangkat portabel bertenaga baterai seperti mikroprosesor, ponsel, komputer, dan peralatan medis. SRAM berdaya rendah ini sangat penting karena dapat menempati sekitar 70% dari total luas sebuah mikroprosesor. Oleh karena itu, mengurangi konsumsi daya sel SRAM dapat secara signifikan mengurangi konsumsi daya mikroprosesor secara keseluruhan [12].

Penelitian yang dilakukan oleh Abiri dan Darabi (2015) mengusulkan desain 8T-SRAM (Static Random-Access Memory dengan 8 transistor) yang berbasis pada teknik modifikasi Gate Diffusion Input (m-GDI) dalam teknologi Carbon Nanotube Field-Effect Transistor (CNTFET) 32 nm.



Gambar 4. Desain SRAM 8T dengan m-GDI dan CNTFET

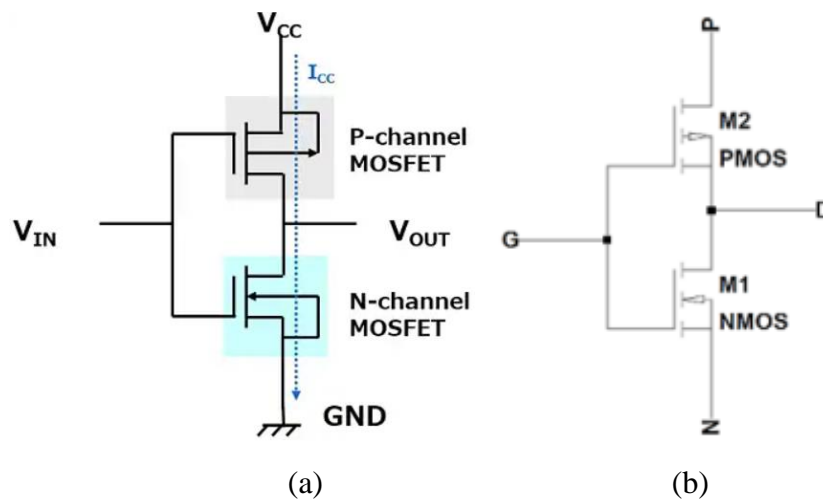
Desain ini bertujuan untuk mengurangi konsumsi daya dan meningkatkan stabilitas pembacaan. Dengan menggunakan teknik m-GDI dan CNTFET, penelitian ini berhasil mencapai peningkatan signifikan dalam rasio stabilitas-pengeluaran daya (Stability-power dissipation ratio, SPR) dibandingkan dengan SRAM konvensional pada teknologi yang sama[1].

Penelitian yang dilakukan oleh M.Elangovan (2022) ini menunjukkan desain 8T-SRAM dengan teknik m-GDI meraih penurunan konsumsi daya yang signifikan dibandingkan dengan sel SRAM konvensional. Sel SRAM 8T yang diusulkan memiliki konsumsi daya yang lebih rendah selama operasi hold, write, dan read dibandingkan dengan sel SRAM 6T dan 8T konvensional[13].

## 2.2 CMOS

Peran CMOS dalam sirkuit digital adalah sebagai teknologi implementasi dasar untuk gerbang logika dan sirkuit lainnya. CMOS, yang merupakan singkatan dari Complementary Metal-Oxide-Semiconductor, digunakan sebagai teknik konvensional dalam pembuatan gerbang logika seperti AND, OR, dan EXOR, serta dalam desain sirkuit yang lebih kompleks seperti half adder dan full adder. CMOS jika dipadukan bersama dengan teknik lain seperti GDI (Gate Diffusion Input) dan EGDI (Enhanced GDI) akan mampu memaksimalkan dalam hal konsumsi daya,

area, dan kecepatan/delay untuk menunjukkan keefektifan teknik-teknik baru dalam meningkatkan efisiensi daya dan kinerja[14].



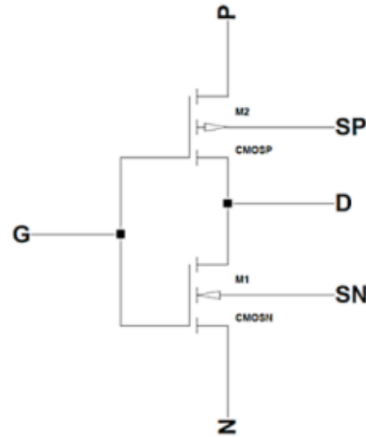
Gambar 5. (a) Desain CMOS Konvensional, (b) Sel GDI

Perbedaan utama antara CMOS konvensional (a) dan sel GDI (Gate Diffusion Input) (b) terletak pada struktur dan jumlah transistor yang digunakan untuk mewujudkan fungsi logika. Sel GDI memiliki empat terminal yaitu G, P, N, dan D, di mana terminal P adalah node difusi dari transistor PMOS, terminal N adalah node difusi dari transistor NMOS, terminal G adalah terminal input gerbang bersama untuk kedua transistor PMOS dan NMOS, dan terminal D adalah node difusi bersama yang berfungsi sebagai output. Struktur ini memungkinkan sel GDI untuk mewujudkan lebih banyak fungsi logika dengan jumlah transistor yang lebih sedikit dibandingkan dengan pendekatan CMOS konvensional[15].

### 2.3 Metode M-GDI

Gate Diffusion Input (GDI) adalah gaya logika yang menggunakan jumlah transistor yang lebih sedikit dan memungkinkan berbagai persamaan Boolean dapat diturunkan. GDI memanfaatkan struktur sel logika yang meminimalkan jumlah transistor yang diperlukan untuk mengimplementasikan fungsi logika, yang pada gilirannya dapat mengurangi konsumsi daya dan area sirkuit. Namun, teknik GDI yang ada memiliki beberapa kelemahan, seperti degradasi swing output, kesulitan

dalam fabrikasi menggunakan proses CMOS standar, peningkatan area sel, dan peningkatan disipasi daya[14].



Gambar 6. Desain sel m-GDI

Modified GDI (m-GDI) adalah perbaikan dari teknik GDI yang bertujuan untuk mengurangi glitch pada frekuensi tinggi dan mengatasi beberapa kelemahan GDI. M-GDI memperkenalkan struktur sel yang mengandung titik akhir SP yang terhubung ke rel pasokan konstan dan titik SN yang terhubung ke tegangan ground konstan, memastikan bahwa teknik ini dapat mengadopsi semua teknologi proses CMOS modern termasuk teknologi Silicon on Insulator (SOI) dan Silicon on Sapphire (SOS). M-GDI telah terbukti menghasilkan hasil yang baik dalam hal pengurangan daya dan delay[14].

**Tabel 1. Tinjauan Pustaka SRAM Low Power dan High Read Stability**

Tahun	Judul	GDI/m-GDI	Konvensional/ lainnya	Metode	Low Power	Keterangan Hasil
2015	Statistical analysis of low-power SRAM cell structure		✓	•Desain sel 8T-SRAM berfokus pada pengurangan arus bocor gerbang dan disipasi daya menggunakan teknik pengurangan tegangan suplai selama	✓	•Sel SRAM 8T menunjukkan penurunan yang signifikan dalam arus bocor gerbang, disipasi daya statis, dan disipasi daya total dibandingkan dengan sel

				mode standby dan simulasi Monte-Carlo		SRAM konvensional 6-transistor (6T-SRAM)
2015	Design of low power and high read stability 8T-SRAM memory based on the modified Gate Diffusion Input (m-GDI) in 32 nm CNTFET technology	✓		<ul style="list-style-type: none"> <li>•Sel m-GDI digunakan untuk mengurangi konsumsi daya</li> <li>•Meningkatkan stabilitas selama write dan read</li> </ul>	✓	<ul style="list-style-type: none"> <li>•Sel SRAM 8T meningkatkan kinerja dibandingkan dengan SRAM konvensional dalam stabilitas memori serta kecepatan proses</li> <li>•Meningkatkan stabilitas dan efisiensi sistem.</li> </ul>
2015	Parametric Reliability of Low Power Adiabatic SRAM		✓	<ul style="list-style-type: none"> <li>•Teknik adiabatic, memanfaatkan pemulihan energi selama transisi logika untuk mengurangi konsumsi daya</li> </ul>	✓	<ul style="list-style-type: none"> <li>•Penggunaan prinsip adiabatik dalam desain SRAM 6T low power berhasil mengurangi konsumsi daya dengan memulihkan energi yang tersimpan di bit lines dan sel-sel.</li> <li>•SRAM yang diusulkan memiliki luas yang hampir sama dengan SRAM konvensional.</li> </ul>
2019	Ultra-low Power FinFET SRAM Cell with Improved Stability Suitable for Low Power Applications		✓	<ul style="list-style-type: none"> <li>•Desain SRAM 11T dengan teknologi FinFET</li> <li>•Sel SRAM 11T dirancang untuk beroperasi pada tegangan sub-threshold</li> </ul>	✓	<ul style="list-style-type: none"> <li>•Sel SRAM 11T menunjukkan peningkatan dalam margin kebisingan statis untuk read dan write</li> <li>•Sel SRAM 11T</li> </ul>

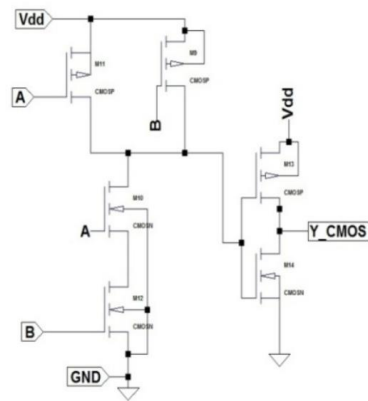
				guna mengurangi jumlah daya yang digunakan		menunjukkan kinerja yang baik dalam kondisi tegangan sub-threshold, yang penting untuk aplikasi daya rendah.
2021	A robust and write bit-line free sub threshold 12T SRAM for ultra low power applications in 14 nm FinFET technology		✓	•Desain SRAM 12T dioptimalkan untuk operasi tegangan sub-ambang dengan menggunakan teknologi FinFET 14 nm untuk aplikasi daya ultra-rendah	✓	•Sel SRAM 12T yang robust dan efisien daya, dengan peningkatan kinerja dan keandalan yang signifikan untuk aplikasi daya ultra-rendah.

## 2.4 Metode Penelitian

Dalam melakukan perencanaan atau mendesain sebuah rangkaian SRAM, banyak metode yang ditawarkan, seperti yang nampak pada tabel 1. Berdasarkan beberapa penelitian terkait SRAM, untuk mewujudkan SRAM Low power dan High Read Stability, metode yang dapat dilakukan yakni GDI, m-GDI, FinFET, CNTFET, hingga Adiabatik. Namun yang akan menjadi focus utama penelitian ini yakni penerapan dari metode m-GDI (Modified Gate Diffusion Input).

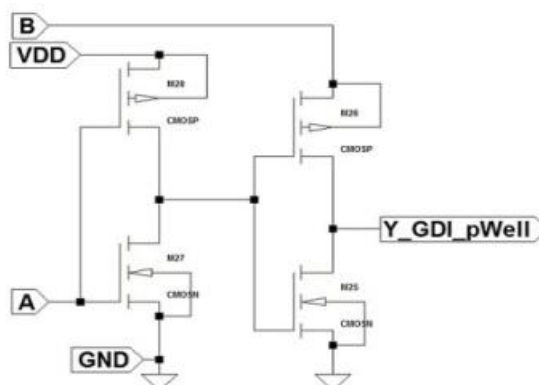
Desain sel m-GDI memanfaatkan input untuk bertindak sebagai 'sumber' dan 'penyimpan' untuk transistor MOS, yang mengurangi komponen konsumsi daya short-circuit dinamis menjadi nilai yang dapat diabaikan tanpa memerlukan pertimbangan desain sirkuit khusus. Oleh karena itu dipilih metode m-GDI sebab metode ini menawarkan solusi yang lebih efisien dalam hal konsumsi daya dan kompleksitas desain, yang sangat penting dalam pengembangan sirkuit digital yang hemat energi dan efisien[8].

Sebagai pandangan terkait metode m-GDI yang akan digunakan, pada salah satu gerbang AND yang dirangkai menggunakan komponen MOS, diperlukan sebanyak 6 transistor seperti yang tampak pada gambar 7.



Gambar 7. Gerbang Logika AND dengan MOS Konvensional

Metode Gate Diffusion Input (GDI) adalah suatu metode yang memanfaatkan sel logika dan menggunakan jumlah transistor yang lebih sedikit, serta memungkinkan berbagai persamaan Boolean dapat diturunkan. GDI akan memanfaatkan struktur sel logika yang meminimalkan jumlah transistor yang diperlukan untuk mengimplementasikan fungsi logika, yang pada gilirannya dapat mengurangi konsumsi daya dan area sirkuit[8]. Setelah diterapkan metode GDI, maka gerbang logika AND akan berubah seperti gambar 8 berikut,



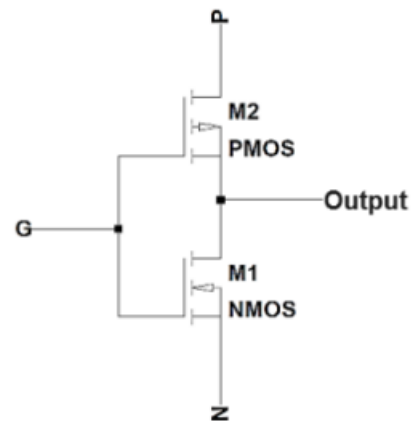
Gambar 8. Gerbang Logika AND dengan menerapkan GDI.

Gerbang AND setelah menerapkan metode GDI maka tereduksi jumlah transistor menjadi 2 transistor saja. Pada gambar 8, nampak 4 transistor dikarenakan

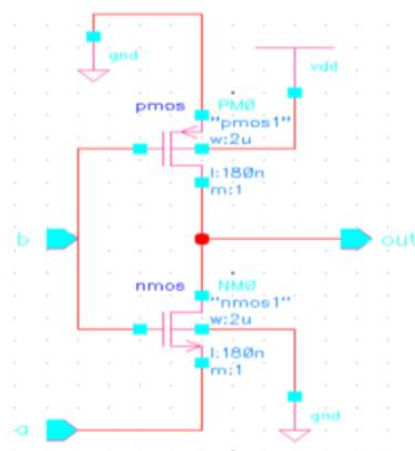
gerbang AND dengan sel GDI ditambahkan dengan penguat. Hal ini disebabkan metode GDI memiliki aturan fungsi seperti pada tabel 2 berikut,

**Tabel 2. Tabel Fungsi Sel GDI**

<i>N</i>	<i>P</i>	<i>G</i>	<i>Output</i>	<i>Function</i>
0	Y	A	$X'Y$	F1
Y	1	X	$X'+Y$	F2
1	Y	X	$X+Y$	OR
Y	0	X	$X.Y$	AND
Z	Y	X	$X'Y+XZ$	MUX
0	1	X	$X'$	NOT
Y'	Y	X	$X'Y+XY'$	XOR
Y	Y'	X	$XY+X'Y'$	XNOR



Dalam desain CMOS tradisional, gerbang AND memerlukan enam transistor, yang terdiri dari tiga pasang transistor NMOS dan PMOS. Namun, dengan menggunakan sel m-GDI tunggal, operasi AND dapat direalisasikan dengan lebih sedikit transistor. Dalam desain m-GDI, satu input, yang disebut 'A', diaplikasikan ke sumber transistor NMOS, yaitu input N dari sel m-GDI, dan input lainnya, yang disebut 'B', diaplikasikan ke sumber transistor PMOS, yaitu input P dari sel m-GDI. Dengan demikian, sel m-GDI dapat menggabungkan kedua input ini untuk menghasilkan output AND dengan hanya menggunakan satu sel m-GDI, yang secara signifikan mengurangi jumlah transistor yang diperlukan [16].



**Gambar 9. Gerbang Logika AND dengan merapkan m-GDI.**

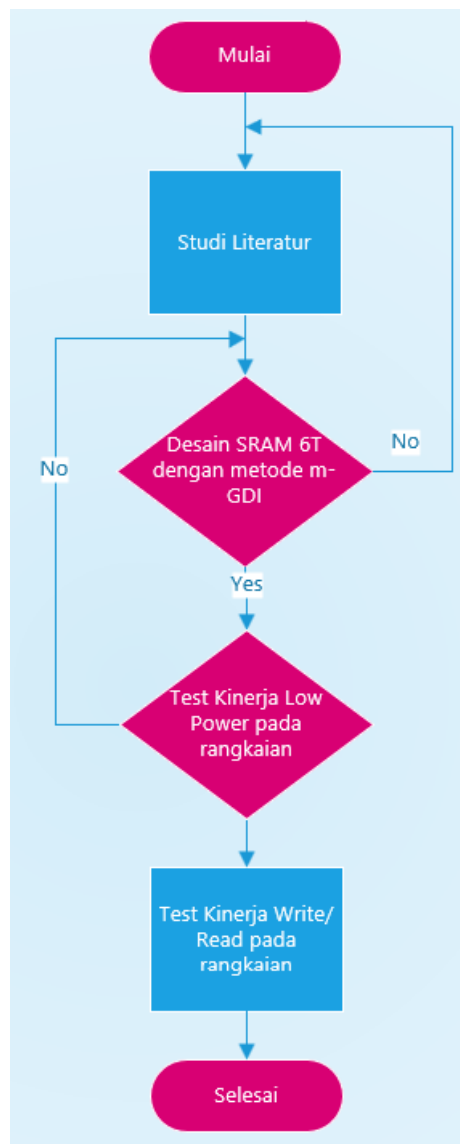


Kondisi input mempengaruhi operasi transistor dalam sel m-GDI untuk menghasilkan output yang diinginkan. Secara keseluruhan, penggunaan teknik m-GDI untuk desain gerbang AND menghasilkan pengurangan jumlah transistor yang signifikan, yang berkontribusi pada pengurangan area, penundaan, dan konsumsi daya dalam implementasi sirkuit [16].

## BAB III RENCANA PENELITIAN

### 3.1 KONSEP PENELITIAN

Untuk mempermudah dalam melakukan penelitian, maka dibuat sebuah flowchart agar penelitian tidak menyimpang dan salah. Berikut flowchart penelitian untuk rangkaian SRAM 6T Low power dan High read stability dengan metode m-GDI.

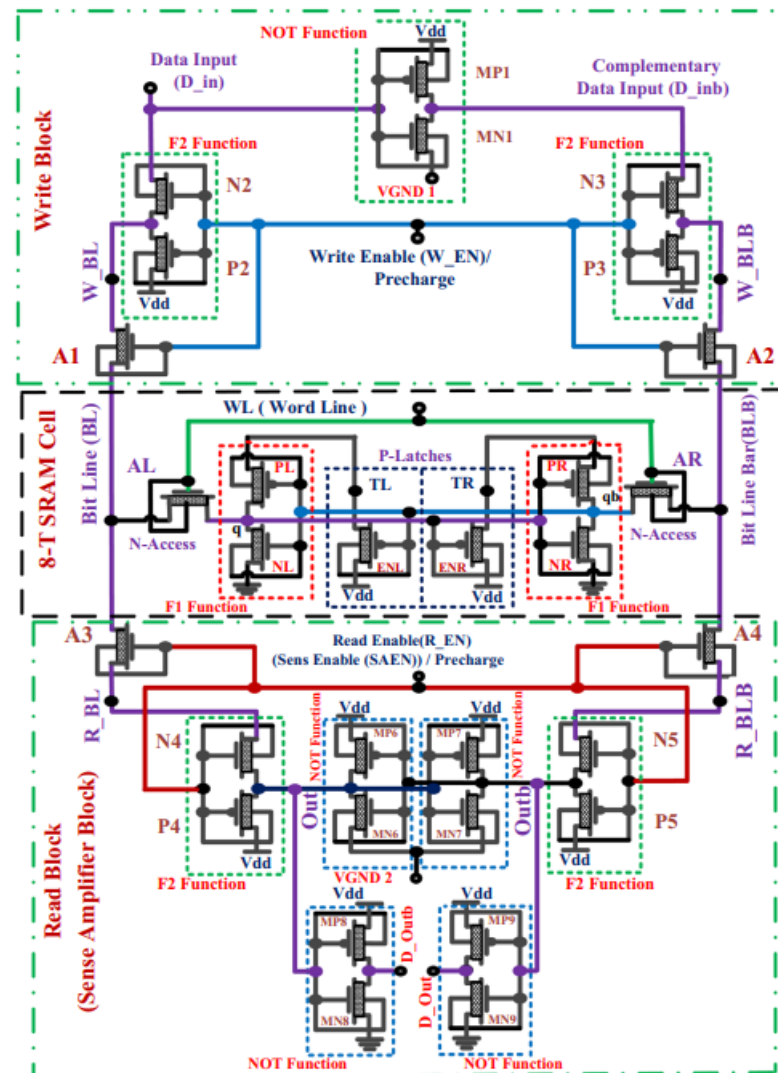


Gambar 10. Alur Penelitian SRAM 6T dengan metode m-GDI

Dalam memulai desain SRAM 6T dengan menggunakan metode m-GDI, diperlukan studi literatur terkait beberapa penelitian dengan metode atau hasil serupa. Setelah mempelajari seluruh penelitian terkait, maka dilakukan desain

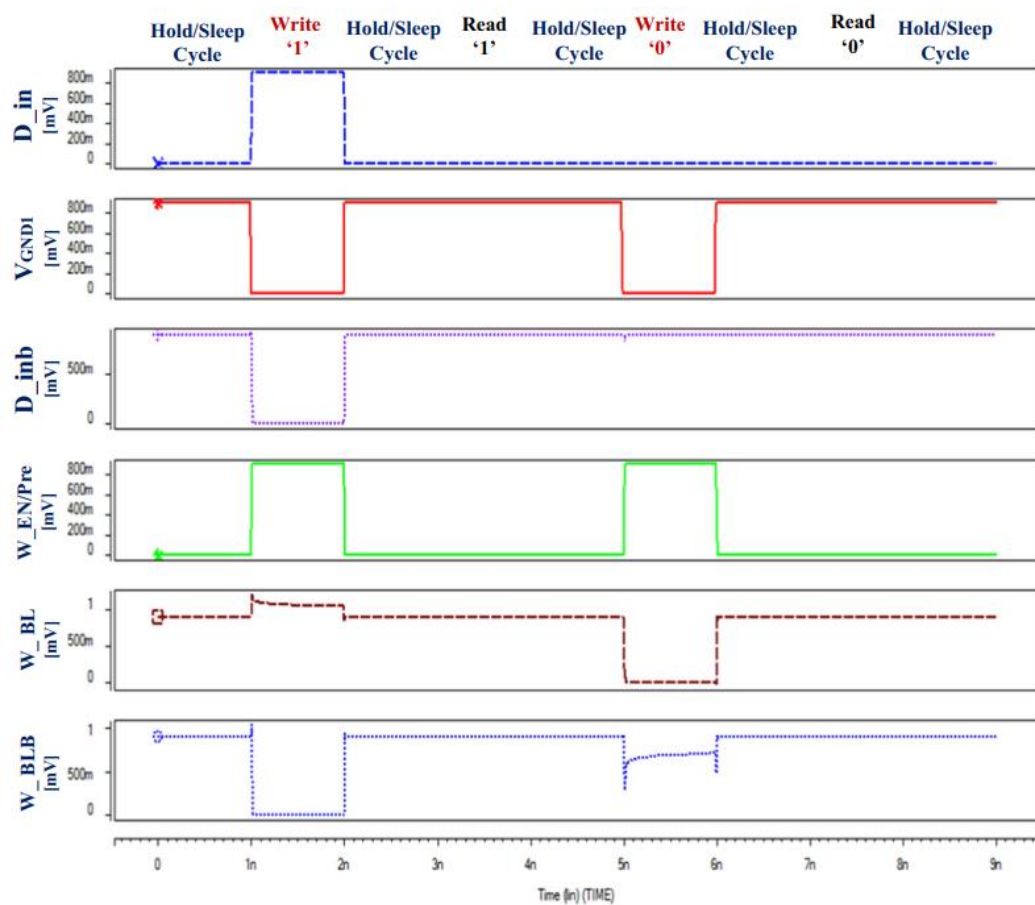
rangkaian SRAM dengan metode konvensional sebagai referensi untuk dilakukan proses m-GDI. Referensi rangkaian diperlukan untuk melihat hasil sebagai pembandingan dengan rangkaian baru yang didesain dengan metode m-GDI.

Dipilih desain berdasarkan penelitian sebelumnya yang dilakukan oleh Ebrahim Abiri dan Abdolreza Darabi (2015) SRAM 8T dengan Low Power dan High Read Stability menggunakan metode m-GDI. Berdasarkan penelitian yang dilakukan, rangkaian SRAM ini terbagi menjadi 3 Blok, yakni *Write Block*, *SRAM 8T Block* dan *Read Block*, seperti pada gambar 11 berikut,



Gambar 11. Desain SRAM 8T dengan metode m-GDI lengkap

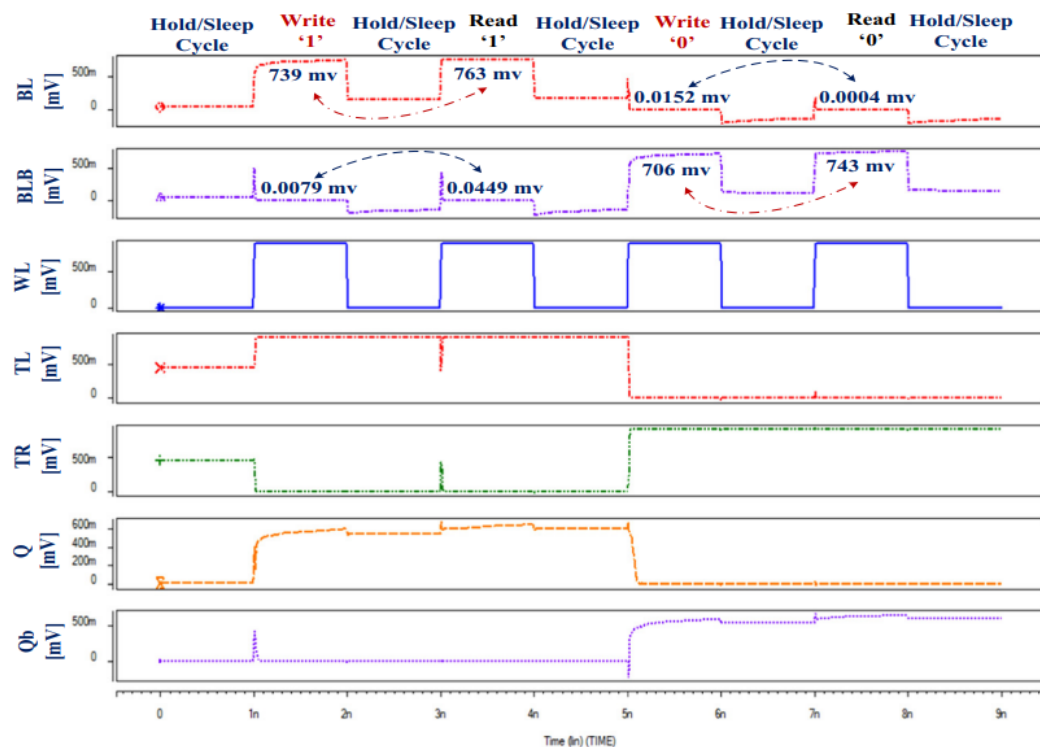
Gambar 11 akan dijadikan referensi untuk dilakukan tahap m-GDI selanjutnya guna mendapatkan desain baru dengan kemampuan Low Power dan High Read Stability. Penelitian tetap akan memusatkan pada desain rangkaian SRAM 8T untuk direduksi menjadi 6T dengan metode m-GDI. Hasil yang diharapkan tetap mengacu pada Low Power dan mempertahankan pula kemampuan High Read Stability. Rangkaian SRAM 8T diatas, memiliki hasil simulasi seperti yang tampak pada gambar 12.



Gambar 12. Simulasi sinyal masukan dan keluaran SRAM 8T dalam kondisi menulis (write)

Proses write pada rangkaian SRAM 8T dimulai ketika word line (WL) mencapai tegangan tinggi, yang menyebabkan transistor akses (access transistors) menjadi aktif (on). Pada saat itu, data disimpan dengan cepat pada node q dan qb yang terhubung ke gerbang dari transistor pusat sel (ENR dan ENL). Setelah itu, data

mencapai keadaan permanen dengan bantuan sel-sel m-GDI . Selama siklus write, sel m-GDI berperan dalam memastikan bahwa data yang ditulis ke dalam sel memori SRAM disimpan dengan stabil dan cepat, yang merupakan bagian penting dari desain SRAM low power



Gambar 13. Simulasi sinyal masukan dan keluaran hanya pada rangkaian Blok SRAM 8T

Dalam blok rangkaian SRAM 8T, input utama termasuk word line (WL), bit lines (BL dan BLB), dan sinyal-sinyal kontrol untuk operasi pembacaan dan penulisan. Output dari rangkaian ini adalah data yang dibaca dari sel memori (D\_Out dan D\_Outb).

Ketika melakukan operasi penulisan, data yang akan ditulis ke dalam sel memori disuplai melalui bit lines (BL dan BLB). Sinyal WL diaktifkan untuk menghubungkan sel memori dengan bit lines, memungkinkan data untuk ditransfer ke dalam sel. Setelah data ditulis, WL dinonaktifkan untuk mengisolasi sel dari bit lines dan menjaga data yang telah disimpan.

Selama operasi pembacaan, WL diaktifkan untuk menghubungkan sel memori dengan bit lines, memungkinkan data yang tersimpan di dalam sel untuk ditransfer keluar. Data yang dibaca kemudian muncul pada output D\_Out dan D\_Outb dengan swing tegangan maksimum pada output inverter.

## REFERENSI

- [1] E. Abiri and A. Darabi, "Design of low power and high read stability 8T-SRAM memory based on the modified Gate Diffusion Input (m-GDI) in 32 nm CNTFET technology," *Microelectronics J*, vol. 46, no. 12, pp. 1351–1363, Dec. 2015, doi: 10.1016/j.mejo.2015.09.016.
- [2] V. Savani and N. M. Devashrayee, "Design and analysis of low-power high-speed shared charge reset technique based dynamic latch comparator," *Microelectronics J*, vol. 74, pp. 116–126, Apr. 2018, doi: 10.1016/j.mejo.2018.01.020.
- [3] G. Prasad and A. Anand, "Statistical analysis of low-power SRAM cell structure," *Analog Integrated Circuits and Signal Processing*, vol. 82, no. 1. Kluwer Academic Publishers, pp. 349–358, Jan. 01, 2015. doi: 10.1007/s10470-014-0463-1.
- [4] R. Kumar, A. Kumar, and M. E. Scholar, "Parametric Reliability of Low Power Adiabatic SRAM," *International Journal of Advanced Engineering*, vol. 1, no. 1, 2015.
- [5] F. Izadinasab and M. Gholipour, "Half-select disturb-free single-ended 9-transistor SRAM cell with bit-interleaving scheme in TMDFET technology," *Microelectronics J*, vol. 113, Jul. 2021, doi: 10.1016/j.mejo.2021.105100.
- [6] M. Karamimanesh, E. Abiri, K. Hassanli, M. R. Salehi, and A. Darabi, "A robust and write bit-line free sub-threshold 12T-SRAM for ultra low power applications in 14 nm FinFET technology," *Microelectronics J*, vol. 118, Dec. 2021, doi: 10.1016/j.mejo.2021.105185.
- [7] A. Darabi, M. R. Salehi, and E. Abiri, "Single-sided gate-wrap-around CNTFET SRAM cell for utilization in reliable IoT-based platforms," *AEU - International Journal of Electronics and Communications*, vol. 163, May 2023, doi: 10.1016/j.aeue.2023.154605.

- [8] P. Balasubramanian and J. John, "Low Power Digital design using modified GDI method."
- [9] V. Bhuvaneshwari, N. Dhanushya, S. Gayathri, and S. Kavitha, "Low Power CMOS GDI Full-adder Design," in *2023 9th International Conference on Advanced Computing and Communication Systems, ICACCS 2023*, Institute of Electrical and Electronics Engineers Inc., 2023, pp. 1946–1950. doi: 10.1109/ICACCS57279.2023.10112885.
- [10] G. Pasandi, R. Mehta, M. Pedram, and S. Nazarian, "Hybrid Cell Assignment and Sizing for Power, Area, Delay-Product Optimization of SRAM Arrays," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 12, pp. 2047–2051, Dec. 2019, doi: 10.1109/TCSII.2019.2896794.
- [11] S. Birla, "Ultra-low power finfet SRAM cell with improved stability suitable for low power applications," *International Journal of Electronics and Telecommunications*, vol. 65, no. 4, pp. 603–609, 2019, doi: 10.24425/ijet.2019.129819.
- [12] Z. Lin, L. Li, X. Wu, C. Peng, W. Lu, and Q. Zhao, "Half-select disturb-free 10T Tunnel FET SRAM cell with improved noise margin and low power consumption," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 7, pp. 2628–2632, Jul. 2021, doi: 10.1109/TCSII.2021.3057678.
- [13] M. Elangovan and K. Gunavathi, "Effect of CNTFET Parameters on Novel High Stable and Low Power: 8T CNTFET SRAM Cell," *Transactions on Electrical and Electronic Materials*, vol. 23, no. 3, pp. 272–287, Jun. 2022, doi: 10.1007/s42341-021-00346-9.
- [14] S. Radhakrishnan, T. Nirmalraj, and R. kumar karn, "An enhanced Gate Diffusion Input technique for low power applications," *Microelectronics J*, vol. 93, Nov. 2019, doi: 10.1016/j.mejo.2019.104621.
- [15] S. Savadipalayam Venkatachalam Principal, A. Professor, and S. Sivasubramaniyam Professor, "Design of Low Power Flip Flop Based on Modified GDI Primitive Cells and Its Implementation in Sequential Circuits Design of Low Power Flip Flop Based on Modified GDI Primitive Cells and Its Implementation in Sequential Circuits Sivakumar Sabapathy Arumugam," 2017. [Online]. Available: [www.ijaceeonline.com](http://www.ijaceeonline.com)
- [16] Institute of Electrical and Electronics Engineers and PPG Institute of Technology, *Proceedings of the 4th International Conference on Communication and Electronics Systems (ICCES 2019) : 17-19, July 2019*.