



**DESAIN OPTIMASI *SYSTEM ON CHIP* PADA BLOK
RFID *READER* DENGAN TEKNIK *GATE DIFFUSION*
INPUT (GDI)**

KUALIFIKASI

**R.A. SEKAR CIPTANING ANINDYA
99221914**

**PROGRAM DOKTOR TEKNOLOGI INFORMASI
UNIVERSITAS GUNADARMA
Juni 2024**

DAFTAR ISI

Daftar Isi.....	i
1 PENDAHULUAN	1
1.1 Latar Belakang.....	1
1.2 Batasan dan Tujuan	4
1.3 Kontribusi Penelitian	4
2 TINJAUAN PUSTAKA	5
2.1 Teknik Desain Rangkaian Transistor	5
2.2 Rangkaian Terapan	8
2.3 Perbandingan Tinjauan	11
3 METODOLOGI PENELITIAN	13
3.1 Gambaran Umum Penelitian	13
3.2 Pendekatan Penelitian.....	15
3.3 Proses Desain Sirkuit.....	16
3.4 Pengembangan dan Simulasi	22
Daftar Pustaka.....	28

BAB 1

Pendahuluan

1.1 Latar Belakang

Perkembangan teknologi semikonduktor memungkinkan adanya integrasi dari berbagai fungsi dalam satu *chip* tunggal atau dikenal dengan *Integrated Circuit* (IC). Saat ini muncul permintaan yang terus meningkat untuk integrasi fungsional dalam satu perangkat. Hal ini berarti tidak hanya integrasi peningkatan jumlah transistor, tetapi juga integrasi beberapa aplikasi pada satu perangkat. Namun, metode ini dapat berdampak negatif terhadap kinerja dan disipasi daya, karena kabel yang panjang mengakibatkan penundaan resistansi/kapasitansi (RC) yang tinggi dan peningkatan resistansi sirkuit, sehingga membatasi kinerja frekuensi tinggi dan mengurangi masa pakai perangkat. Efisiensi tertinggi tercapai ketika tidak ada *bonding wires* yang diperlukan dan semua fungsi dibuat pada satu substrat, yang disebut *System-on-Chip* (SoC) [1].

Tren dari perkembangan desain SoC saat ini yang menjadi fokus penelitian untuk masa depan yang berkaitan dengan kemampuan SoC yang bekerja dengan daya rendah, kecepatan tinggi, dan luas area yang optimum. SoC dengan daya rendah akan mendukung teknologi yang hemat energi. Hal ini berkaitan juga dengan luas area optimum, apabila luas area *chip* semakin kecil maka akan mengurangi penggunaan daya. Luas area *chip* yang lebih optimum dapat diperoleh dengan mengurangi rangkaian penyusun atau komponen elektroniknya sehingga dengan luas yang optimum maka biaya fabrikasi *chip* akan lebih murah.

Tantangan yang dihadapi oleh SoC berdasarkan tren tersebut yaitu melakukan modifikasi dalam desain rangkaian elektronik penyusun SoC. Hal ini bertujuan untuk memperoleh hasil kerja dengan daya yang rendah dan luas area yang optimum. SoC merupakan beberapa sirkuit yang terintegrasi, tetapi akan menyebabkan disipasi daya karena banyaknya konduktor yang saling terhubung dan menyebabkan peningkatan suhu sehingga menimbulkan permasalahan disipasi

daya. Pada sirkuit mikro apa pun, pembuangan suhu berlebih merupakan masalah penting dalam keandalan sirkuit. Hal tersebut menjadi kendala serius bagi pengembangan lebih lanjut dalam teknologi komputasi. Masalah yang terjadi yaitu semakin kecil dan padat suatu sirkuit, maka semakin panas hasilnya [2]. Disipasi menyebabkan berkurangnya masa pakai perangkat, atau bahkan merusak komponen pada tingkat termal.

Salah satu cara yang dapat dilakukan untuk mengatasi masalah tersebut adalah dengan mereduksi jumlah komponen digital dalam SoC. Teknik yang dapat digunakan untuk melakukan reduksi tersebut menggunakan *Gate Diffusion Input* (GDI). GDI merupakan teknik yang dapat digunakan untuk mereduksi jumlah transistor. Pengurangan jumlah transistor dengan tujuan mengurangi luas area *chip* menjadi lebih kecil dan optimum sehingga dapat mengurangi kebutuhan konsumsi daya dan mengurangi disipasi daya. Teknik lainnya yang dapat digunakan adalah *Modified Gate Diffusion Input* (MGDI). MGDI adalah teknik baru untuk desain sistem digital yang menghasilkan konsumsi daya rendah. Desain menggunakan teknik MGDI menghasilkan operasi kecepatan tinggi, pengurangan disipasi daya, jumlah transistor lebih sedikit, dan konsumsi area sirkuit minimal [3,4].

Sel GDI mewakili bentuk lain dari teknologi pass transistor yang mirip dengan CMOS tetapi berbeda dalam pasokan yang diberikan ke terminal masukan. Keuntungan utama dibandingkan desain CMOS konvensional adalah jumlah transistor yang lebih sedikit menghasilkan disipasi daya yang rendah dan penundaan yang lebih sedikit. Selain itu jumlah transistor yang lebih kecil sehingga area yang lebih kecil dan efek interkoneksi yang lebih rendah [5].

Teknik GDI ini dapat diterapkan pada berbagai SoC. Berdasarkan penelitian sebelumnya oleh Dyah Nur [6] yaitu dalam melakukan perancangan SoC untuk RFID masih menggunakan jumlah transistor yang relatif banyak. Bagian dari blok sirkuit pada penelitian ini adalah *dump accumulator* pada RFID reader. *Dump accumulator* terdiri dari gerbang-gerbang logika yang disusun dari transistor. Penelitian tersebut menghasilkan desain 1022 transistor dengan disipasi daya sebesar 28,5 mW, dan efisiensinya adalah 77.42%.

Berdasarkan jumlah transistor dengan besarnya disipasi daya tersebut maka diajukanlah penelitian untuk modifikasi sirkuit menggunakan teknik GDI pada blok

sirkuit *dump accumulator* pada RFID reader. Modifikasi sirkuit dilakukan dengan melakukan uji coba pada rangkaian dalam bentuk simulasi skematik dan *layout*. Modifikasi dilakukan untuk mendapatkan jumlah transistor kurang dari 1022 buah dan pengurangan nilai disipasi daya, serta luas daerah yang lebih optimum namun dengan fungsi SoC yang sama. Berdasarkan penelitian sebelumnya [3,4] implementasi rangkaian digital melalui teknik MGDI menghasilkan pengurangan kebutuhan transistor sebesar 60% jika dibandingkan dengan implementasi CMOS konvensional.

1.2 Batasan dan Tujuan

Penelitian ini akan melakukan desain optimasi sirkuit SoC menggunakan teknik GDI dan MGDI dengan batasan sebagai berikut:

1. Desain sirkuit blok counter pada *dump accumulator* RFID reader
2. Uji coba menggunakan *software* pendukung LT-Spice/Mentor Graphics/Cadence

Berdasarkan masalah penelitian yang diajukan, maka tujuan dari penelitian ini adalah menghasilkan desain optimasi sirkuit *System-on-Chip* (SoC) menggunakan teknik *Gate Diffusion Input* (GDI) pada blok *dump accumulator* di RFID reader.

1.3 Kontribusi Penelitian

Dari segi keilmuan, penelitian ini diharapkan dapat mendukung tren teknologi SoC yang hemat energi dengan melakukan pengurangan jumlah komponen elektronik menggunakan teknik GDI, sehingga konsumsi daya juga rendah dan biaya fabrikasi SoC menjadi lebih rendah. Kontribusi dari penelitian ini diharapkan bisa menjadi pengembangan optimasi area dan konsumsi daya yang rendah pada desain SoC.

BAB 2

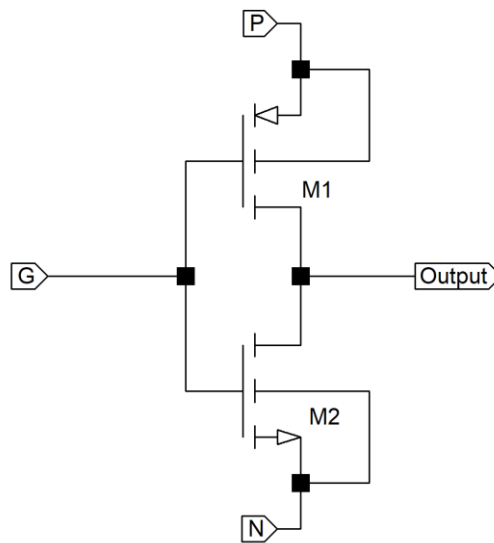
Tinjauan Pustaka

2.1 Teknik Desain Rangkaian Transistor

Transistor MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*) adalah elemen penting dalam desain sirkuit elektronik modern, memiliki empat terminal utama yaitu *gate*, *drain*, *source*, dan *bulk* (substrat). Teknik desain sirkuit ini dapat dilakukan menggunakan teknik CMOS (*Complementary Metal-Oxide-Semiconductor*), GDI (*Gate Diffusion Input*), dan MGDI (*Modified Gate Diffusion Input*) merupakan metode yang digunakan untuk mengoptimalkan sirkuit gerbang digital. CMOS adalah teknik desain standar yang tradisional atau konvensional yang menggunakan pasangan transistor *p-type* dan *n-type* untuk mengurangi konsumsi daya dan meningkatkan keandalan sirkuit.

Teknik GDI merupakan metode inovatif yang memungkinkan implementasi fungsi logika dengan jumlah transistor yang lebih sedikit, sehingga secara signifikan mengurangi konsumsi daya, area, dan meningkatkan kecepatan operasi dibandingkan dengan CMOS konvensional. Teknik MGDI sebagai pengembangan dari GDI, menyempurnakan teknik ini dengan memperbaiki beberapa keterbatasan GDI, seperti ketergantungan pada tegangan *threshold* dan kompleksitas *layout*, sehingga memberikan keseimbangan yang lebih baik antara kinerja, efisiensi daya, dan kemudahan implementasi dalam desain sirkuit digital modern [7].

Gate Diffusion Input (GDI) merupakan teknik desain sirkuit digital yang memungkinkan pengurangan jumlah transistor untuk implementasi logika tertentu. Sel GDI terlihat mirip dengan *Complementary Metal Oxide Semiconductor* (CMOS), tetapi berbeda dalam berbagai fungsi. Terminal masukan pada kaki transistor diantaranya merepresentasikan *diffusion-node* dari *Positive Metal Oxide Semiconductor* (PMOS), *diffusion-node* dari *Negative Metal Oxide Semiconductor* (NMOS), dan *common gate* sebagai masukan transistor PMOS dan NMOS. Struktur dasar dari sel GDI ditunjukkan oleh Gambar 2.1 [7,9].



Gambar 2.1. Stuktur Dasar Sel GDI

Terminal G merepresentasikan *common gate* sebagai masukan transistor PMOS dan NMOS. Terminal N merupakan masukan ke *source/drain* dari NMOS. Terminal P merupakan masukan ke *source/drain* dari PMOS. Sel GDI mirip dengan struktur *inverter* CMOS. Pada *inverter* CMOS terminal *source* PMOS terhubung ke V_{DD} dan terminal *source* NMOS dihubungkan ke *ground*. Pada sel GDI hal ini belum tentu terjadi, ada tiga masukan dalam GDI yang nilai masukannya dapat berubah-ubah. Pada GDI terminal transistor dapat diberi suplai V_{DD} , *ground*, atau juga dapat disuplai dengan sinyal masukan, dimana kondisi ini bergantung pada kebutuhan rangkaian.

Teknik GDI berdampak secara efektif meminimalkan jumlah transistor yang digunakan pada sebagian besar rangkaian logika, seperti gerbang AND, OR, XOR, dan sebagainya. Kondisi *supply* dan *ground* ke PMOS dan NMOS yang selalu berubah menimbulkan masalah *low voltage swing* dalam kasus GDI dimana hal ini menjadi kendala dalam kasus implementasi rangkaian analog. Penambahan sirkuit *filter* atau *buffer* dapat ditambahkan untuk mengatasi masalah dari *low voltage swing* dan membuat keluaran lebih stabil [7,9].

Pada rangkaian dasar gerbang logika, teknik GDI telah diterapkan sebelumnya. Perbandingan sirkuit dan jumlah transistor yang digunakan pada CMOS dan GDI ditunjukkan pada Tabel 2.1 [8].

Tabel 2.1 Perbandingan Sirkuit Gerbang Logika dengan CMOS dan GDI [8]

Gerbang Logika	CMOS	GDI
AND		
OR		

Berdasarkan Tabel 2.1 dapat dibandingkan jumlah transistor yang terpakai untuk gerbang logika AND dan OR. Pada gerbang logika AND yang disusun dari CMOS dibutuhkan 6 transistor dan untuk GDI hanya membutuhkan 2 transistor. Gerbang logika OR yang disusun dari CMOS juga dibutuhkan 6 transistor dan dengan GDI hanya dibutuhkan sebanyak 2 transistor.

Fungsi dari GDI dapat diterapkan pada gerbang logika lain seperti XOR, MUX, DEMUX, ADDER, dan lainnya. Fungsi multiplier dapat diimplementasikan menggunakan GDI dimana rangkaiannya lebih efisien dibandingkan dengan implementasi CMOS [9]. Fungsi flip flop juga telah dirancang menggunakan teknik GDI [10, 11]. Gerbang GDI dapat dipengaruhi oleh penurunan tegangan ambang pada sisi keluaran yang mengurangi kekuatan penggerak arus dan mengurangi kinerja. Penurunan ini juga meningkatkan disipasi daya pada keluaran [12].

Kerugian utama dari GDI adalah terminal bulk tidak dibias dengan benar, sehingga mengakibatkan penurunan nilai tegangan *threshold* pada rangkaian. MGDI diusulkan untuk mengatasi masalah ini. Teknik MGDI hanya menggunakan dua transistor untuk memahami berbagai fungsi logika. Teknik ini dapat dimanfaatkan untuk membangun rangkaian berkecepatan tinggi dan berdaya rendah menggunakan lebih sedikit transistor sambil tetap meningkatkan karakteristik daya.

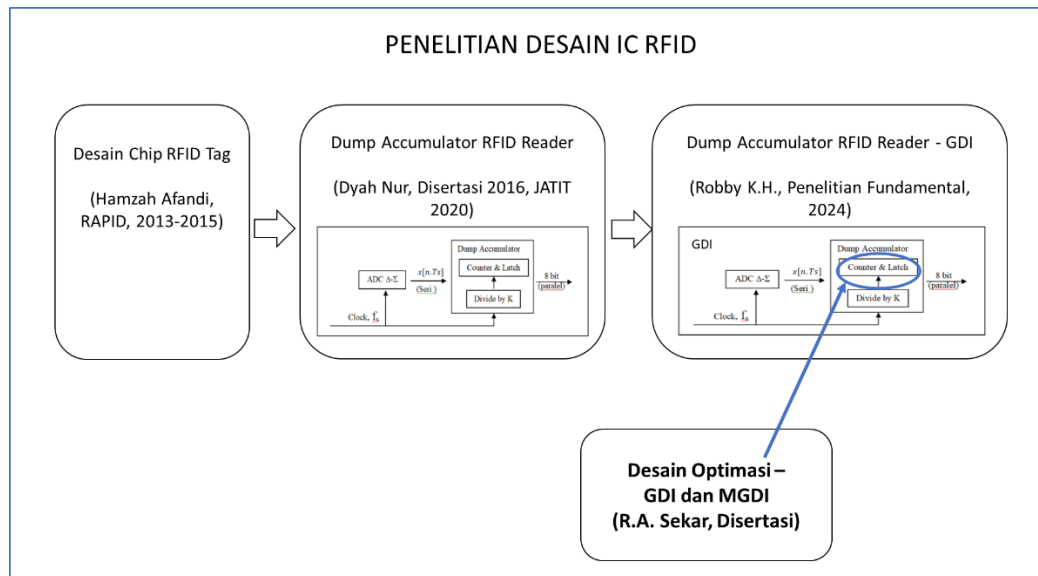
MGDI adalah versi lanjutan dari GDI. Pada MGDI mayoritas bulk pada NMOS dihubungkan ke V_{DD} dan PMOS dihubungkan ke *ground* [13,14].

Bulk pada transistor MOSFET memiliki peran penting dalam menentukan karakteristik operasional transistor, termasuk tegangan *threshold* (V_{th}). Nilai ini berdampak pada kecepatan *switching* dan konsumsi daya. Contohnya, efek bias substrat terjadi saat tegangan bulk pada NMOS lebih positif daripada *source*, yang meningkatkan V_{th} dan membuat transistor lebih sulit untuk menyala. Sebaliknya, pada PMOS, bias bulk yang negatif terhadap *source* juga meningkatkan V_{th} . Pengaturan yang tepat pada tegangan bulk dapat meningkatkan stabilitas dan efisiensi daya dalam desain sirkuit MOSFET [15].

Teknik MGDI adalah pengembangan dari GDI yang bertujuan untuk mengatasi beberapa keterbatasan GDI dalam desain rangkaian transistor pada gerbang logika. MGDI memperbaiki GDI dengan modifikasi yang memungkinkan fleksibilitas dalam pengaturan tegangan *threshold* dan konfigurasi *layout* sehingga mengoptimalkan performa dan efisiensi daya. Teknik ini memungkinkan desain sirkuit rangkaian logika dengan jumlah transistor yang lebih sedikit dibandingkan CMOS konvensional, serta mengurangi konsumsi daya dan area sirkuit [16]. MGDI juga termasuk teknik yang kompatibel untuk desain sirkuit digital dalam aplikasi yang memerlukan efisiensi tinggi dan performa optimal.

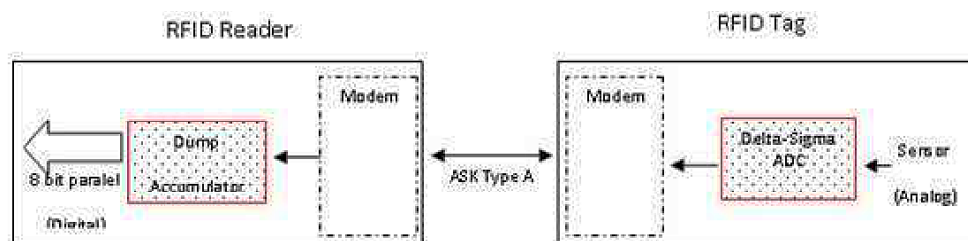
2.2 Rangkaian Terapan

Penelitian ini didasarkan pada kelanjutan dari penelitian desain IC RFID yang telah dilakukan oleh Hamzah Afandi (2018) dan Dyah Nur (2020) [6, 17, 18] serta dalam penelitian fundamental yang dilakukan oleh Robby K (2024). Desain yang diterapkan adalah rangkaian *dump accumulator* yaitu merupakan bagian dari blok RFID *reader*. *Dump accumulator* berfungsi sebagai pengumpul sinyal yang diterima dari RFID *tag*. Desain optimasi rangkaian dilakukan pada blok tersebut untuk mendapatkan rangkaian dengan jumlah transistor yang paling optimal guna mencapai penghematan energi. Gambaran dari penelitian besar dan yang blok yang dikerjakan dalam penelitian untuk dilakukan optimasi ditunjukkan pada Gambar 2.2.



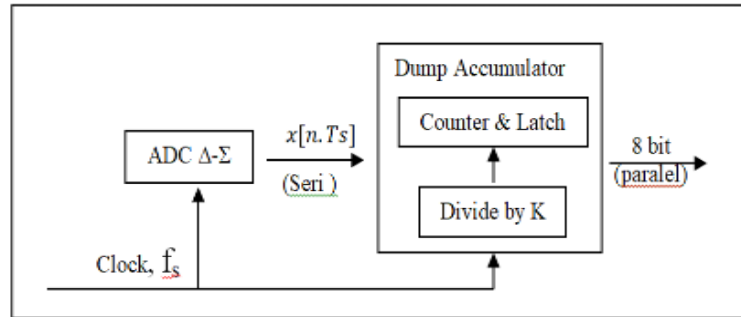
Gambar 2.2 Penelitian Besar Desain IC RFID

Rangkaian *dump accumulator* terdiri dari beberapa sub-sirkuit, diantaranya rangkaian *counter* dan *latch* serta rangkaian *divide by K*. Gambar 2.3 menunjukkan blok diagram komunikasi dari RFID tag ke RFID reader dengan rangkaian *dump accumulator*.



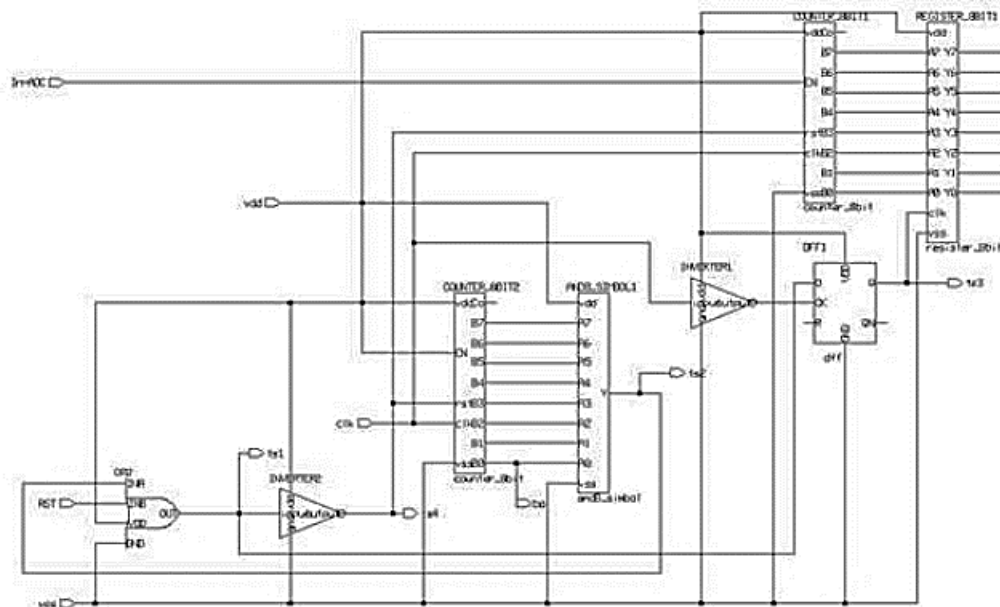
Gambar 2.3 Komunikasi data RFID Tag dan Reader menggunakan *Dump Accumulator* [6]

Metode pengubah data serial menjadi data paralel menggunakan metode *dump accumulator*. Sinyal informasi berupa data serial dari tag dikumpulkan dan diolah sehingga didapatkan paket data 8 bit. Desain ini dirancang untuk mempercepat proses penerimaan dan pembacaan data dari tag [6]. Blok diagram dari *dump accumulator* ditunjukkan pada Gambar 2.4.



Gambar 2.4 Blok diagram *Dump Accumulator* [6]

Tag RFID pasif mengirimkan data serial yang dikirimkan ke *RFID reader* pada frekuensi 13.56 Mhz (*High Frequency*). Pada *RFID reader* data masih dalam bentuk serial diubah menjadi data digital 8 bit secara paralel menggunakan *Decimator*. *Decimator* ini dirancang menggunakan metode *dump accumulator* yang terdiri dari blok rangkaian *counter* dan *register*. Rangkaian *accumulator* berfungsi untuk menentukan resolusi data, dan rangkaian *dump* berfungsi untuk menampilkan sinyal data digital 8 bit paralel [6]. Rangkaian *dump accumulator* secara lengkap disusun dari gerbang logika yang ditunjukkan pada Gambar 2.5.



Gambar 2.5 Rangkaian *Dump Accumulator* [6]

2.3 Perbandingan Tinjauan

Guna mendukung penelitian ini maka penelitian-penelitian terkait dengan GDI sebagai optimasi rangkaian digital diantaranya penelitian rangkaian dasar logika digital menggunakan GDI. Penelitian yang telah dilakukan sebelumnya [19] menggunakan teknik GDI untuk mengurangi disipasi daya, delay propagasi, dan area sirkuit digital pada rangkaian transistor. Perancangan diimplementasikan pada gerbang dasar logika AND dan OR. Penelitian ini membandingkan disipasi daya dari teknik Pass Transistors dan Transmission Gate dengan GDI dan menunjukkan bahwa GDI lebih efisien dalam mengurangi disipasi daya.

Penelitian selanjutnya [11] mengimplementasikan sirkuit digital menggunakan teknik GDI dan MGDI untuk mengurangi konsumsi daya dan area sirkuit. Desain gerbang dasar dirancang untuk mengimplementasikan gerbang latch, flip-flop, counter, dan register pergeser universal menggunakan sel MGDI. Penelitian ini memberikan hasil simulasi dari implementasi sirkuit-sirkuit tersebut menggunakan teknologi CMOS 130nm dengan tegangan operasi 1,2V.

Penelitian menggunakan MGDI juga dilakukan [20, 21] untuk merancang sirkuit digital yang memiliki kecepatan tinggi dan konsumsi daya rendah dengan menggunakan sedikit transistor. Metode ini diimplementasikan dengan menggunakan teknologi proses CMOS bulk GPDK 180 nm. Penelitian ini juga membahas tentang simulasi dan hasil kinerja dari gerbang logika, half-adder, dan full-adder yang dirancang menggunakan teknologi MGDI dengan hasil daya rendah dan kecepatan proses yang tinggi.

Implementasi dari teknik GDI dapat digunakan pada berbagai rangkaian CMOS konvensional. Salah satunya pada penelitian di bagian RFID yaitu blok reader menggunakan rangkaian dump accumulator [6]. Penelitian ini melakukan perancangan rangkaian dump accumulator dalam bentuk *chip* dengan teknologi 0,35 μm . Rangkaian dump accumulator dapat meningkatkan amplitudo sinyal radio dengan cara mengumpulkan sinyal radio dari beberapa siklus pembacaan, kemudian mengakumulasi sinyal-sinyal tersebut sehingga menghasilkan sinyal dengan amplitudo yang lebih besar. Pada penelitian ini mengimplementasikan rangkaian dump accumulator pada RFID *reader*, yang digunakan untuk mengubah

sinyal informasi serial menjadi paket 8 bit. Rangkaian ini digunakan untuk mempercepat pembacaan data pada blok RFID *reader*.

Rangkuman penelitian-penelitian tersebut menjadi dasar dalam pengajuan implementasi GDI untuk rangkaian *dump accumulator*, dimana ditunjukkan pada Tabel 2.2.

Tabel 2.2 Perbandingan Penelitian Terdahulu yang Mendukung Penelitian

Penulis	Judul	Pembahasan
Y. Syamala, K. Srilakshmi and N. Somasekhar Varma	Design of Low Power CMOS Logic Circuits Using Gate Diffusion Input (GDI) Technique	Penelitian ini menggunakan teknik <i>Gate Diffusion Input (GDI)</i> untuk mengurangi disipasi daya, delay propagasi, dan area sirkuit digital. Teknik ini didasarkan pada sel GDI dasar dan implementasi logika AND dan OR. Penelitian ini juga membandingkan disipasi daya dari teknik Pass Transistors dan Transmission Gate dengan GDI dan menunjukkan bahwa GDI lebih efisien dalam mengurangi disipasi daya.
Venkatachalam S.S., Arumugam S.S., Sivasubramaniyam S.	Design of Low Power Flip Flop Based on Modified GDI Primitive Cells and Its Implementation in Sequential Circuits	Pada penelitian ini mengimplementasikan sirkuit digital menggunakan teknik GDI (Gate-Diffusion Input) dan MGDI (Modified Gate-Diffusion Input) untuk mengurangi konsumsi daya dan area sirkuit. Penelitian ini memberikan hasil simulasi dari implementasi sirkuit-sirkuit tersebut menggunakan teknologi CMOS 130nm dengan tegangan operasi 1.2V. Desain gerbang dasar dirancang untuk mengimplementasikan gerbang latch, flip-flop, counter, dan register pergeser universal menggunakan sel MGDI.
Singh KJ, Sharan T, Tarunkumar H	High Speed and Low Power Basic Digital Logic Gates, Half-Adder and Full-Adder Using Modified Gate Diffusion Input Technology	Penelitian ini membahas tentang penggunaan teknologi Modified Gate Diffusion Input (MGDI) dalam desain sirkuit digital. Metode ini digunakan untuk merancang sirkuit digital yang memiliki kecepatan tinggi dan konsumsi daya rendah dengan menggunakan sedikit transistor. Metode ini diimplementasikan dengan menggunakan lingkungan skematik dan layout Cadence Virtuoso dengan teknologi proses CMOS bulk GPDK 180 nm. Penelitian ini juga membahas tentang simulasi dan hasil kinerja dari gerbang logika, half-adder, dan full-adder yang dirancang menggunakan teknologi MGDI dengan hasil daya rendah dan kecepatan proses yang tinggi.
D. Nur' Ainingsih, J. Purnomo, E. P. Wibowo, K. Harahap, and B. Soerowirdjo	Design of Accumulator Dump For RFID Readers using 0.35 μm CMOS Technology	Penelitian ini melakukan perancangan rangkaian dump accumulator dalam bentuk <i>chip</i> dengan teknologi 0,35 μm . Salah satu cara untuk meningkatkan amplitudo sinyal radio adalah dengan menggunakan rangkaian dump accumulator. Rangkaian dump accumulator dapat meningkatkan amplitudo sinyal radio dengan cara mengumpulkan sinyal radio dari beberapa siklus pembacaan, kemudian mengakumulasi sinyal-sinyal tersebut sehingga menghasilkan sinyal dengan amplitudo yang lebih besar. Pada penelitian ini mengimplementasikan rangkaian dump accumulator pada RFID reader, yang digunakan untuk mengubah sinyal informasi serial menjadi paket 8 bit. Rangkaian ini digunakan untuk mempercepat pembacaan data pada blok RFID reader.

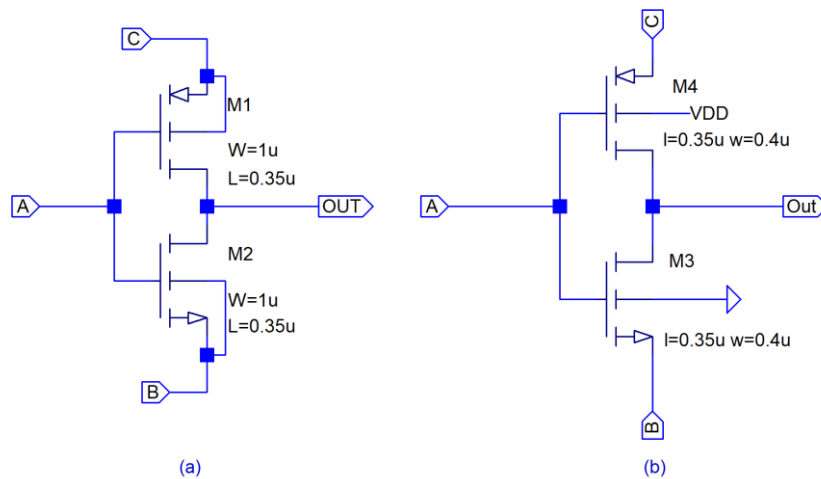
BAB 3

Metodologi

3.1 Gambaran Umum Penelitian

Penelitian ini berfokus pada penelitian eksperimental dalam melakukan desain dan optimasi sirkuit untuk pengaplikasian pada perangkat RFID. Desain sirkuit menggunakan Teknik CMOS konvensional, *Gate Diffusion Input* (GDI), dan *Modified Gate Diffusion Input* (MGDI) yang melibatkan beberapa tahapan sistematis sehingga dapat memperoleh perbandingan dari performa masing-masing teknik. Ketiga teknik tersebut memiliki karakteristik yang berbeda dengan keunggulannya masing-masing. CMOS konvensional adalah desain yang paling banyak digunakan, dimana CMOS memiliki keunggulan dengan kehandalan dan stabilitas dalam pengaplikasiannya. Kekurangan dari teknik CMOS konvensional adalah banyaknya jumlah transistor yang digunakan, sehingga membutuhkan luas area *chip* yang lebih besar, secara otomatis juga membutuhkan konsumsi daya yang lebih besar [22, 23].

GDI merupakan salah satu teknik yang dapat digunakan untuk mengurangi jumlah transistor. Karakteristik teknik GDI dengan mengoptimalkan difusi gerbang pada transistor, sehingga dapat mengurangi jumlah penggunaan transistor, dimana hal tersebut dapat mengurangi kebutuhan konsumsi daya serta luas area *chip* [24]. Selain itu terdapat juga pengembangan dari teknik GDI, yaitu teknik MGDI dimana dilakukan modifikasi rangkaian dari GDI dengan efisiensi yang lebih baik. Karakteristik MGDI berbeda dengan GDI, dimana perbedaan keduanya adalah pada *bulk* transistor seperti yang ditunjukkan pada Gambar 3.1. Pada penelitian ini menggunakan jenis transistor dengan teknologi 0,35 μm .

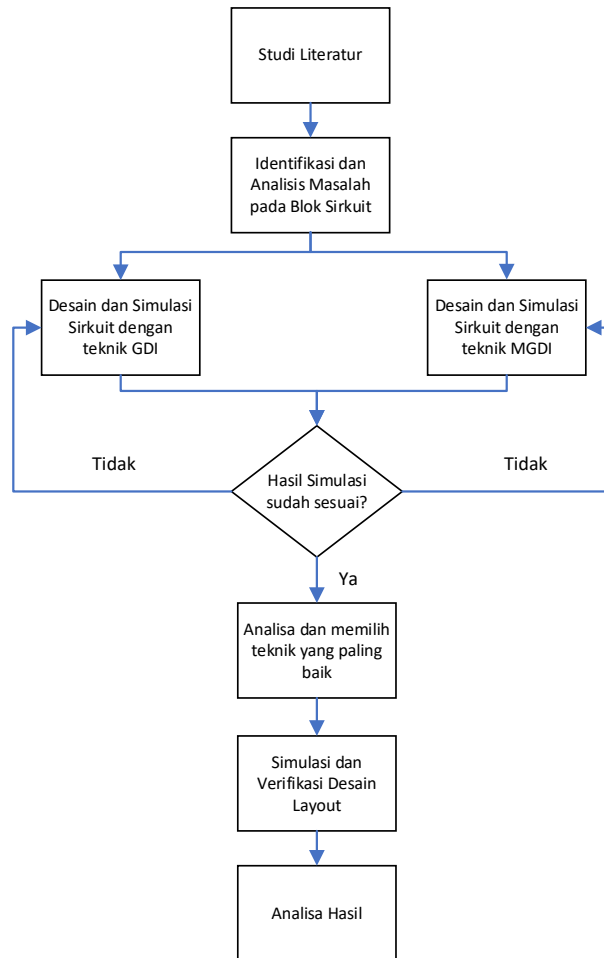


Gambar 3.1 Karakteristik Dasar Sirkuit Transistor 0,35 μm (a) GDI dan (b) MGDI

Tahap penelitian dimulai dari pengumpulan data terkait rangkaian transistor penyusun *chip* RFID dengan berbagai teknik desain, diantaranya teknik CMOS konvensional, GDI, dan MGDI. Tahap selanjutnya adalah membuat desain sirkuit dengan ketiga teknik tersebut. Desain sirkuit kemudian disimulasikan untuk mendapatkan keluaran yang sesuai dengan masing-masing fungsi rangkaian.

Pada tahap ini akan dilihat perbandingan hasil simulasi GDI maupun MGDI dan dilakukan analisa performanya terhadap hasil simulasi CMOS konvensional. Selanjutnya menentukan metode untuk menyempurnakan hasil desain sirkuit sampai keluarannya dapat sesuai dengan fungsi dari rangkaian tersebut. Selain fungsinya yang sesuai, desain rangkaian GDI maupun MGDI diharapkan dapat memiliki jumlah transistor yang lebih sedikit dari CMOS konvensional dan juga nilai disipasi daya yang lebih rendah. Tahap berikutnya menentukan teknik yang paling optimal dalam pengembangan desain sirkuit untuk chip perangkat RFID

Penelitian dilanjutkan dengan desain *layout chip* dari sirkuit. Desain tersebut kemudian diverifikasi dengan memastikan bahwa jumlah transistor dan *layout* telah sesuai. Tahapan penelitian ditunjukkan lebih jelas pada Gambar 3.2.



Gambar 3.2. Tahapan Penelitian

3.2 Pendekatan Penelitian

Penelitian didasarkan pada pendekatan berbasis kinerja dalam desain sirkuit dengan teknik GDI (*Gate Diffusion Input*) dan MGDI (*Modified Gate Diffusion Input*). Pendekatan ini bertujuan untuk mengoptimalkan sirkuit agar mencapai kinerja tertentu, diantaranya daya rendah dan efisiensi energi. Teknik GDI dan MGDI dikembangkan untuk mengurangi jumlah transistor yang digunakan, sehingga berdampak pada pengurangan konsumsi daya. Pengurangan jumlah transistor, memungkinkan sirkuit bekerja dengan daya lebih rendah dan mengurangi nilai disipasi daya tanpa mengurangi kecepatan atau kinerja keseluruhan. Penelitian ini fokus pada analisis sirkuit terhadap setiap komponen

untuk memastikan setiap elemen berkontribusi secara optimal terhadap penghematan energi.

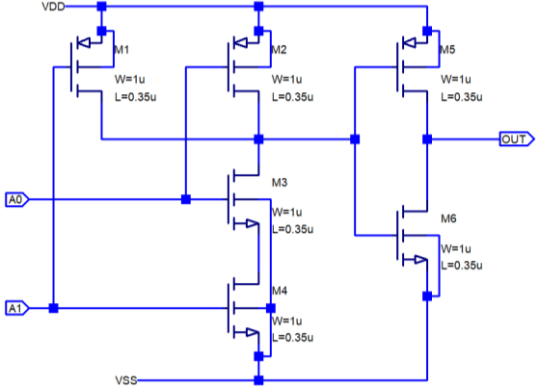
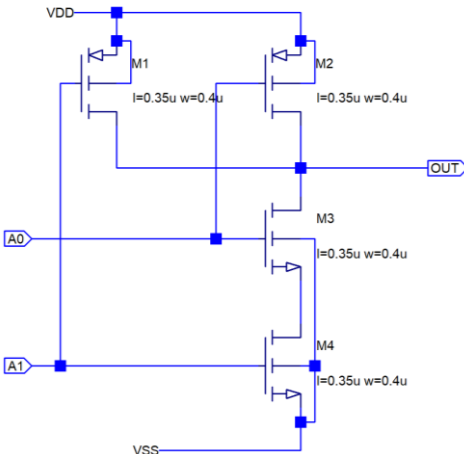
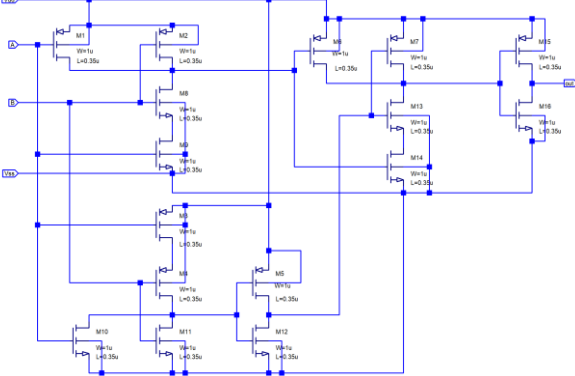
Langkah-langkah penelitian yang dilakukan meliputi perancangan skematik sirkuit serta simulasi dan analisis performa sirkuit dalam teknik GDI maupun MGDI. Simulasi pada penelitian ini dilakukan menggunakan perangkat lunak. Melalui pendekatan ini dapat dilakukan identifikasi konfigurasi optimal dan teknik modifikasi yang dapat diterapkan untuk mencapai efisiensi daya maksimal. Desain sirkuit ini nantinya dapat diaplikasikan dalam berbagai sirkuit elektronik, termasuk perangkat RFID, sistem *Internet of Things* (IoT), dan sistem tertanam lainnya.

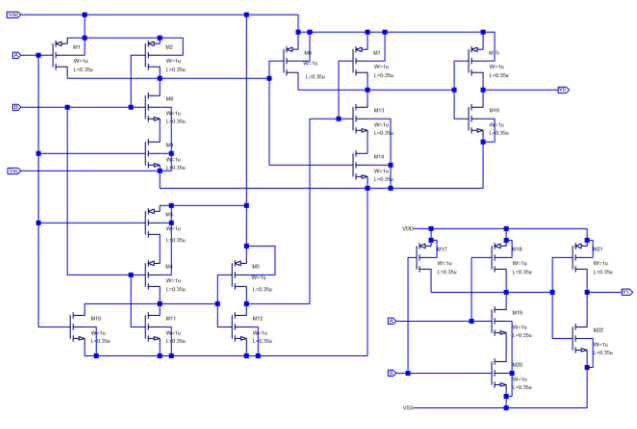
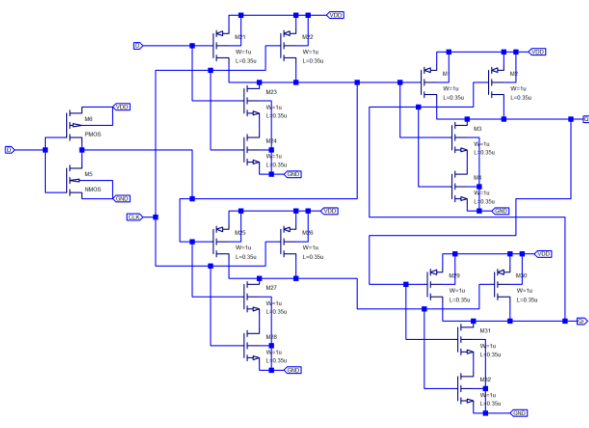
3.3 Proses Desain Sirkuit

Desain ini bertujuan untuk mengimplementasikan sirkuit *Counter* 2-bit, 4-bit, dan 8-bit. Rangkaian ini dirancang untuk beroperasi pada tegangan 3,3 V yang merupakan standar umum untuk banyak aplikasi elektronik. Teknologi fabrikasi yang digunakan adalah CMOS 0,35 μm . Pemanfaatan teknik GDI dan MGDI diharapkan dapat mengurangi jumlah transistor yang digunakan, mengurangi konsumsi daya, dan meningkatkan efisiensi keseluruhan dari sirkuit. Pendekatan ini cocok untuk aplikasi yang memerlukan kinerja tinggi dengan konsumsi daya rendah, seperti perangkat RFID dan sistem tertanam lainnya.

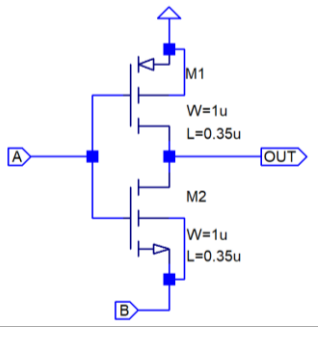
Desain sirkuit dilakukan untuk tiga teknik, yaitu CMOS, GDI, dan MGDI seperti yang ditunjukkan pada Tabel 3.1, Tabel 3.2, dan Tabel 3.3. Masing-masing teknik dilakukan desain untuk gerbang logika AND, NAND, XOR, *Half Adder*, dan D-Flip Flop yang nantinya gerbang logika tersebut akan diintegrasikan sebagai gerbang dasar penyusun *Counter* 2-bit, 4-bit, dan 8-bit.

Tabel 3.1 Desain Sirkuit CMOS

Gerbang Logika	CMOS	Jumlah Transistor
AND		6
NAND		4
XOR		16

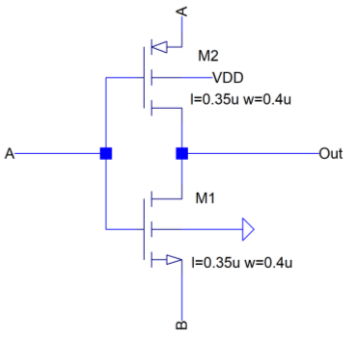
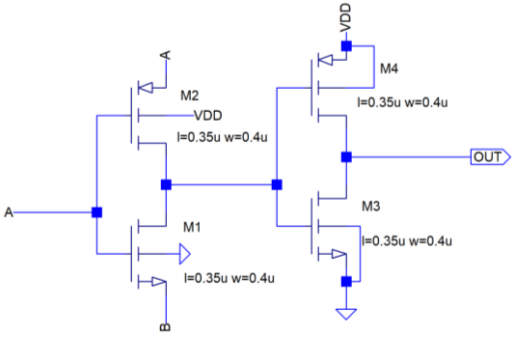
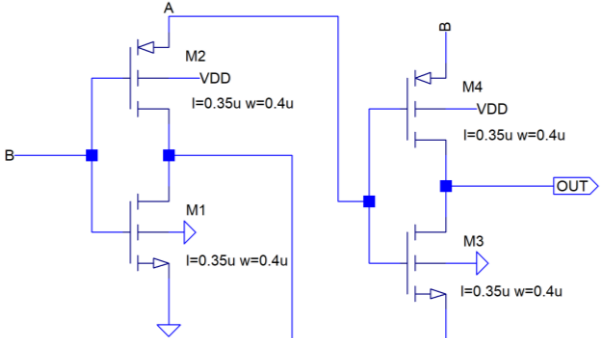
Half Adder		22
D - Flip Flop		18

Tabel 3.2 Desain Sirkuit GDI

Gerbang Logika	GDI	Jumlah Transistor
AND		2

NAND		4
XOR		4
Half Adder		6
D - Flip Flop		18

Tabel 3.3 Desain Sirkuit MGDI

Gerbang Logika	MGDI	Jumlah Transistor
AND		2
NAND		4
XOR		4

Half Adder		6
D - Flip Flop		18

Desain sirkuit untuk teknik CMOS, GDI, dan MGDI menunjukkan penggunaan jumlah transistor yang berbeda pada masing-masing gerbang logika. Adapun perbandingan jumlah transistor ditunjukkan pada Tabel 3.4.

Tabel 3.4 Jumlah Transistor pada Teknik CMOS, GDI, dan MGDI

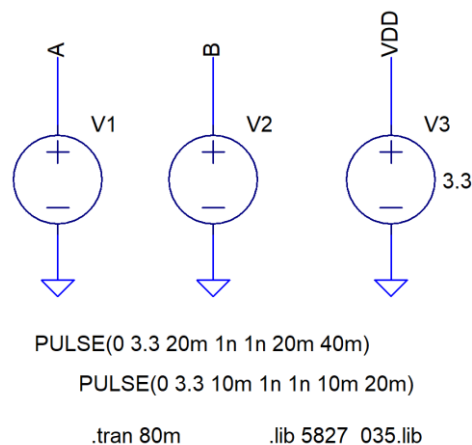
Gerbang Logika	CMOS	GDI	MGDI
AND	6	2	2
NAND	4	4	4
XOR	16	4	4
Half Adder	22	6	6
D – Flip Flop	18	18	18

3.4 Pengembangan dan Simulasi

Penelitian ini melalui tahap simulasi dan analisis performa sirkuit pada teknik GDI dan MGDI terhadap teknik CMOS konvensional. Simulasi dilakukan menggunakan perangkat lunak diantaranya LT-Spice, Mentor Graphics, dan Cadence. Pada tahap awal gambar skematik dirancang menggunakan perangkat lunak LT-Spice dengan pemilihan komponen yang sesuai. Transistor mode *enhancement* untuk jenis NPN dan PNP 0,35 μm dipilih berdasarkan karakteristik dari teknologi CMOS yang diperlukan dengan menambahkan *library* transistor ke dalam perangkat lunak.

Referensi dari berbagai literatur digunakan untuk memastikan pemilihan komponen yang tepat dan relevan. Rangkaian skematik dimulai dari desain gerbang logika AND, NAND, XOR, Half Adder, dan D-Flip Flop sebelum diintegrasikan menjadi sebuah *counter* 2-bit, 4-bit, dan 8-bit.

Sinyal masukan berupa sinyal pulsa dengan pengaturan amplitudo sebesar 3,3 V dan waktu tunda sebesar 1 ns. Pada masukan dua bit, pulsa diatur pada periode gelombang dan waktu tunda masing-masing 20 ms dan 10 ms. V_{DD} diatur pada nilai 3,3 V sebagai tegangan sumber transistor berdasarkan tegangan kerja komponen tersebut.

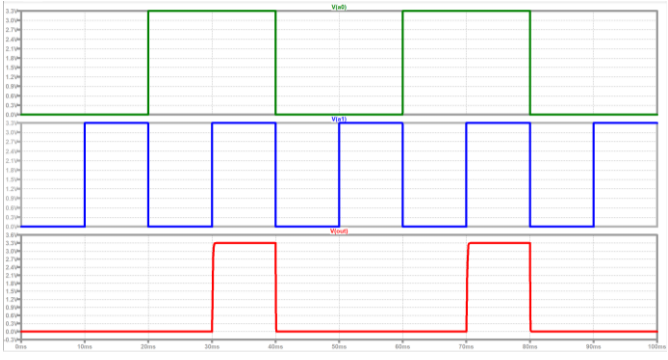
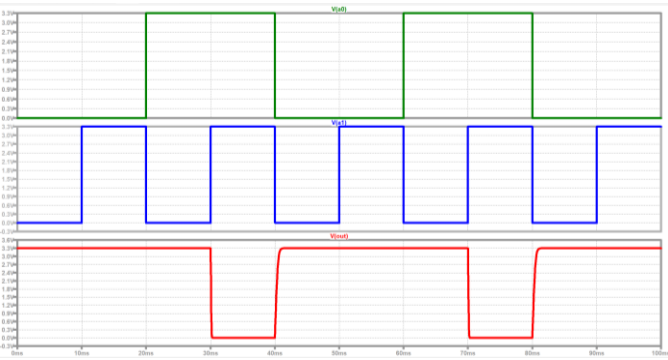
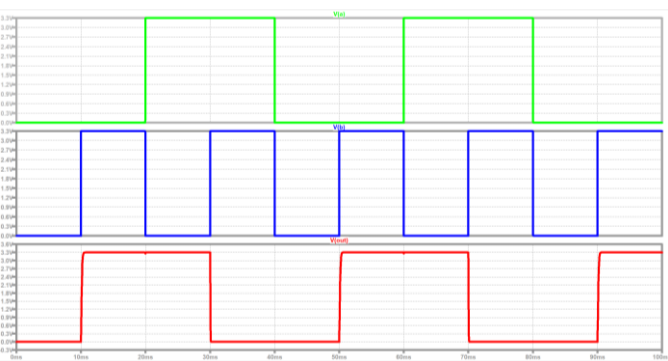


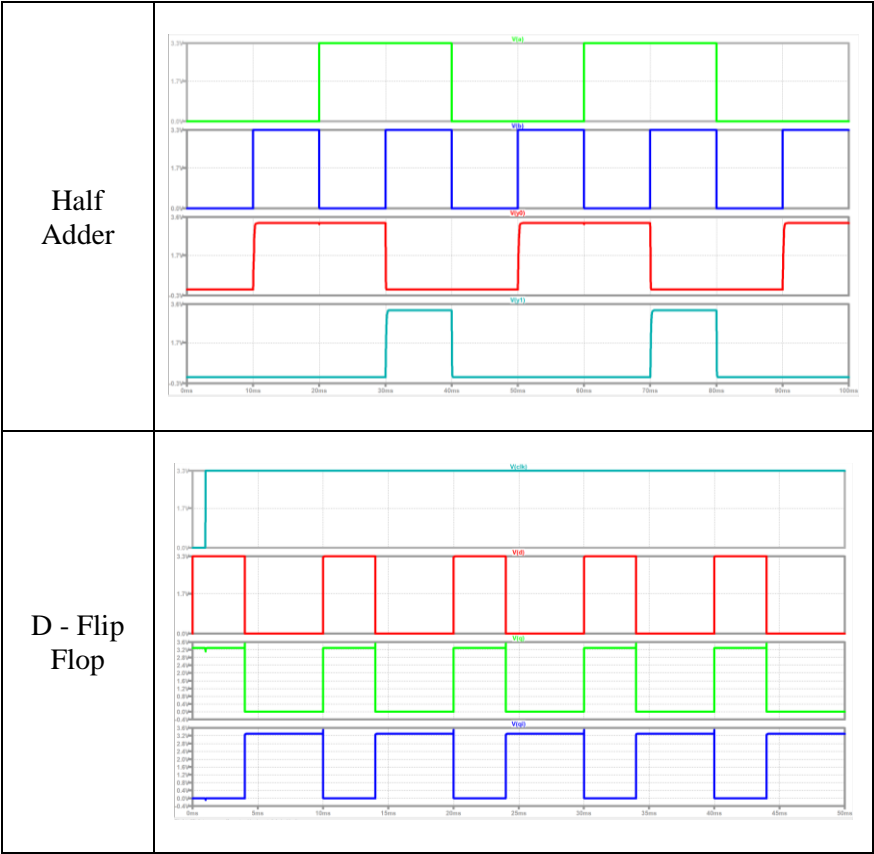
Gambar 3.3 Parameter Simulasi

Desain skematik parameter simulasi ditunjukkan pada Gambar 3.3. Simulasi dilakukan untuk menguji desain yang dibuat dalam operasi *transient* guna

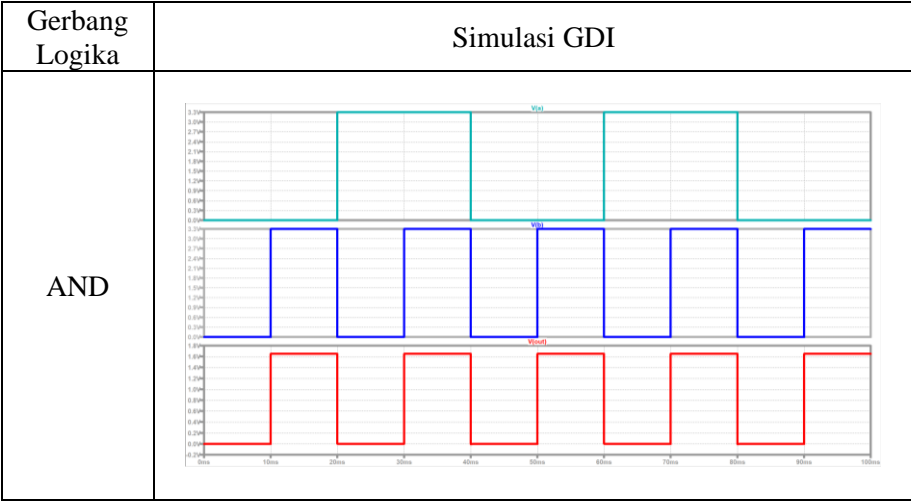
memperoleh visualisasi sinyal masuka dan keluaran. Simulasi *transient* diatur pada nilai waktu maksimum 80 ms, dimana nilai tersebut adalah maksimum waktu yang ditampilkan pada kurva sinyal. Hasil dari simulasi untuk desain sirkuit gerbang logika AND, NAND, XOR, Half Adder, dan D-Flip Flop ditunjukkan pada Tabel 3.5, Tabel 3.6, dan Tabel 3.7 untuk masing-masing teknik CMOS, GDI, dan MGDI.

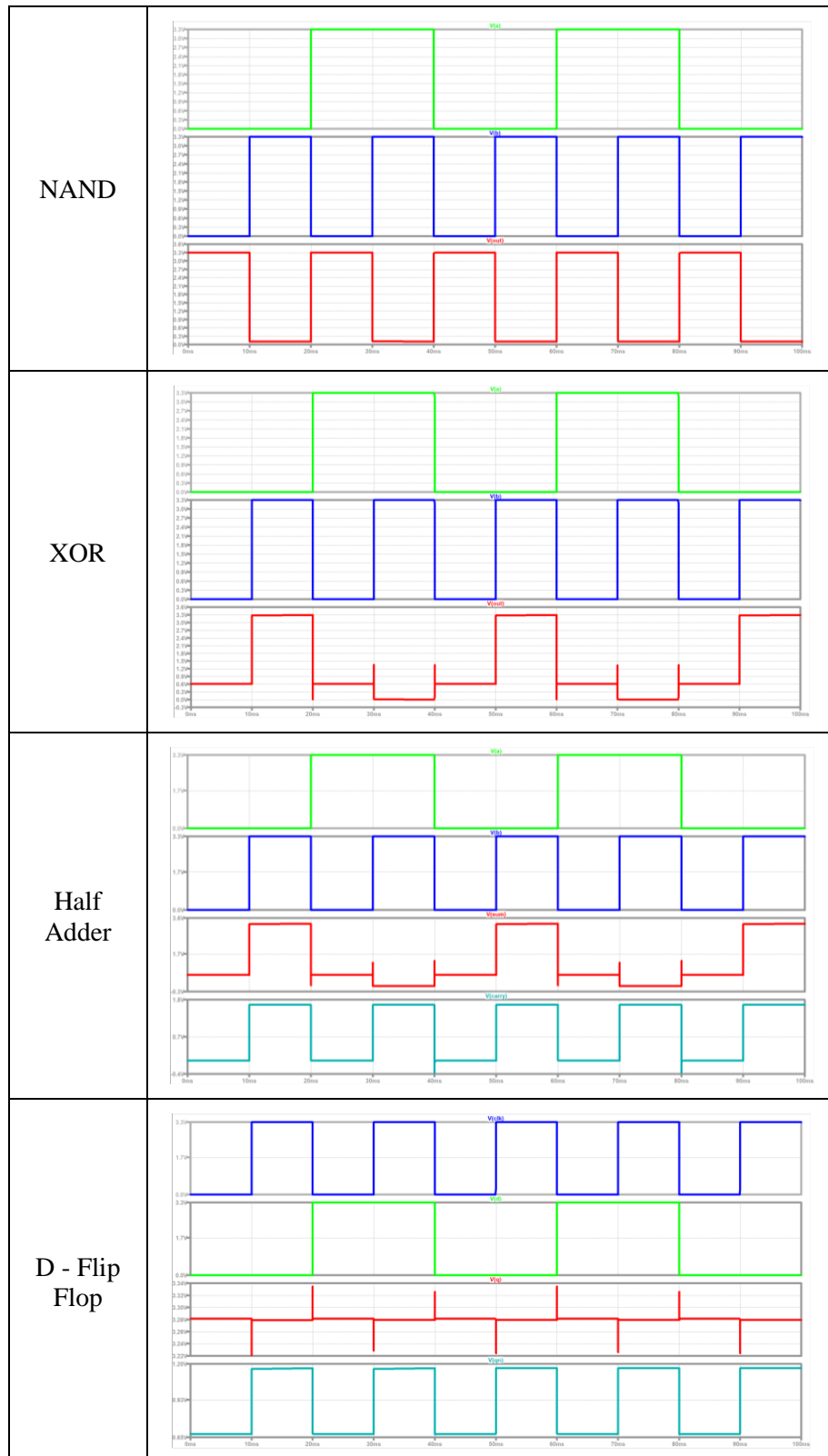
Tabel 3.5 Hasil Simulasi Sirkuit CMOS

Gerbang Logika	Simulasi CMOS
AND	
NAND	
XOR	

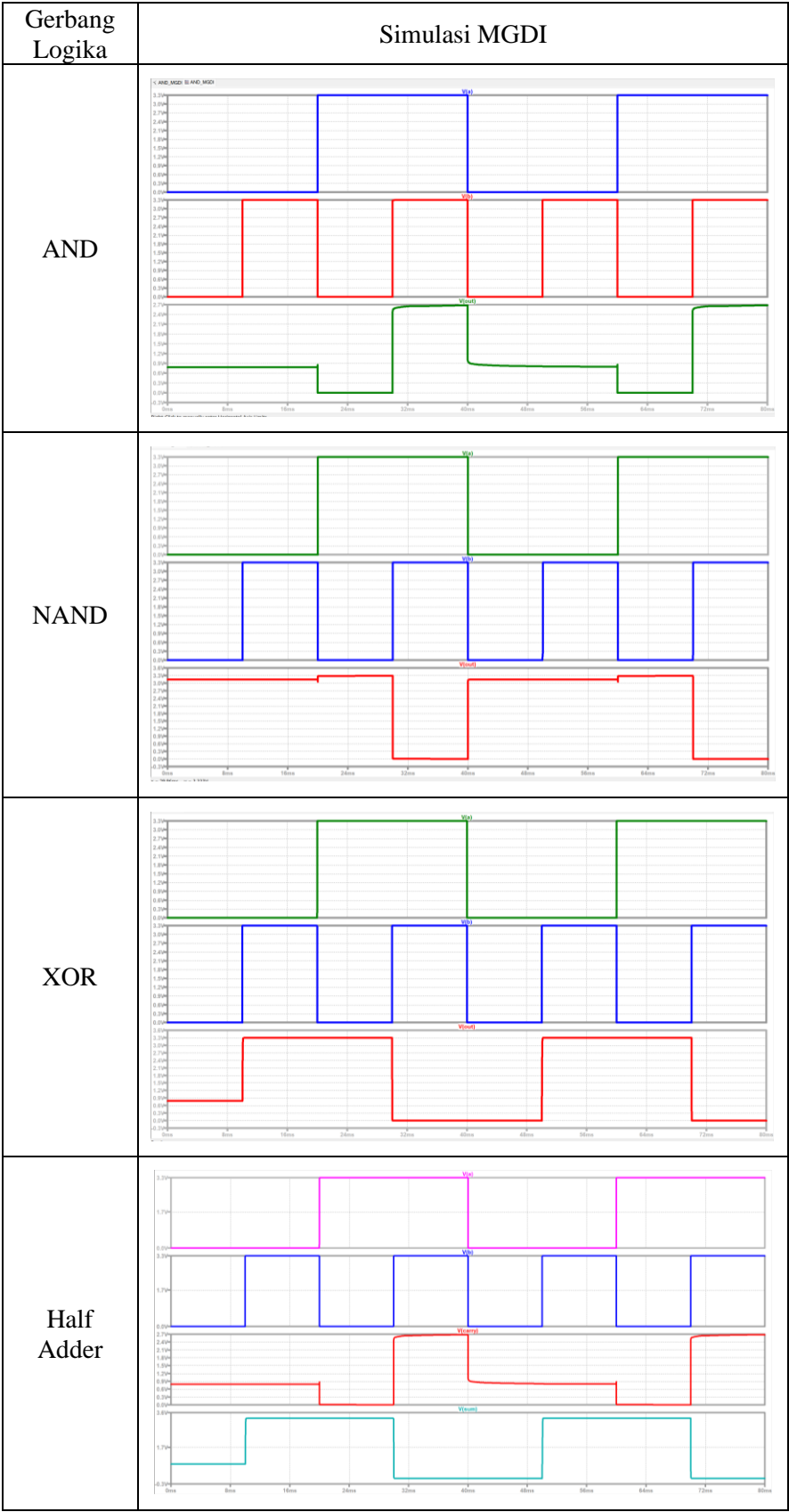


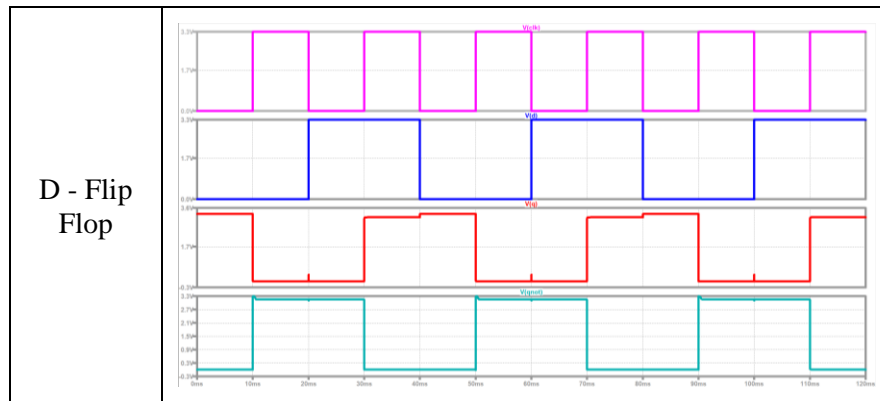
Tabel 3.6 Hasil Simulasi Sirkuit GDI





Tabel 3.7 Hasil Simulasi Sirkuit MGDI





Hasil simulasi dari desain sirkuit CMOS memiliki nilai tegangan keluaran yang stabil yaitu berada di nilai 3,3 V dengan keluaran logika yang tepat sesuai karakteristik masing-masing gerbang logika. Desain sirkuit GDI hasil simulasinya menunjukkan bahwa terdapat logika keluaran yang belum sesuai dengan karakteristik gerbang logika tersebut. Pada hasil simulasi teknik GDI menunjukkan gerbang AND belum menunjukkan tegangan keluaran yang sesuai, yaitu masih berada di nilai 1,6 V. Hasil simulasi pada teknik MGDI menunjukkan logika keluaran yang tepat, namun terdapat *voltage swing* sehingga beberapa logika keluarannya belum mencapai nilai tegangan sebesar 3,3 V pada logika 1, ataupun tegangan sebesar 0 V pada logika 0.

Tahapan penelitian selanjutnya akan dilakukan optimasi sirkuit untuk mengatasi *voltage swing* dan melakukan integrasi sirkuit untuk membentuk blok *Counter* 2-bit, 4-bit, dan 8-bit. Setelahnya akan dilakukan desain *layout* dan analisa performa dari masing-masing teknik untuk *Counter* dengan variasi bit biner. Penelitian diharapkan dapat mencapai penghematan energi yang diperoleh dari berkurangnya jumlah transistor disertai dengan pengurangan luas area. Selain itu juga diharapkan dapat menurunkan besar kebutuhan daya dan mengurangi besar disipasi daya.

DAFTAR PUSTAKA

- [1] Lado Filipovic z, Ayoub Lahlalia, "Review—System-on-Chip SMO Gas Sensor Integration in Advanced CMOS Technology", *Journal of The Electrochemical Society* 165 (16), 2018.
- [2] Dmitry Gura, Alexey Mikhaylov, "Model for estimating power dissipation along the interconnect length in single on-chip topology", *Springer*, 2020.
- [3] Nayan, Gautam, et al. "A review on modified gate diffusion input logic: an approach for area and power efficient digital system design." *Proceedings of the Second International Conference on Emerging Trends in Science & Technologies For Engineering Systems (ICETSE-2019)*. 2019.
- [4] Nayan G, Prasad RK, Y G, PK, Kurian DrMZ. "A Review On Modified Gate Diffusion Input Logic: An Approach For Area And Power Efficient Digital System Design". *SSRN Electronic Journal*. 2019.
- [5] S. Radhakrishnan, T. Nirmalraj, Rakesh kumar karn. "An enhanced Gate Diffusion Input technique for low power applications" *Microelectronics Journal, Volume 93*, 2019.
- [6] Nur'Ainingsih D, Purnomo J, Wibowo EP, Harahap K, Soerowirdjo B., "Design of Accumulator Dump For RFID Readers using 0.35 μ M CMOS Technology", *Journal of Theoretical and Applied Information Technology*, 2020.
- [7] Sudeshna Sarkar, "Gate Diffusion Input: A technique for fast digital circuits (implemented on 180 nm technology) IOSR Journal of VLSI and Signal Processing", *IOSR-JVSP Volume 4, Issue 2, Ver. IV, Mar-Apr. 2014*.
- [8] Venkatachalam S.S., Arumugam S.S, Sivasubramaniyam S., "Design of Low Power Flip Flop Based on Modified GDI Primitive Cells and Its Implementation in Sequential Circuits", *International Journal of Advances in Computer and Electronics Engineering, Volume: 02 Issue: 05*, May 2017.
- [9] Praveen Kumar, Y. G., et al. "Performance analysis of multipliers using modified gate diffused input technology." *IETE Journal of Research* 68.5 (2022): 3887-3899.

- [10] Punitha, L., et al. "Design of double edge-triggered flip-flop for low-power educational environment." *International Journal of Electrical Engineering & Education* 60.2_suppl (2023): 20-34.
- [11] Bosco, Kagaba J., S. M. Pavalam, and L. J. Mpamije. "Fundamental Flip-Flop Design: Comparative Analysis." *Journal of VLSI circuits and systems* 5.01 (2023): 1-7.
- [12] G.R.Mahendra Babu, S.Bhavani, "Primitive Cells using Gate Diffusion Input Technique: a Low Power Approach", *International Journal of Recent Technology and Engineering (IJRTE) Volume-8 Issue-1S5*, June 2019.
- [13] Dharani, K. G. "Design of Low Power and Area Efficient 8 Bit USB Using mGDI Technology." (2021).
- [14] M. R and M. M, "Design and Implementation of Low Power Time-To-Digital Converter using MGDI Technique", *ijcci*, vol. 5, no. 1, pp. 15-25, May 2023.
- [15] R. He and L. Zhang, "Evaluation of modern MOSFET models for bulk-driven applications," *2008 51st Midwest Symposium on Circuits and Systems, Knoxville, TN, USA*, 2008, pp. 105-108.
- [16] Swetha, S. "Design of low power and area efficient full adder using modified gate diffusion input." *International Journal of Computer Applications* 145.8(2016): 45-47.
- [17] Pratiwi, Ganjar Febriyani, Hamzah Afandi, and Dyah Nur'Ainingsih. "Half Adder Untuk Counter pada Metode Dump Accumulator RFID dengan Teknologi 0.35 μm ." *PROSIDING SEMINAR NASIONAL & INTERNASIONAL*. Vol. 1. No. 1. 2018.
- [18] Widyastuti, Widyastuti, Hamzah Afandi, and Ganjar Febriyani Pratiwi. "Perancangan Diskrit D Flip-Flop Menggunakan Teknologi CMOS 0.35 μm ." *PROSIDING SEMINAR NASIONAL & INTERNASIONAL*. Vol. 1. No. 1. 2018.
- [19] Y. Syamala, K. Srilakshmi and N. Somasekhar Varma, "Design of Low Power CMOS Logic Circuits Using Gate Diffusion Input (GDI) Technique", *International Journal of VLSI design & Communication Systems (VLSICS) Vol.4, No.5*, Oktober 2013.

- [20] Singh KJ, Sharan T, Tarunkumar H, “High Speed and Low Power Basic Digital Logic Gates, Half-Adder and Full-Adder Using Modified Gate Diffusion Input Technology”. 2018.
- [21] Singh S, Kaushik S, Augustine AA, Palanisamy S, “Low Power Mod 2 Synchronous Counter Design Using Modified Gate Diffusion Input Technique”, *Microelectronic Devices, Circuits and Systems [Internet]. Cham: Springer Nature Switzerland;* Maret 2022.
- [22] Rahman LF, Marufuzzaman M, Alam L, Mokhtar MB, “Design Topologies of a CMOS Charge Pump Circuit for Low Power Applications”, *Electronics* 13;10(6):676, Mar 2021.
- [23] Mala PS, Srigiri C, Kumar RJ, Vaddi S, “Implementation of Low Power LFSR’s Design through the use of GDI Method”, *Ind Jour of Publ Health Rese & Develop.* ;9(12):1486. 2019.
- [24] Sarkar S, Jain M, Saha A, Rathi A, “Gate Diffusion Input: A technique for fast digital circuits (implemented on 180 nm technology)”, *IOSRJVSP*;4(2):49–53, 2014.