

Comenzado el	jueves, 23 de mayo de 2024, 09:13
Estado	Finalizado
Finalizado en	jueves, 23 de mayo de 2024, 10:22
Tiempo empleado	1 hora 8 minutos
Calificación	7,67 de 10,00 (76,66%)
Comentario -	Se recuerda que este examen es compensable a partir de 4 puntos.

Pregunta **1**

Correcta

Se puntúa 0,30 sobre 0,30

Sean **a** y **b** dos vectores de **n** elementos, y sea el siguiente fragmento de programa escrito en C:

```
for (i = 0; i < n; i++)  
    a[i] = a[i] + b[i];
```

Indicar cuál de las siguientes afirmaciones es **CORRECTA**:

Seleccione una:

- ☐ a. Los accesos a los vectores no presentan localidad temporal ni localidad espacial.
- ☐ b. Los accesos a los vectores presentan localidad espacial pero no localidad temporal.
- ☐ c. Los accesos a los vectores presentan localidad temporal pero no localidad espacial.
- ☒ d. Los accesos a los vectores presentan tanto localidad temporal como localidad espacial. ✓

Respuesta correcta

La respuesta correcta es: Los accesos a los vectores presentan tanto localidad temporal como localidad espacial.

Pregunta **2**

Correcta

Se puntúa 0,30 sobre 0,30

Cuando en un chip de memoria pone $2^M \times N$, significa que en el interior de ese chip de memoria hay 2^M direcciones ✓, cada una de tamaño N ✓

Respuesta correcta

La respuesta correcta es:

Cuando en un chip de memoria pone $2^M \times N$, significa que en el interior de ese chip de memoria hay 2^M [direcciones], cada una de tamaño N [bits]

Pregunta 3

Parcialmente correcta

Se puntúa 0,81 sobre 1,00

Sea un computador con direcciones de 32 bits y datos de 32 bits que cuenta con una memoria principal direccionable a nivel de byte y accesible a nivel de palabra. Este computador cuenta con una memoria cache de datos de 128 bytes asociativa por conjuntos de 2 vías y 4 palabras por bloque.

Si la división en campos de una dirección de memoria desde el punto de vista del acceso a la memoria cache de datos es la siguiente:

Campo 1	Campo 2	Campo 3	...
31			0

(es decir, los campos se numeran de izquierda a derecha en orden creciente, y los bits de la dirección se numeran de izquierda a derecha en orden decreciente)

Se pide:

- Indicar cuántos campos hay en la dirección.
- Cuál es el número de campo de cada uno.
- Cuántos bits ocupa cada campo.
- Desde qué bit (por la izquierda) hasta qué bit (por la derecha) ocupa cada campo dentro de la dirección.

NOTAS:

- Se deberá arrastrar y soltar la opción correcta en cada caso.
- Si un campo no existe habrá que indicarlo, y además será preciso arrastrar la **X** sobre las casillas del número de bits que ocupa, desde cual y hasta cual.

RESPUESTA

Número de campos en la dirección: 4 ✓

Nombre del campo	Número de campo	Bits que ocupa	Desde el bit	Hasta el bit
Desplazamiento de byte	Campo 4 ✓	2 ✓	1 ✓	0 ✓
Desplazamiento de palabra	Campo 3 ✓	2 ✓	3 ✓	2 ✓
Etiqueta	Campo 1 ✓	24 ✗	31 ✓	8 ✗
Índice de bloque	No existe ✓	X ✓	X ✓	X ✓
Índice de conjunto	Campo 2 ✓	4 ✗	7 ✗	4 ✓

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26
27	28	29	30	31	X																					

Campo 5

Respuesta parcialmente correcta.

Ha seleccionado correctamente 17.

La respuesta correcta es:

Sea un computador con direcciones de 32 bits y datos de 32 bits que cuenta con una memoria principal direccionable a nivel de byte y accesible a nivel de palabra. Este computador cuenta con una memoria cache de datos de 128 bytes asociativa por conjuntos de 2 vías y 4 palabras por bloque.

Si la división en campos de una dirección de memoria desde el punto de vista del acceso a la memoria cache de datos es la siguiente:

Campo 1	Campo 2	Campo 3	...
31			0

(es decir, los campos se numeran de izquierda a derecha en orden creciente, y los bits de la dirección se numeran de izquierda a derecha en orden decreciente)

Se pide:

- Indicar cuántos campos hay en la dirección.

- Cuál es el número de campo de cada uno.
- Cuántos bits ocupa cada campo.
- Desde qué bit (por la izquierda) hasta qué bit (por la derecha) ocupa cada campo dentro de la dirección.

NOTAS:

- Se deberá arrastrar y soltar la opción correcta en cada caso.
- Si un campo no existe habrá que indicarlo, y además será preciso arrastrar la **X** sobre las casillas del número de bits que ocupa, desde cual y hasta cual.

RESPUESTA

Número de campos en la dirección: [4]

Nombre del campo	Número de campo	Bits que ocupa	Desde el bit	Hasta el bit
Desplazamiento de byte	[Campo 4]	[2]	[1]	[0]
Desplazamiento de palabra	[Campo 3]	[2]	[3]	[2]
Etiqueta	[Campo 1]	[26]	[31]	[6]
Índice de bloque	[No existe]	[X]	[X]	[X]
Índice de conjunto	[Campo 2]	[2]	[5]	[4]

Pregunta 4

Correcta

Se puntúa 0,30 sobre 0,30

Indicar cuál de las siguientes afirmaciones sobre memorias cache es **CORRECTA**:

Seleccione una:

- ☐ a. La política de escritura retardada (write-back) produce necesariamente más escrituras en memoria principal que la política de escritura a través (write-through).
- ☐ b. Las memorias cache completamente asociativas presentan muchos fallos de conflicto.
- ☒ c. La política de reemplazamiento LRU es muy costosa de implementar en la práctica. ✓
- ☐ d. Las memorias cache con correspondencia directa requieren un hardware más complejo que las totalmente asociativas.

La respuesta correcta es: La política de reemplazamiento LRU es muy costosa de implementar en la práctica.

Pregunta 5

Correcta

Se puntúa 0,30 sobre 0,30

Una memoria caché totalmente asociativa está llena. Al producirse un nuevo fallo de caché se selecciona para reemplazar el bloque menos recientemente utilizado de la caché. Por lo tanto, la **política de reemplazamiento** aplicada es:

Seleccione una:

- ☐ a. FIFO.
- ☐ b. Aleatoria.
- ☐ c. LFU.
- ☒ d. Ninguna de las restantes es la política de reemplazamiento aplicada. ✓

La respuesta correcta es: Ninguna de las restantes es la política de reemplazamiento aplicada.

Pregunta 6

Incorrecta

Se puntúa 0,00 sobre 0,30

En un sistema con una **memoria caché** de correspondencia directa con bloques de 4 palabras y política de escritura *write-through*, siendo el tiempo de acceso a una palabra de memoria principal 400 ms, **al desalojar de caché** un bloque en el que se modificaron tanto la segunda como la tercera palabra **se invierte en memoria principal** un tiempo de:

Seleccione una:

- ☐ a. 400 ms.
- ☐ b. 1600 ms.
- ☒ c. 0 ms. ✖
- ☐ d. Ninguno de los restantes tiempos.

La respuesta correcta es: Ninguno de los restantes tiempos.

Pregunta 7

Incorrecta

Se puntúa 0,00 sobre 0,30

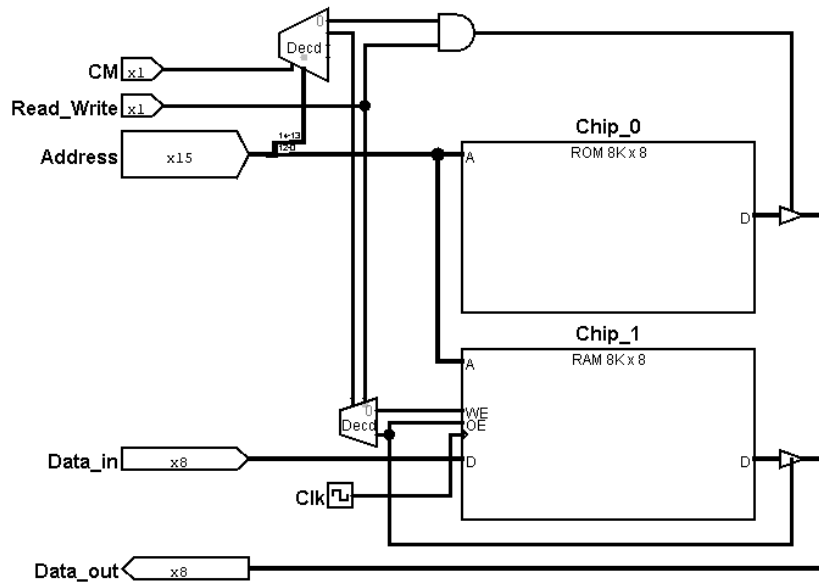
Indicar cuál de las siguientes afirmaciones relativas al sistema de memoria virtual es **CORRECTA**:

Seleccione una:

- ☐ a. La política de ubicación que provoca más fallos de página es la asociatividad total.
- ☐ b. El tamaño de las páginas debe ser suficientemente grande para amortizar el tiempo de acceso a disco.
- ☒ c. Ninguna de las restantes afirmaciones es correcta. ✖
- ☐ d. La política de escritura más recomendable es la de write-through.

La respuesta correcta es: El tamaño de las páginas debe ser suficientemente grande para amortizar el tiempo de acceso a disco.

Sea un computador que cuenta con la siguiente memoria principal:



El fichero [memoria_001.circ](#) contiene el circuito en el formato de fichero de Logisim Evolution.

Manipulando las señales **CM** (inicio de acceso a memoria), **Read_Write** (0 = escritura / 1: lectura), **Address** (dirección del acceso) y **Data_in** (dato de entrada para escritura en memoria) es posible realizar varias operaciones sobre la memoria (leer en la parte ROM y leer o escribir en la parte RAM). Si se realiza una lectura, el dato leído aparecerá en **Data_out**. Para realizar cualquier operación sobre la RAM es preciso provocar un flanco de subida en el reloj.

Pregunta 8

Parcialmente correcta

Se puntúa 1,38 sobre 2,00

Se pide rellenar la siguiente tabla con los valores adecuados en función de los accesos indicados en la primera columna (los accesos se realizarán en orden:

Acceso	CM	Read_Write	Address (binario 15 bits)	Data_in (binario 8 bits)	Data_out (binario 8 bits)	Chip accedido	Dirección dentro de (binario 13 bits)
Leer dato en dirección 0x1000	1 ✓	1 ✓	001000000000000 ✓	----	11010011 ✓	Chip 0 ✓	011111111010 ✗
Escribir dato 0x30 en dirección 0x3210	1 ✓	0 ✓	011001000010000 ✗	00110000 ✓	UUUUUUUU ✓	Chip 1 ✓	1001000001100 ✗
Escribir dato 0x4B en dirección 0x25CA	1 ✓	0 ✓	010010111001010 ✓	00101011 ✗	UUUUUUUU ✓	Chip 1 ✓	0010111001000 ✗
Leer dato en dirección 0x3210	1 ✓	1 ✓	011001000010000 ✗	----	00110000 ✓	Chip 0 ✗	1001000001100 ✗

Pregunta **9**

Correcta

Se puntúa 0,30 sobre 0,30

Indicar cuál de las siguientes afirmaciones relativas a la política de arbitraje de bus en serie es **FALSA**:

Seleccione una:

- ☐ a. Ninguna de las restantes afirmaciones es falsa.
- ☒ b. Garantiza la imparcialidad. ✓
- ☐ c. Limita la velocidad del bus.
- ☐ d. La prioridad de uso queda determinada por el orden de conexión de los dispositivos.

La respuesta correcta es: Garantiza la imparcialidad.

Pregunta **10**

Correcta

Se puntúa 0,30 sobre 0,30

Indicar cuál de las siguientes afirmaciones sobre discos duros es **CIERTA**:

Seleccione una:

- ☒ a. Las pistas que están en la misma posición en un disco duro forman cilindros. ✓
- ☐ b. Los sectores de las pistas más cercanas al centro se leen más rápido que los de las pistas más lejanas.
- ☐ c. En un acceso a disco, lo que más tiempo tarda es la operación de transferencia de los datos.
- ☐ d. Cuando se quiere acceder a un sector del disco, el disco siempre debe girar media vuelta.

La respuesta correcta es: Las pistas que están en la misma posición en un disco duro forman cilindros.

Pregunta **11**

Correcta

Se puntúa 0,30 sobre 0,30

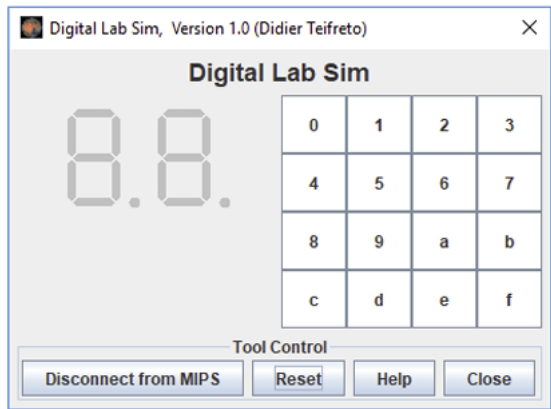
En un periférico con E/S por interrupciones:

Seleccione una:

- ☐ a. Existe una rutina de tratamiento del maestro del bus.
- ☐ b. Ninguna de las restantes respuestas es correcta.
- ☒ c. El procesador realiza la transferencia de los datos. ✓
- ☐ d. La memoria actúa como maestro del bus.

La respuesta correcta es: El procesador realiza la transferencia de los datos.

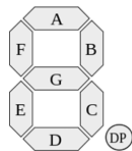
El aspecto del **Digital Lab Sim** de **MARS** es el siguiente:



Los registros asociados al mismo, sus funcionalidades y sus direcciones se indican en la siguiente tabla:

Dirección	Función	Elemento asociado
0xFFFF0010	Registro de datos	Visualizador de 7 segmentos derecho
0xFFFF0011	Registro de datos	Visualizador de 7 segmentos izquierdo
0xFFFF0012	Registro de control	Teclado hexadecimal
0xFFFF0013	Registro de control	Contador
0xFFFF0014	Registro de datos	Teclado hexadecimal

Las patillas de los visualizadores de 7 segmentos se nombran del siguiente modo:



Pregunta 12

Incorrecta

Se puntúa 0,00 sobre 0,30

Si tenemos previamente cargada la dirección base del visualizador de 7 segmentos de la izquierda en el registro \$t0, ¿cuál será la secuencia de código que escribirá el número 5 en dicho visualizador?

Seleccione una:

- ☐ a. Ninguna de las restantes respuestas es cierta.
- ☒ b. li \$t1,5 ✗
sb \$t1,0(\$t0)
- ☐ c. li \$t1,109
sb \$t1,0(\$t0)
- ☐ d. li \$t1,0×05
sb \$t1,0(\$t0)

Respuesta incorrecta.

La respuesta correcta es:

li \$t1,109
sb \$t1,0(\$t0)

Información

Los registros del teclado hexadecimal se codifican del siguiente modo:

	7	6	5	4	3	2	1	0
Dirección: 0xFFFF0012	IE						FILA CONSULTADA	
	7	6	5	4	3	2	1	0
Dirección: 0xFFFF0014							COLUMNA PULSADA	FILA PULSADA

Pregunta 13

Incorrecta

Se puntúa 0,00 sobre 0,30

Indicar cuál de las siguientes afirmaciones sobre el **teclado hexadecimal** del **Digital Lab Sim** es **CIERTA**:

Seleccione una:

- ☐ a. Cuando el teclado hexadecimal genera una interrupción, es preciso chequear las filas hasta encontrar cuál es la tecla pulsada.
- ☐ b. El chequeo de las filas del teclado sólo hay que hacerlo si se utiliza la técnica de sondeo o *polling*.
- ☐ c. Para generar una interrupción al pulsar una tecla basta con haber escrito antes un valor distinto de 0 en el registro de control del teclado hexadecimal.
- ☒ d. Siempre que se pulse una tecla se genera una interrupción. ✗
- ☐ e. Ninguna de las restantes respuestas es cierta.

Respuesta incorrecta.

La respuesta correcta es: Cuando el teclado hexadecimal genera una interrupción, es preciso chequear las filas hasta encontrar cuál es la tecla pulsada.

Pregunta 14

Correcta

Se puntúa 0,30 sobre 0,30

Indicar cuál de las siguientes afirmaciones sobre el camino de datos de **MIPS segmentado** es **FALSA**:

Seleccione una:

- ☐ a. Para saber si un salto condicional es efectivo o no, basta con conocer el valor de la condición de salto.
- ☒ b. La técnica de bloqueo es la más sencilla y eficiente para resolver riesgos de control. ✓
- ☐ c. El salto retardado queda oculto a los ojos del programador, ya que es el traductor de ensamblador quien se encarga de rellenar el hueco de salto.
- ☐ d. La técnica de predicción de salto consiste en tomar una decisión anticipada sobre si un cierto salto es efectivo o no, y después continuar con la segmentación si la predicción fue correcta y suspender las instrucciones que han entrado indebidamente en el cauce si la predicción fue errónea.

La respuesta correcta es: La técnica de bloqueo es la más sencilla y eficiente para resolver riesgos de control.

Pregunta 15

Correcta

Se puntúa 0,30 sobre 0,30

Indicar cuál de las siguientes **NO** es una acción válida enfocada a resolver un riesgo estructural en un **camino de datos segmentado**:

Seleccione una:

- ☐ a. Fraccionar el ciclo de reloj.
- ☒ b. Aumentar el ciclo de reloj para permitir varios usos del elemento en un único ciclo. ✓
- ☐ c. Replicar el elemento que produce el riesgo para evitar la burbuja.
- ☐ d. Introducir una burbuja en el cauce

La respuesta correcta es: Aumentar el ciclo de reloj para permitir varios usos del elemento en un único ciclo.

Pregunta 16

Correcta

Se puntúa 0,30 sobre 0,30

Indicar cuál de las siguientes dependencias de datos **PRODUCE riesgos** en un **cauce segmentado** que no incorpore operaciones multiciclo:

Seleccione una:

- ☐ a. Write After Write.
- ☐ b. Read After Read.
- ☐ c. Write After Read.
- ☒ d. Ninguna de las restantes dependencias produce riesgos en un cauce segmentado que no incorpore operaciones multiciclo. ✓

La respuesta correcta es: Ninguna de las restantes dependencias produce riesgos en un cauce segmentado que no incorpore operaciones multiciclo.

Pregunta **17**

Correcta

Se puntúa 0,30 sobre 0,30

Indicar cuál de las siguientes **NO** es un tipo de instrucción válida para rellenar un **hueco de retardo** cuando se utiliza la técnica de **salto retardado** para resolver un **riesgo de control**:

Seleccione una:

- ☐ a. Instrucción nop.
- ☐ b. Tipo R.
- ☒ c. Bifurcación. ✓
- ☐ d. Carga/almacenamiento.

La respuesta correcta es: Bifurcación.

Pregunta **18**

Correcta

Se puntúa 0,30 sobre 0,30

Indicar cuál de las siguientes afirmaciones relativas al **paralelismo a nivel de instrucción** (ILP) es **FALSA**:

Seleccione una:

- ☐ a. Los procesadores VLIW son capaces de realizar emisión múltiple.
- ☒ b. Los procesadores vectoriales son capaces de realizar emisión múltiple. ✓
- ☐ c. Los procesadores superescalares son capaces de realizar emisión múltiple
- ☐ d. Los procesadores que ejecutan multithreading simultáneo (SMT) son capaces de realizar emisión múltiple.

La respuesta correcta es: Los procesadores vectoriales son capaces de realizar emisión múltiple.

Información

Sea el siguiente fragmento de código:

```
(i1)    lw    $s2,0($s1)
(i2)    addi  $s3,$s2,40
(i3)    sw    $s3,0($s1)
```

Pregunta 19

Parcialmente correcta

Se puntúa 0,97 sobre 1,00

Rellenar el cronograma de ejecución de dicho fragmento de código, suponiendo que se ejecuta en un camino de datos segmentado con las siguientes características:

- Fases de la instrucción: IF-ID-EX-MEM-WB, todas con un ciclo de duración.
- La escritura en el banco de registros se produce en la primera mitad del ciclo, mientras que la lectura se produce en el segundo.
- No incorpora adelantamiento.
- No incorpora salto retardado.
- Se produce predicción de salto no efectivo, con el cálculo de la información de salto en el ciclo ID.

NOTAS:

- Arrastrar sobre cada casilla la fase que corresponda (IF, ID, EX, MEM, WB).
- No dejar ninguna casilla vacía: sobre las casillas que no correspondan con ninguna fase se pondrá "---".

	1	2	3	4	5	6	7	8	9	10	11	12
(i1) lw \$s2,0(\$s1)	IF ✓	ID ✓	EX ✓	MEM ✓	WB ✓	--- ✓	--- ✓	--- ✓	--- ✓	--- ✓	--- ✓	--- ✓
(i2) addi \$s3,\$s2,40	--- ✓	IF ✓	ID ✓	ID ✓	ID ✓	EX ✓	MEM ✓	WB ✓	--- ✓	--- ✓	--- ✓	--- ✓
(i3) sw \$s3,0(\$s1)	--- ✓	--- ✓	IF ✓	IF ✓	IF ✓	ID ✓	ID ✓	ID ✓	EX ✓	MEM ✓	--- ✗	--- ✓

Respuesta parcialmente correcta.

Ha seleccionado correctamente 35.

La respuesta correcta es:

Rellenar el cronograma de ejecución de dicho fragmento de código, suponiendo que se ejecuta en un camino de datos segmentado con las siguientes características:

- Fases de la instrucción: IF-ID-EX-MEM-WB, todas con un ciclo de duración.
- La escritura en el banco de registros se produce en la primera mitad del ciclo, mientras que la lectura se produce en el segundo.
- No incorpora adelantamiento.
- No incorpora salto retardado.
- Se produce predicción de salto no efectivo, con el cálculo de la información de salto en el ciclo ID.

NOTAS:

- Arrastrar sobre cada casilla la fase que corresponda (IF, ID, EX, MEM, WB).
- No dejar ninguna casilla vacía: sobre las casillas que no correspondan con ninguna fase se pondrá "---".

	1	2	3	4	5	6	7	8	9	10	11	12
(i1) lw \$s2,0(\$s1)	[IF]	[ID]	[EX]	[MEM]	[WB]	[---]	[---]	[---]	[---]	[---]	[---]	[---]
(i2) addi \$s3,\$s2,40	[---]	[IF]	[ID]	[ID]	[ID]	[EX]	[MEM]	[WB]	[---]	[---]	[---]	[---]
(i3) sw \$s3,0(\$s1)	[---]	[---]	[IF]	[IF]	[IF]	[ID]	[ID]	[ID]	[EX]	[MEM]	[WB]	[---]

Pregunta **20**

Correcta

Se puntúa 0,30 sobre 0,30

Indicar cuál de los siguientes **NO** es uno de los problemas que aparecen cuando se trata de utilizar el *hardware* paralelo eficientemente:

Seleccione una:

- ☐ a. Partición del problema.
- ☒ b. Tamaño del mapa de memoria. ✓
- ☐ c. Sobrecarga de comunicaciones.
- ☐ d. Coordinación entre procesadores.

La respuesta correcta es: Tamaño del mapa de memoria.

Pregunta **21**

Incorrecta

Se puntúa 0,00 sobre 0,30

La principal característica de un multiprocesador NUMA es que:

Seleccione una:

- ☒ a. Ninguna de las restantes es la principal característica de este tipo de sistemas. ✗
- ☐ b. En función del procesador que hace la referencia y la palabra referenciada, el acceso a disco puede ser más o menos rápido.
- ☐ c. En función del procesador que hace la referencia y la palabra referenciada, el acceso al bus puede ser más o menos rápido.
- ☐ d. En función del procesador que hace la referencia y la palabra referenciada, el acceso a memoria puede ser más o menos rápido.

La respuesta correcta es: En función del procesador que hace la referencia y la palabra referenciada, el acceso a memoria puede ser más o menos rápido.

Pregunta **22**

Correcta

Se puntúa 0,30 sobre 0,30

Los algoritmos de coherencia de caché se implementan en:

Seleccione una:

- ☐ a. En ninguno de los sistemas mencionados en las restantes opciones.
- ☒ b. En multiprocesadores de memoria compartida. ✓
- ☐ c. Multiprocesadores de memoria distribuida.
- ☐ d. En multiprocesadores formados por varias GPUs.

La respuesta correcta es: En multiprocesadores de memoria compartida.