

Projeto e Implementação de um Contador Síncrono Módulo 7 Crescente e Decrescente

Hemanuela Gabriela Gutierrez Fernandes¹,
Luís Miguel Taborda Fialho¹,
Maykon Kazuhiro Falcão Tamanaha¹

¹Universidade Federal de Mato Grosso do Sul (UFMS) –

¹ Faculdade de Computação (Facom)

Campo Grande – MS – Brasil

`hemanuela.fernandes@ufms.br, luis.taborda@ufms.br, maykon.kazuhiro@ufms.br`

Abstract. *This paper presents the design and implementation of a synchronous up/down modulo-7 counter. The project was developed by deriving the logic equations from truth tables and Karnaugh maps. The resulting circuit was then built and simulated using the Logisim software to verify its correct operation according to the proposed counting sequence (0 to 6 upwards, and 6 to 0 downwards).*

Resumo. *Este artigo apresenta o projeto e a implementação de um contador síncrono módulo 7 com capacidade de contagem crescente e decrescente. O projeto foi desenvolvido a partir da derivação das equações lógicas obtidas por meio de tabelas verdade e mapas de Karnaugh. O circuito resultante foi então construído e simulado utilizando o software Logisim para verificar seu correto funcionamento conforme a sequência de contagem proposta (0 a 6 na forma crescente, e 6 a 0 na forma decrescente).*

1. Introdução

Este trabalho apresenta o projeto e a simulação de um contador síncrono módulo 7, com capacidade de contagem crescente e decrescente. O foco é didático, visando consolidar conhecimentos sobre circuitos sequenciais, essenciais em Sistemas Digitais e amplamente aplicados na Engenharia de Computação.

O objetivo foi implementar corretamente o contador, aplicando teoria de circuitos lógicos sequenciais. A metodologia envolveu a elaboração das tabelas verdade para ambos os modos de operação, uso de flip-flops JK, e minimização das funções de excitação via mapas de Karnaugh. Foram utilizadas ferramentas como planilhas para organização, o site *sublime.tools* para simplificação lógica, e o Logisim com a biblioteca “7400 series Logisim library from Ben Oztalay” para simulação do circuito. A validação foi realizada por simulações, comprovando a sequência correta de contagem.

O estudo reforçou a compreensão dos desafios no projeto de contadores bidirecionais, desde a definição das tabelas verdade até a implementação e interligação dos elementos do circuito digital.

2. Fundamentação Teórica

Esta seção apresenta os conceitos teóricos que orientaram o projeto e a implementação do contador síncrono módulo 7, com capacidade de contagem crescente e decrescente. A compreensão destes elementos é fundamental para a análise de circuitos sequenciais em Sistemas Digitais.

2.1. Contadores Síncronos

Em um contador síncrono, todos os flip-flops constituintes recebem o mesmo sinal de clock simultaneamente. Esta característica assegura que todas as transições de estado dos flip-flops ocorram, idealmente, no mesmo instante de tempo, sincronizadas pela borda ativa do clock ([Tokheim 2007]). Esta sincronia é crucial para a previsibilidade e o desempenho do circuito.

2.2. Flip-Flops JK

Flip-flops são elementos fundamentais dos circuitos sequenciais, capazes de armazenar 1 bit e cuja saída depende do estado anterior e das entradas [Floyd 2014].

Flip-flops são elementos fundamentais dos circuitos sequenciais, capazes de armazenar 1 bit e cuja saída depende do estado anterior e das entradas. Neste projeto, utilizou-se o flip-flop JK, pela sua versatilidade e seus quatro modos de operação, controlados pelas entradas J (Jam ou Set) e K (Kill ou Reset), quando um pulso de clock ativo é aplicado:

- **J=0, K=0 (Manutenção/Hold):** A saída Q permanece no seu estado atual $Q_p = Q_a$.
- **J=0, K=1 (Reset):** A saída Q vai para 0, independentemente do estado anterior $Q_p = 0$.
- **J=1, K=0 (Set):** A saída Q vai para 1, independentemente do estado anterior $Q_p = 1$.
- **J=1, K=1 (Comutação/Toggle):** A saída Q inverte o seu estado atual $Q_p = \overline{Q_a}$.

Assim como a tabela de excitação para o flip-flop JK:

Tabela 1. Tabela de excitação do flip-flop JK

Q_a (Atual)	Q_p (Próximo)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

2.3. Tabela Verdade

A tabela verdade é uma ferramenta fundamental no projeto de circuitos lógicos sequenciais. Para o contador síncrono módulo 7 crescente/decrescente, a tabela verdade foi utilizada para especificar exaustivamente o comportamento desejado do circuito. Ela lista todas as combinações possíveis das variáveis de entrada, que incluem:

- A entrada de controle de direção D.

- O estado atual do contador (representado pelas saídas Qa_2 , Qa_1 e Qa_0 dos três flip-flops JK).
- O próximo estado do contador (representado pelas saídas Qf_2 , Qf_1 e Qf_0 dos três flip-flops JK).

Para cada uma dessas combinações, a tabela verdade específica:

- As entradas de excitação (J e K para cada um dos três flip-flops JK) são necessárias para provocar a transição do estado atual para o próximo estado desejado, conforme a tabela de excitação do flip-flop JK.

2.4. Mapas de Karnaugh

O Mapa de Karnaugh (K-map) é um método gráfico para simplificar expressões lógicas booleanas. Após definir a tabela verdade e as entradas de excitação dos flip-flops (J e K), os K-maps são usados para encontrar as expressões minimizadas para cada entrada (e.g., J_2 , K_2 , J_1 , K_1 , J_0 , K_0). O processo consiste em transferir os valores da tabela verdade para o mapa e agrupar os '1's e 'X's (condições "don't care") adjacentes em potências de 2. A minimização reduz o número de portas lógicas e/ou suas entradas, resultando em menor custo, consumo e, potencialmente, maior velocidade do circuito devido à redução de atrasos [Tokheim 2007].

3. Desenvolvimento do Contador

O desenvolvimento do contador partiu do funcionamento do flip-flop JK. Primeiramente, elaborou-se a tabela verdade para determinar as entradas J e K de cada flip-flop com base nos estados atual e futuro. Em seguida, Mapas de Karnaugh foram empregados para obter as expressões booleanas minimizadas para essas entradas. Finalmente, o circuito digital foi construído no software Logisim [Burch 2014], utilizando a biblioteca 7400 Series Logisim Library (de Ben Oztalay) [Oztalay 2011] para implementar as expressões minimizadas.

3.1. Definição das Especificações

O contador de três bits proposto foi projetado para representar, de forma cíclica, os valores inteiros de 0 a 6, possibilitando tanto a contagem ascendente quanto a descendente. Para isso, utiliza-se uma linha de controle D , a qual define a direção da contagem, crescente se $D = 0$ e decrescente se $D = 1$.

Como são necessários três bits para representar os sete estados (de 0 a 6), foram utilizados três flip-flops JK. O estado binário 111 (decimal 7) é evitado no projeto, permanecendo fora do ciclo de contagem.

3.1.1. Componentes Utilizados no Circuito

O circuito foi implementado com os seguintes componentes:

- **2 Flip-flop JK duplo (CI 7476):** cada CI contém dois flip-flops JK. No total, três flip-flops foram utilizados (um ficou inutilizado).
- **9 portas lógicas AND (CI 7408):** usadas para compor expressões lógicas que controlam as entradas J e K dos flip-flops.

- **8 portas lógicas NOT (CI 7404):** utilizadas para obter os complementos lógicos necessários nas expressões.
- **5 portas lógicas OR (CI 7432):** responsáveis por combinar os termos gerados pelas portas AND.
- **1 sinal de clock:** responsável por sincronizar as transições de estado dos flip-flops a cada pulso.
- **1 entrada de controle D :** define o sentido da contagem (crescente ou decrescente).
- **1 terminal V_{CC} e 1 terminal GND:** fornecem alimentação elétrica ao circuito.
- **1 Decodificador binário para decimal (CI 7448):** converte a saída binária dos flip-flops em sinais adequados para o display.
- **1 display de 7 segmentos:** exibe o valor atual da contagem de forma visual e legível.

Dessa forma, o circuito realiza a contagem de forma automática e controlada por clock, exibindo os valores de 0 a 6 em ordem crescente ou decrescente, conforme o sinal de controle. A lógica combinacional garante a transição correta entre os estados e evita que o estado inválido (7) seja alcançado.

3.2. Tabela Verdade e Equações Lógicas

Inicialmente foi feita a tabela verdade dos Flip-flops e entradas que iriam ser usadas no circuito, como apresentado na tabela a seguir:

Tabela 2. Tabela da verdade para a entrada D e valores de Q_2 , Q_1 e Q_0 atuais e próximos, e os valores para cada J e K

D	Qa_2	Qa_1	Qa_0	Qp_2	Qp_1	Qp_0	$J2$	$K2$	$J1$	$K1$	$J0$	$K0$
0	0	0	0	0	0	1	0	X	0	X	1	X
0	0	0	1	0	1	0	0	X	1	X	X	1
0	0	1	0	0	1	1	0	X	X	0	1	X
0	0	1	1	1	0	0	1	X	X	1	X	1
0	1	0	0	1	0	1	X	0	0	X	1	X
0	1	0	1	1	1	0	X	0	1	X	X	1
0	1	1	0	0	0	0	X	1	X	1	0	X
1	0	0	0	1	1	0	1	X	1	X	0	X
1	0	0	1	0	0	0	0	X	0	X	X	1
1	0	1	0	0	0	1	0	X	X	1	1	X
1	0	1	1	0	1	0	0	X	X	0	X	1
1	1	0	0	0	1	1	X	1	1	X	1	X
1	1	0	1	1	0	0	X	0	0	X	X	1
1	1	1	0	1	0	1	X	0	X	1	1	X

Logo depois, foram feitos os Mapas de Karnaugh para os valores de J e K , e com isso também obtivemos as equações lógicas para cada J e K como mostrado na imagem e na tabela a seguir:



Figura 1. Imagem dos Mapas de Karnaugh dos valores de J e K

Tabela 3. Equações Lógicas de J e K

	Equações lógicas
J_2	$Q_1 \cdot Q_0 \cdot \overline{D} + \overline{Q_1} \cdot \overline{Q_0} \cdot D$
K_2	$Q_1 \cdot \overline{D} + \overline{Q_1} \cdot Q_0 \cdot D$
J_1	$Q_0 \cdot \overline{D} + \overline{Q_0} \cdot D$
K_1	$Q_2 + Q_0 \cdot \overline{D} + \overline{Q_0} \cdot D$
J_0	$Q_2 \cdot D + Q_2 \cdot Q_1 + \overline{Q_1} \cdot \overline{D}$
K_0	1

3.3. Implementação no Logisim

Com as expressões booleanas minimizadas das entradas J e K dos flip-flops, o circuito foi implementado no *Logisim*, utilizando a biblioteca "7400 Series Logisim Library" de Ben Oztalay, que simula fielmente os CIs da família TTL 7400.

Para melhor organização, o projeto foi dividido em quatro subcircuitos principais:

- **main:** circuito principal com os flip-flops JK (Q_0 , Q_1 , Q_2), controle de direção (D), clock, CI 7448 e display de 7 segmentos.
- **J0 e K0:** implementa as expressões de J_0 e K_0 .
- **J1 e K1:** responsável pelas expressões de J_1 e K_1 .
- **J2 e K2:** implementa as expressões de J_2 e K_2 .

Todos os subcircuitos utilizam portas lógicas da biblioteca, com conexões feitas via *pins*, garantindo modularidade e clareza.

4. Resultados e Simulação

Para a realização dos testes é importante notar que quando o valor de D for 0, o contador será crescente, caso tenha o valor 1 será decrescente. Ambos possuem a possibilidade de começar a contagem dos números em 0. Além disso, o clock com bordas de subida aciona os flip-flops para o contador evoluir sua contagem [circuito github 2025].

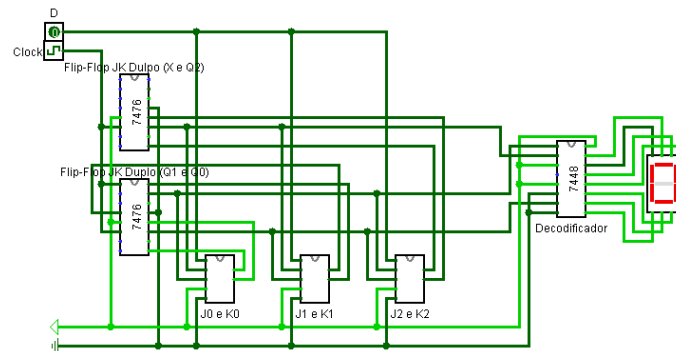


Figura 2. Imagem do circuito para o contador

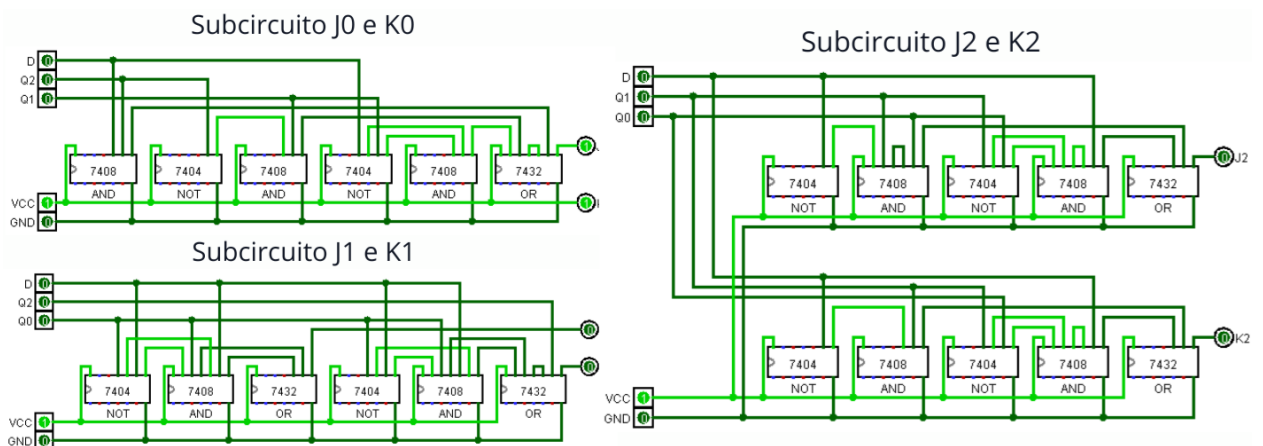


Figura 3. Imagem dos subcircuitos para J e K

5. Conclusão

A implementação do contador síncrono módulo 7 permitiu consolidar conhecimentos sobre circuitos sequenciais, especialmente no uso de flip-flops JK e tabelas de excitação. O projeto destacou a importância do controle síncrono e da definição cuidadosa dos estados. A simulação no Logisim confirmou a funcionalidade do circuito e a relevância das ferramentas de modelagem em sistemas digitais.

Referências

- Burch, C. (2014). Logisim. <http://www.cburch.com/logisim/>. Acessado em: 31 de maio de 2025.
- circuito github (2025). Projeto de contador digital - logisim. https://github.com/maykon1313/Faculdade/tree/main/3_Semestre/Sistemas_Digitais/Logisim. Disponível no GitHub.
- Floyd, T. L. (2014). *Digital Fundamentals*. Pearson Education, 11th edition.
- Oztalay, B. (2011). 7400 series logisim library. <https://www.cburch.com/logisim/links.html>. Acessado em: 31 de maio de 2025.
- Tokheim, R. L. (2007). *Digital Electronics: Principles and Applications*. McGraw-Hill.