

LAB 4



INE5411 - Organização de Computadores I

Nome: Maykon Marcos Junior

Matrícula: 22102199

Exercício 1

Qual foi a taxa final de acertos do cache?

- R: Com 8 blocos e 4 words por bloco a taxa de acerto foi 75%, pois a memória cache não é reservada para esse programa antes da execução, então na primeira vez que o processador tentar requisitar algo da memória cache, não vai estar lá, exigindo chamar um bloco da memória principal. Porém, como cada bloco tem mais de uma word, as próximas 3 iterações estarão lá.

Dada essa explicação (acima), qual será a taxa de acertos se o tamanho do bloco for aumentado de 4 para 8 words?

- R: $7/8 \approx 87\%$. pois, como explicado, sempre que houver miss, um bloco de 8 words será carregado, logo os próximos 7 sempre estarão lá

E se for diminuído de 4 words para 2 words?

- R: 50%, pois a cada miss ele trará duas words para a cache

Considerações:

- Inicialmente, não há nada armazenado na cache, então os primeiros acessos sempre errarão. Mas, como essa matriz é lida linha por linha, os próximos slots requisitados estarão no bloco já chamado e não será necessário requisitar uma nova chamada a memória principal

4 words/bloco:


Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy	Direct Mapping	Number of blocks	16
Block Replacement Policy	Random	Cache block size (words)	4
Set size (blocks)	1	Cache size (bytes)	256

Cache Performance


Memory Access Count	258	Cache Block Table (block 0 at top) <input type="checkbox"/> = empty <input checked="" type="checkbox"/> = hit <input checked="" type="checkbox"/> = miss	
Cache Hit Count	192		
Cache Miss Count	66		
Cache Hit Rate	74%		

Runtime Log

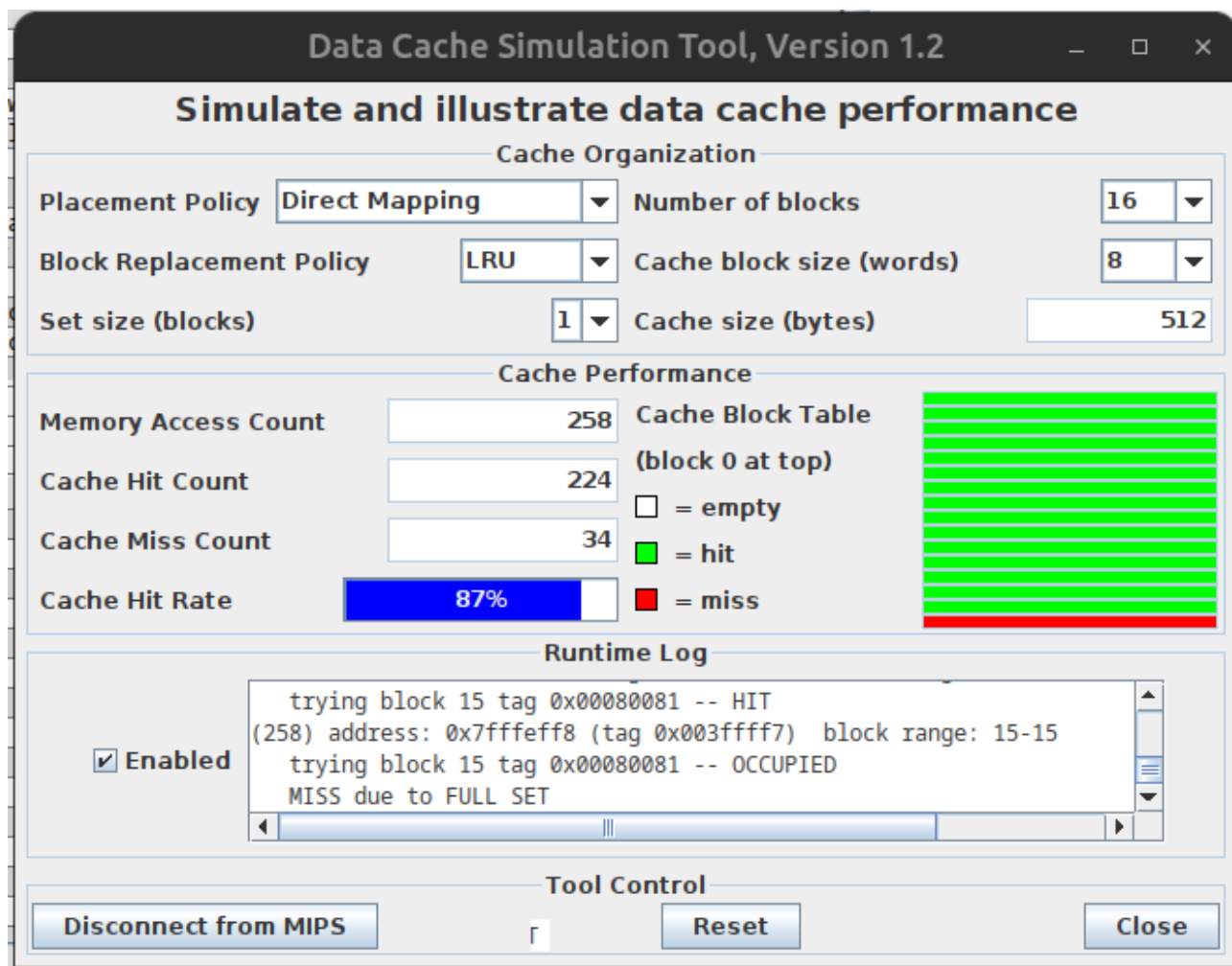
☒ Enabled

```
trying block 15 tag 0x00100103 -- HIT
(258) address: 0x7fffeff8 (tag 0x007fffeff) block range: 15-15
trying block 15 tag 0x00100103 -- OCCUPIED
MISS due to FULL SET
```

Tool Control

Disconnect from MIPS  Reset Close

8 words/bloco:



2 words/bloco:

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy
Direct Mapping
Number of blocks
8

Block Replacement Policy
LRU
Cache block size (words)
2

Set size (blocks)
1
Cache size (bytes)
64

Cache Performance

Memory Access Count
258
Cache Hit Count
128
Cache Miss Count
130
Cache Hit Rate
50%

Cache Block Table

(block 0 at top)

☐ = empty
☒ = hit
☐ = miss

Runtime Log

☒ Enabled

MISS due to FULL SET(257) address: 0x100103fc (tag 0x0040040f) blo
trying block 7 tag 0x0040040f -- HIT
(258) address: 0x7fffeff8 (tag 0x01ffffbf) block range: 7-7
trying block 7 tag 0x0040040f -- OCCUPIED
MISS due to FULL SET

Tool Control

Disconnect from MIPS
Reset
Close

1 words/bloco:

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy
Direct Mapping
Number of blocks
8

Block Replacement Policy
LRU
Cache block size (words)
1

Set size (blocks)
1
Cache size (bytes)
32

Cache Performance

Memory Access Count
258
Cache Block Table

(block 0 at top)

☐ = empty
☒ = hit
☒ = miss

Cache Hit Count
0

Cache Miss Count
258

Cache Hit Rate
0%

Runtime Log

☒ Enabled

MISS due to FULL SET(257) address: 0x100103fc (tag 0x0080081f) blo
trying block 7 tag 0x0080081e -- OCCUPIED
MISS due to FULL SET(258) address: 0x7fffeff8 (tag 0x03ffff7f) blo
trying block 6 tag 0x0080081f -- OCCUPIED
MISS due to FULL SET

Tool Control

Disconnect from MIPS
Reset
Close

256 words/bloco:

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: Direct Mapping Number of blocks: 8

Block Replacement Policy: LRU Cache block size (words): 256

Set size (blocks): 1 Cache size (bytes): 8192

Cache Performance

Memory Access Count: 258 Cache Block Table (block 0 at top)

Cache Hit Count: 256 ☐ = empty

Cache Miss Count: 2 ☒ = hit

Cache Hit Rate: 99% ☒ = miss

Runtime Log

☒ Enabled

```
trying block 0 tag 0x00008008 -- HIT
(258) address: 0x7fffeff8 (tag 0x0003ffff) block range: 3-3
trying block 3 tag 0x0003ffff -- HIT
```

Tool Control

Disconnect from MIPS Reset Close

1 dos erros é pelo processo de salvar a variável temporária na stack, embora isso não seja necessário nesse programa.

Exercício 2

Repita a mesma simulação para o exercício 2 do Laboratório 03: com 08 blocos, tendo 4 words por bloco.

Qual foi o desempenho do cache para este programa?

- 0%, nenhum acerto, pois, além do erro causado por não haver nada pré-colocado na cache, sempre que um bloco é trazido, ele não contém os próximos slots que serão requisitados

Qual é o desempenho do cache da primeira instância da ferramenta original?

- Continua 0%, pois a cache não é reservada para esse programa, então o processador simulado ainda precisa chamar a matriz bloco por bloco (e substituir blocos que ainda seriam usados) para a memória cache. E, como só um elemento por bloco é lido por vez, a cache vai receber 8 blocos, ler um slot de cada um, e então substituir todos os 8 antes de terminar 1 coluna, levando a 0 acertos.

Qual é o desempenho do cache da segunda instância da ferramenta?

- $\approx 93\%$. O miss acontece sempre que precisa chamar um novo bloco (já que o programa não chama a matriz de uma vez só para a memória cache), mas um bloco já chamado continuará até o fim do programa (pois a matriz inteira cabe na cache)

4 words / bloco:

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: **Direct Mapping** Number of blocks: **8**

Block Replacement Policy: **LRU** Cache block size (words): **4**

Set size (blocks): **1** Cache size (bytes): **128**

Cache Performance

Memory Access Count: **258** Cache Block Table (block 0 at top)

Cache Hit Count: **0** ☐ = empty

Cache Miss Count: **258** ☒ = hit

Cache Hit Rate: **0%** ☒ = miss

Runtime Log

☐ Enabled

Tool Control

Disconnect from MIPS **Reset** **Close**

16 words / bloco e 8 blocos x 16 words / bloco e 16 blocos:

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: **Direct Mapping** Number of blocks: **8**

Block Replacement Policy: **LRU** Cache block size (words): **16**

Set size (blocks): **1** Cache size (bytes): **512**

Cache Performance

Memory Access Count: **258** Cache Block Table (block 0 at top)

Cache Hit Count: **0** ☐ = empty

Cache Miss Count: **258** ☒ = hit

Cache Hit Rate: **0%** ☒ = miss

Runtime Log

☐ Enabled

Tool Control

Disconnect from MIPS **Reset** **Close**

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: **Direct Mapping** Number of blocks: **16**

Block Replacement Policy: **LRU** Cache block size (words): **16**

Set size (blocks): **1** Cache size (bytes): **1024**

Cache Performance

Memory Access Count: **258** Cache Block Table (block 0 at top)

Cache Hit Count: **240** ☐ = empty

Cache Miss Count: **18** ☒ = hit

Cache Hit Rate: **93%** ☒ = miss

Runtime Log

☐ Enabled

Tool Control

Disconnect from MIPS **Reset** **Close**

16 words / bloco e 32 blocos:

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement Policy: **Direct Mapping** Number of blocks: **16**

Block Replacement Policy: **LRU** Cache block size (words): **32**

Set size (blocks): **1** Cache size (bytes): **2048**

Cache Performance

Memory Access Count: **258** Cache Block Table (block 0 at top)

Cache Hit Count: **249**

Cache Miss Count: **9**

Cache Hit Rate: **97%**

☐ = empty ☒ = hit ☐ = miss

Runtime Log

☐ Enabled

Tool Control

Disconnect from MIPS **Reset** **Close**

256 words / bloco:

Simulate and illustrate data cache performance**Cache Organization**

Placement Policy	Direct Mapping ▼	Number of blocks	8 ▼
Block Replacement Policy	LRU ▼	Cache block size (words)	256 ▼
Set size (blocks)	1 ▼	Cache size (bytes)	8192

Cache Performance

Memory Access Count	258	Cache Block Table	
Cache Hit Count	256	(block 0 at top)	
Cache Miss Count	2	<input type="checkbox"/> = empty	
Cache Hit Rate	99%	<input checked="" type="checkbox"/> = hit	
		<input type="checkbox"/> = miss	

Runtime Log☐ Enabled**Tool Control**

Disconnect from MIPS

Reset

Close