

# SIR - LAB2 - RSLogix

Michał Bagiński

listopad 2020

## 1 Zadanie 9.2

Układy z podpunktu a) oraz b) to typowe przykłady układu RS - w przypadku RSLogix występuje inne nazewnictwo niż to typowo używane:

- bit SET to LATCH,
- bit RESET to UNLATCH.

W układzie a) w momencie podania stanu wysokiego na bit *I1.4*, na wyjściu *Q2.3* również pojawia się stan wysoki i zostaje on zapamiętany. Gdy stan wysoki pojawia się na bicie *I1.5* jak sama nazwa wskazuje stan *Q2.3* zostaje resetowany do 0.

Układ z podpunktu b) działa analogicznie lecz tym razem jako pierwszy od góry jest ustawiony bit wejściowy z wyjściem wskazującym na reset. Zmienia to kolejność wykonywania operacji - choć same operacje pozostają te same - ponieważ sterownik wykonuje działania kolejno od górnego szczebla w kierunku dolnego.

Układ z podpunktu c) działa dokładnie jak ten z podpunktu a) z wyjątkiem zapamiętania stanu. Jego wyjścia są przedstawione wprost tj. jako wyjście powielające stan jednego z wejść oraz drugie negujące stan tego samego wyjścia.

Z charakterystyki przerzutnika RS wynika, że nie powinna zachodzić sytuacja, w której dwa wejścia posiadają stan wysoki.

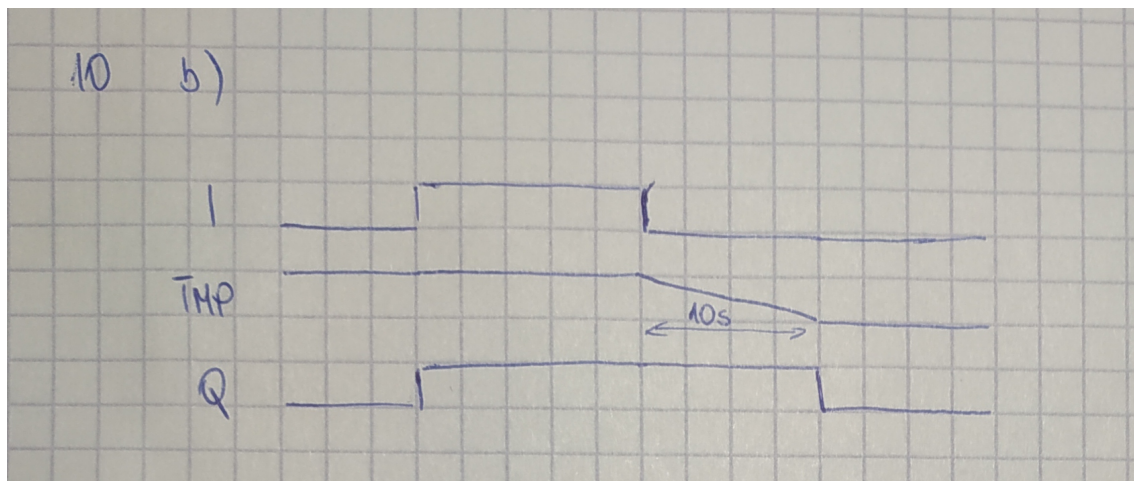
## 2 Zadanie 10 - timery

Timer TON posiada trzy wyjścia:

- EN - ENABLE - oznaczający czy timer posiada zasilanie:
  - 0 na wyjściu gdy timer nie jest zasilany,
  - 1 na wyjściu gdy timer jest zasilany.
- DN - DONE - oznaczający to czy upłynął porządany czas:
  - 0 gdy nie upłynął ten czas,
  - 1 gdy czas upłynął.
- TT - oznaczający to czy timer zlicza czas:
  - 0 gdy czas został już przeliczony,
  - 1 gdy timer zlicza czas.

Zgodnie ze swoją nazwą (Timer On Delay) załącza stan wysoki na wyjściu DN po upływie zadanego czasu. Do czasu gdy ten czas nie upłynie to na wyjściu DN cały czas jest 0. Widać to na przebiegach czasowych podanych w instrukcji.

TOF (Timer Off Delay) działa bardzo podobnie do wyżej wymienionego TON z tą różnicą, że stan wysoki nie się na wyjściu z opóźnieniem lecz z opóźnieniem znika tj. zmianie stanu bitu wejściowego na stan niski na wyjściu DN timera stan niski pojawia się z zadanym opóźnieniem.

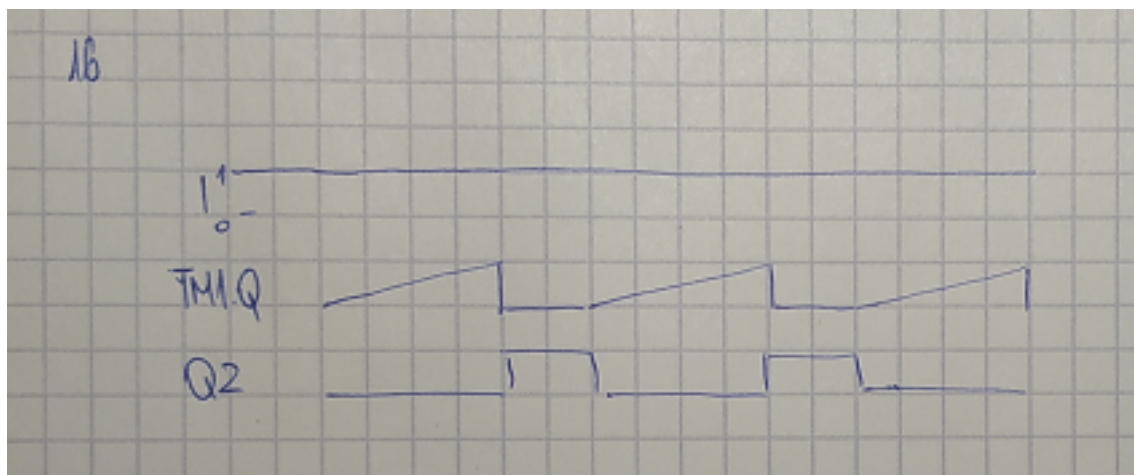


Rysunek 1: Przebiegi zadanie 10.

### 3 Zadanie 15 - liczniki

Liczniki zliczające w dół i w górę działają bardzo podobnie. Zliczają ilość impulsów zadanych na wejściu po czym po przekroczeniu pewnej konkretnej wartości zmieniają stan bitu wyjściowego na przeciwny.

### 4 Zadanie 16



Rysunek 2: Przebiegi zadanie 16.

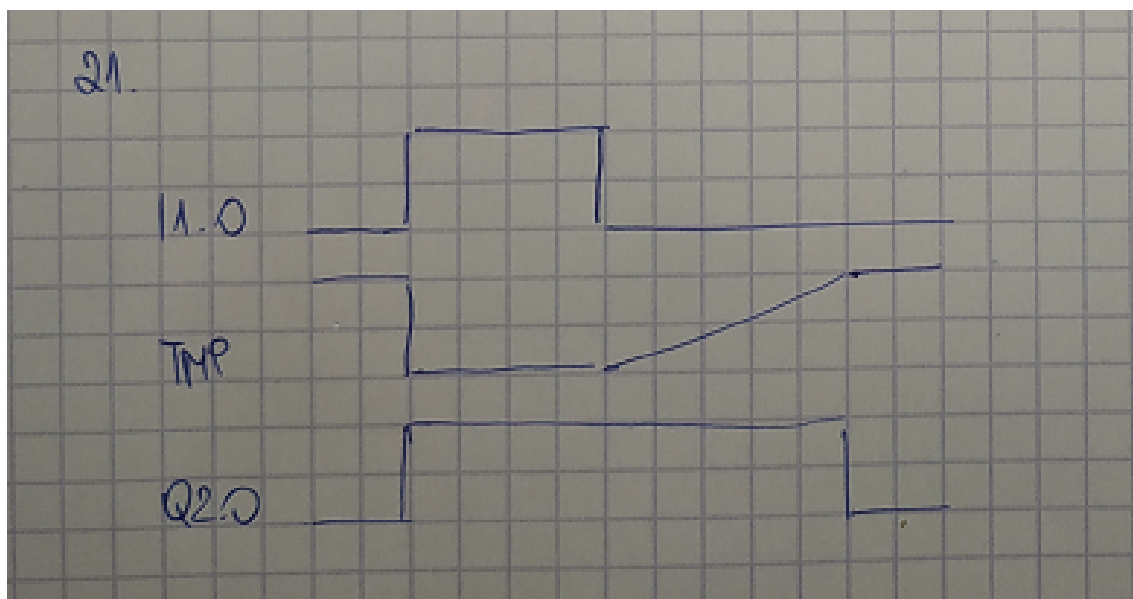
### 5 Zadanie 17

Jest to prosty układ START-STOP sterowania żarówką w układzie przekaźnikowym. Za pomocą przycisku sterowniczego ST22 stan połączenia w przekaźniku z wyprowadzeniami 6, 10 w ten sposób zapalając żarówkę lub ją gasząc.

### 6 Zadanie 18

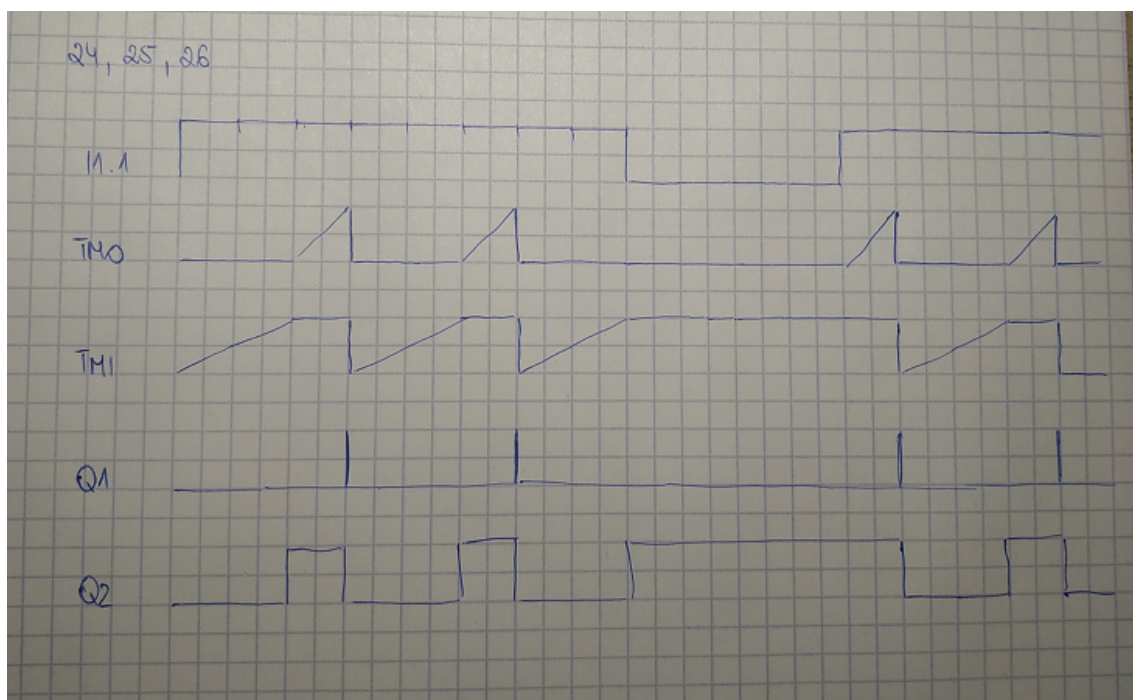
Jednoczesne wciskanie przycisków START i STOP w przypadku projektu spowoduje brak stanu wysokiego na wyjściu układu. Jest to spowodowane tym, że sygnał wyjściowy jest iloczynem przycisków START i STOP. Dla projektu 2 sprawa ma się inaczej ponieważ aby na wyjściu był stan wysoki wystarczy, że choćby jedno wejście jest w stanie wysokim. Wynika to z budowy projektu na podstawie bramki OR.

## 7 Zadanie 21



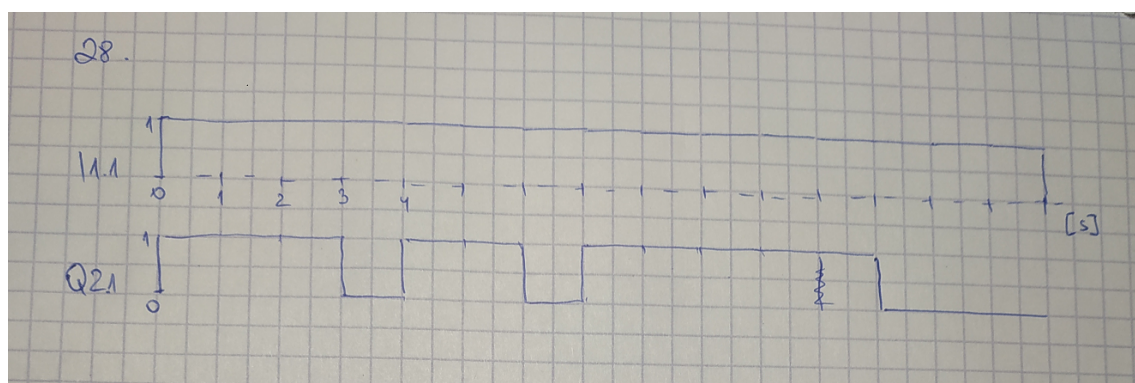
Rysunek 3: Przebiegi zadanie 21.

## 8 Zadanie 24, 25, 26



Rysunek 4: Przebiegi zadanie 24, 25, 26.

## 9 Zadanie 28



Rysunek 5: Przebiegi zadanie 28.