

直播内容：

1、备考复习说明。

2、计算机硬件、可靠性考点重点及历年真题详解

2024上半年考试时间已出：05.25-05.28日，大概率是05.25

2024上半年报名时间预计：3月中旬陆续开始

直播开始时间：20:00准时开始

# 计算机组成与结构考点汇总

特别说明：本章节真题近两年又在陆续考一两题了，但比较集中在可靠性方面，关于计算机硬件组成也考到了cache，而且本章节是学计算机的开端，建议大家可以听一遍视频学习，非重点。。

◆计算机硬件组成、运算器、控制器。

◆奇偶校验码、循环冗余校验码、海明码

◆指令系统：指令操作数寻址方式、CISC和RISC、指令流水线的计算

◆存储系统：分级存储、局部性原理、cache、主存编址计算、磁盘

◆输入输出技术：程序查询方式、中断方式、DMA

◆总线结构。

◆可靠性指标、串并联系统可靠性计算。

# 计算机硬件组成

◆计算机基本硬件系统五大组成部分：运算器、控制器、存储器、输入设备和输出设备

◆运算器的四个重要寄存器：

**算术逻辑单元ALU**（实现对数据的算术和逻辑运算）、**累加寄存器AC**（运算结果或源操作数的存放区）、**数据缓冲寄存器DR**（暂时存放内存的指令或数据）、和**状态条件寄存器PSW**（保存指令运行结果的条件码内容，如溢出标志等）组成。**执行所有的算术运算**，如加减乘除等；**执行所有的逻辑运算并进行逻辑测试**，如与、或、非、比较等。

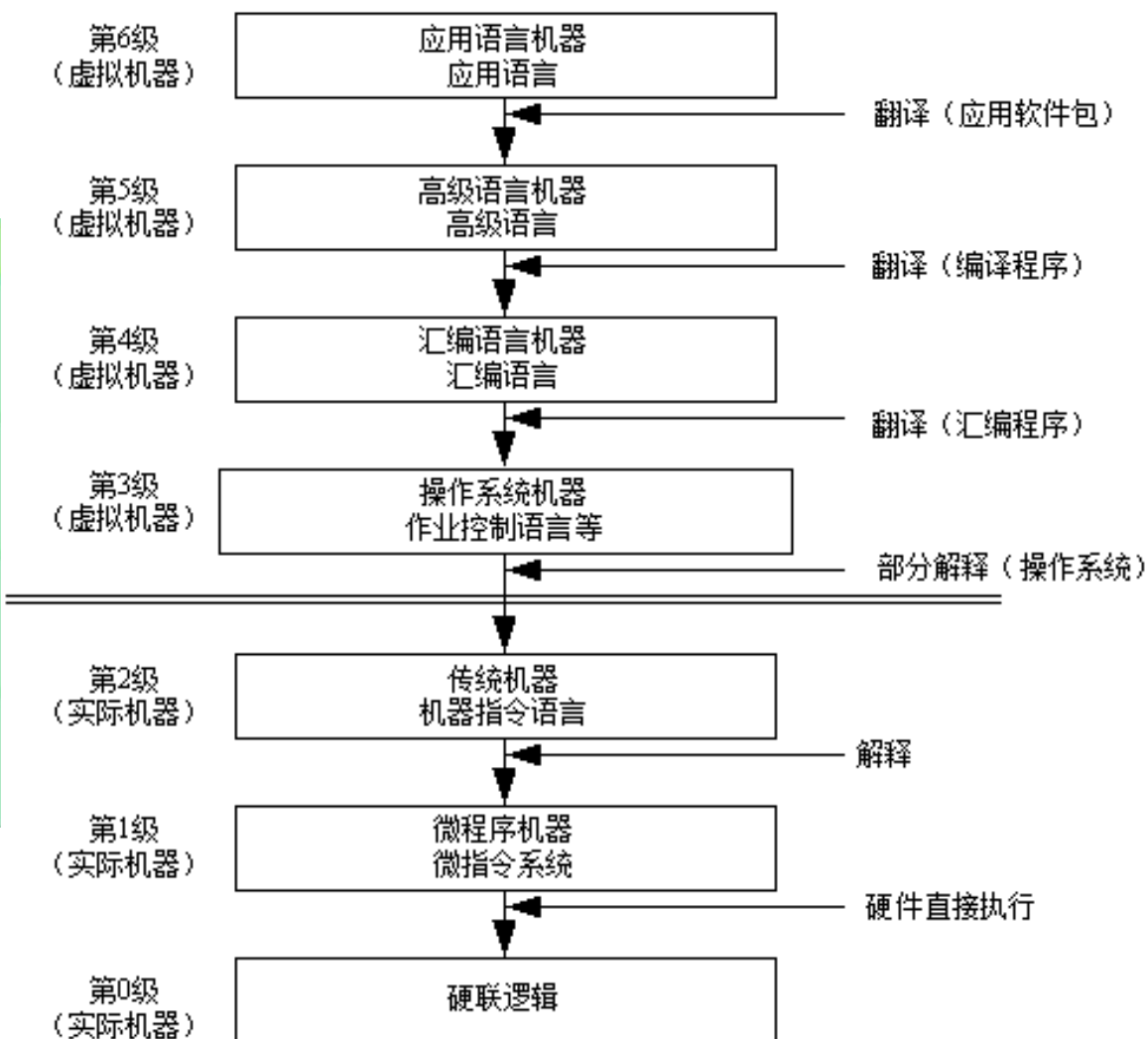
◆控制器的四个重要寄存器：

**指令寄存器IR**（暂存CPU执行指令）、**程序计数器PC**（存放指令执行地址）、**地址寄存器AR**（保存当前CPU所访问的内存地址）、**指令译码器ID**（分析指令操作码）等组成。**控制整个CPU的工作，最为重要。**

CPU依据**指令周期的不同阶段来区分二进制的指令和数据**，因为在指令周期的不同阶段，指令会命令CPU分别去取指令或者数据。

# 计算机系统体系结构

体系结构类型	结构	关键特性	代表
单指令流单数据流 SISD	控制部分：一个 处 理 器：一个 主存模块：一个		单处理器系统
单指令流多数据流 SIMD	控制部分：一个 处 理 器：多个 主存模块：多个	各处理器以异步的形式执行同一条指令	并行处理机 阵列处理机 超级向量处理机
多指令流单数据流 MISD	控制部分：多个 处 理 器：一个 主存模块：多个	被证明不可能，至少是不实际	目前没有，有文献称流水线计算机为此类
多指令流多数据流 MIMD	控制部分：多个 处 理 器：多个 主存模块：多个	能够实现作业、任务、指令等各级全面并行	多处理机系统 多计算机



# 考试试题

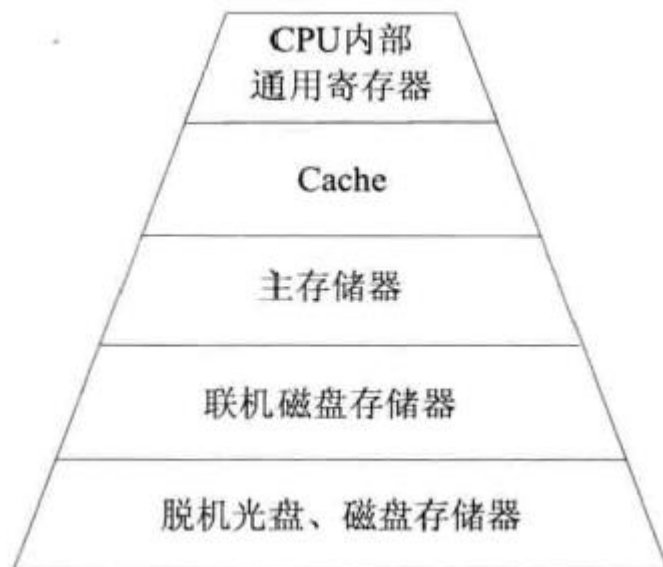
以下关于CPU和GPU的叙述中，错误的是（14）。

- （14） A. CPU适合于需要处理各种不同的数据类型、大量的分支跳转及中断等场合
- B. CPU利用较高的主频、高速缓存（Cache）和分支预测等技术来执行指令
- C. GPU采用MISD（Mutiple Instuction Single Data）并行计算架构
- D. GPU的特点是比CPU包含更多的计算单元和更简单的控制单元

计算机系统是一个硬件和软件综合体，位于硬联逻辑层上面的微程序是用微指令编写的。  
以下叙述中，正确的是，（15）。

- （15） A. 微程序般由硬件执行
- B. 微程序一般是由操作系统来调度和执行
- C. 微程序一般用高级语言构造的编译器期译后来执行
- D. 微程序一般用高级语言构造的解释器件来解释执行

# 存储系统



◆计算机采用分级存储体系的主要目的是为了解决存储容量、成本和速度之间的矛盾问题。

◆两级存储：Cache-主存、主存-辅存（虚拟存储体系）。

◆**局部性原理**：总的来说，在CPU运行时，所访问的数据会趋向于一个较小的局部空间地址内，包括下面两个方面：

◆**时间局部性原理**：如果一个数据项正在被访问，那么在近期它很可能会被再次访问，即在**相邻的时间里会访问同一个数据项**。

◆**空间局部性原理**：在最近的将来会用到的数据的地址和现在正在访问的数据地址很可能是相近的，即**相邻的空间地址会被连续访问**。

# 存储系统-cache

◆高速缓存Cache用来存储当前最活跃的程序和数据，直接与CPU交互，位于CPU和主存之间，容量小，速度为内存的5-10倍，由半导体材料构成。其内容是主存内存的副本拷贝，对于程序员来说是透明的。

◆ Cache由控制部分和存储器组成，存储器存储数据，控制部分判断CPU要访问的数据是否在Cache中，在则命中，不在则依据一定的算法从主存中替换。

◆地址映射：在CPU工作时，送出的是主存单元的地址，而应从Cache存储器中读/写信息。这就需要将主存地址转换为Cache存储器地址，这种地址的转换称为地址映像，由硬件自动完成映射，分为下列三种方法：直接映射、全相连映射、组组相连映射。

替换算法的目标就是使Cache获得尽可能高的命中率。常用算法有如下几种。

(1) 随机替换算法。(2) 先进先出算法。(3) 近期最少使用算法。(4) 优化替换算法。

## ◆命中率及平均时间

Cache有一个命中率的概念，即当CPU所访问的数据在Cache中时，命中，直接从Cache中读取数据，设读取一次Cache时间为1ns，若CPU访问的数据不在Cache中，则需要从内存中读取，设读取一次内存的时间为1000ns，若在CPU多次读取数据过程中，有90%命中Cache，则CPU读取一次的平均时间为 $(90\% \times 1 + 10\% \times 1000)ns$

# 考试试题

在计算机体系结构设计时，通常在CPU和内存之间设置小容量的Cache机制，以提高CPU数据输入输出速率。通常当Cache已存满数据后，新数据必须替换（淘汰）Cache中的某些旧数据。常用的数据替换算法包括（16）

- A. 随机算法、先进先出（FIFO）和近期最少使用（LRU）
- B. 随机算法、先进后出（FILO）和近期最少使用（LRU）
- C. 轮询调度（RRS）、先进先出（FIFO）和近期最少使用（LRU）
- D. 先进先出（FIFO）、近期最少使用（LRU）和最近最常使用（MRU）

计算机系统中，（16）方式是根据所访问的内容来决定要访问的存储单元，常用在（17）存储器中。

- |              |          |           |           |
|--------------|----------|-----------|-----------|
| （16） A. 顺序存取 | B. 直接存取  | C. 随机存取   | D. 相联存取   |
| （17） A. DRAM | B. Cache | C. EEPROM | D. CD-ROM |

在高速缓存（Cache）-主存储器构成的存储系统中，（ ）。

- A. 主存地址到Cache地址的变换由硬件完成，以提高速度
- B. 主存地址到Cache地址的变换由软件完成，以提高灵活性
- C. Cache 的命中率随其容量增大线性地提高
- D. Cache 的内容在任意时刻与主存内容完全一致



# 组组相连映像

◆组组相连映像：前面两种方式的结合，将Cache存储器先分块再分组，主存也同样先分块再分组，组间采用直接映像，即主存中组号与Cache中组号相同的组才能命中，但是组内全相联映像，也即组号相同的两个组内的所有块可以任意调换。在组相联映射方式中，主存中一个组内的页数与Cache的分组数相同。

◆此时，主存地址=区号+组号+块号+块内地址；  
cache地址=组号+块号+块内地址；

◆例如，容量为64块的Cache采用组相联方式映像，每块大小为128个字，每4块为一组，即Cache分为 $64/4=16$ 组。若主存容量为4096页，且以字编址。

◆首先，根据主存与Cache块的容量需一致，即每个内存页的大小也是128个字，因此共有 $128 \times 4096$ 个字（ $2^{19}$ 个字），即主存地址需要19位。因为Cache分为16组，所以主存需要分为 $4096/16=256$ 组（每组16页），即 $2^8$ 组，因此主存组号需8位。

◆按照上述划分方法，主存每一组的第1页映射到Cache的第1组，主存每一组的第2页映射到Cache的第2组，依次类推。因为主存中一个组内的页数与Cache的分组数相同，所以主存每一组的最后一页映射到Cache的最后一组。

# 考试试题

61-64. 组相联映射是常见的Cache映射方法。如果容量为64块的Cache采用组相联方式映射，每块大小为128个字，每4块为一组，即Cache分为（ ）组。若主存容量为4096页，且以字编址。根据主存与Cache块的容量需一致，即每个内存页的大小是（ ）个字，主存地址需要（ ）位，主存组号需（ ）位。

- |        |       |         |         |
|--------|-------|---------|---------|
| A. 8   | B. 16 | C. 32   | D. 4    |
| A. 128 | B. 64 | C. 4096 | D. 1024 |
| A. 256 | B. 19 | C. 128  | D. 8    |
| A. 8   | B. 16 | C. 19   | D. 4    |

RISC指令系统的特点包括（18）。

①指令数量少②寻址方式多③指令格式种类少④指令长度固定

- (18) A. ①②③                      B. ①②④  
C. ①③④                      D. ②③④

循环冗余校验码（Cyclic Redundancy Check，CRC）是数据通信领域中最常用的一种差错校验码，该校验方法中，使用多项式除法（模2除法）运算后的余数为校验字段。若数据信息为n位，则将其左移k位后，被长度为k+1位的生成多项式相除，所得的k位余数即构成k个校验位，构成n+k位编码。若数据信息为1100，生成多项式为 $X^3+X+1$ （即1011），则CRC编码是（ ）。

- (14) A. 1100010                      B. 1011010                      C. 1100011                      D. 1011110

# 循环冗余校验码CRC

例：假设原始信息串为10110，CRC 的生成多项式为 $G(x)=x^4+x+1$ ，求CRC 校验码。

(1) 在原始信息位后面添0，假设生成多项式的阶为 $r$ ，则在原始信息位后添加 $r$ 个0，本题中， $G(x)$ 阶为4，则在原始信息串后加4个0，得到的新串为101100000，作为被除数。

(2) 由多项式得到除数，多项中 $x$ 的幂指数存在的位置1，不存在的位置0。本题中， $x$ 的幂指数为0, 1, 4的变量都存在，而幂指数为2, 3的不存在，因此得到串10011。

(3) 生成CRC校验码，将前两步得出的被除数和除数进行模2除法运算（即不进位也不借位的除法运算）。除法过程如下图所示。

得到余数1111。

注意：余数不足 $r$ ，则余数左边用若干个0 补齐。如求得余数为11， $r=4$ ，则补两个0得到0011。

(4) 生成最终发送信息串，将余数添加到原始信息后。上例中，原始信息为10110，添加余数1111 后，结果为10110 1111。发送方将此数据发送给接收方。

(5) 接收方进行校验。接收方的CRC 校验过程与生成过程类似，接收方接收了带校验和的帧后，用多项式 $G(x)$ 来除。余数为0，则表示信息无错；否则要求发送方进行重传。

$$\begin{array}{r} 10011 \overline{) 101100000} \\ \underline{10011} \phantom{00000} \\ 10100 \phantom{0000} \\ \underline{10011} \phantom{0000} \\ 11100 \phantom{000} \\ \underline{10011} \phantom{000} \\ 1111 \phantom{000} \end{array}$$

# 指令流水线

## ◆流水线时间计算

**流水线周期：**指令分成不同执行段，其中执行时间最长的段为流水线周期。

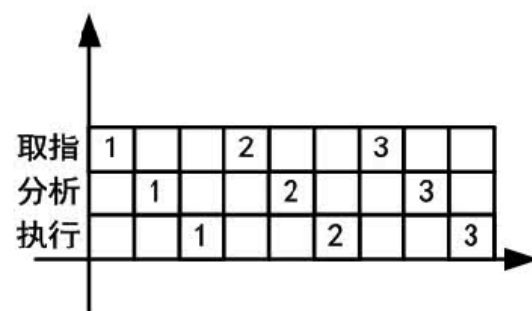
**流水线执行时间：**1条指令总执行时间+（总指令条数-1）\*流水线周期。

**流水线吞吐率计算：**吞吐率即单位时间内执行的指令条数。

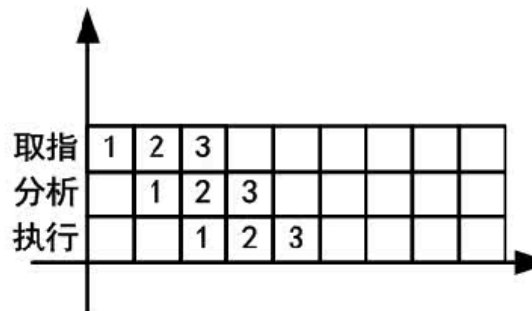
**公式：**指令条数/流水线执行时间。

**流水线的加速比计算：**加速比即使用流水线后的效率提升度，即比不使用流水线快了多少倍，越高表明流水线效率越高，

**公式：**不使用流水线执行时间/使用流水线执行时间。



未使用流水线执行指令情况



使用流水线执行指令情况

# 考试试题

假设磁盘块与缓冲区大小相同，每个盘块读入缓冲区的时间为100us，缓冲区送用户区的时间是60us，系统对每个磁盘块数据的处理时间为50us。若用户需要将大小为10个磁盘块的File1文件逐块从磁盘读入缓冲区，并送用户区进行处理，那么采用单缓冲需要花费的时间为（ ）us；采用双缓冲需要花费的时间为（ ）us。

- A. 1000                      B. 1110                      C. 1650                      D. 2100  
A. 1000                      B. 1110                      C. 1650                      D. 2100

某计算机系统采用4级流水线结构执行命令，设每条指令的执行由取指令（ $2\Delta t$ ）、分析指令（ $1\Delta t$ ）、取操作数（ $3\Delta t$ ）、运算并保存结果（ $2\Delta t$ ）组成（注：括号中是指令执行周期）。并分别用4个子部件完成，该流水线的最大吞吐率为（ ）；若连续向流水线输入5条指令，则该流水线的加速比为（ ）。

(14) A. 1

B.  $\frac{1}{2\Delta t}$

C.  $\frac{1}{3\Delta t}$

D.  $\frac{1}{8\Delta t}$

(15) A. 1:1

B. 2:1

C. 8:3

D. 3:8

答案: C

B

# 可靠性

- ◆系统可靠性是系统在规定的时间内及规定的环境条件下，完成规定功能的能力，也就是系统无故障运行的概率。系统可靠性包括成熟性、容错性、易恢复性和可靠性的依从性四个子特性，其中，
- ◆成熟性是指系统避免因错误的发生而导致失效的能力；
- ◆容错性是指在系统发生故障或违反指定接口的情况下，系统维持规定的性能级别的能力；
- ◆易恢复性是指在系统发生失效的情况下，重建规定的性能级别并恢复受直接影响的数据的能力；
- ◆可靠性的依从性是指系统依附于与可靠性相关的标准、约定或规定的的能力。

## ◆可靠性指标

平均无故障时间 $MTTF=1/\text{失效率}$ 。

平均故障修复时间 $MTTR=1/\text{修复率}$ 。

平均故障间隔时间 $MTBF=MTTF+MTTR$ 。

系统可用性 $=MTTF/(MTTF+MTTR)*100\%$ 。

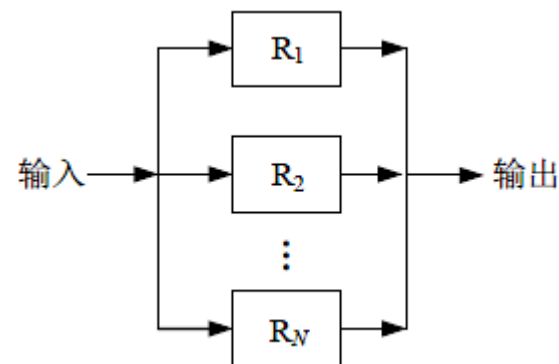
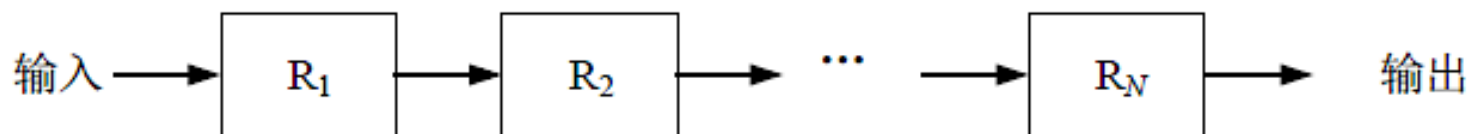
# 可靠性

## ◆串并联系统可靠性

无论什么系统，都是由多个设备组成的，协同工作，而这多个设备的组合方式可以是串联、并联，也可以是混合模式，假设每个设备的可靠性为 $R_1, R_2, \dots, R_n$ ，则不同的系统的可靠性公式如下：

串联系统，一个设备不可靠，整个系统崩溃，整个系统可靠性 $R = R_1 * R_2 * \dots * R_n$ 。

◆并联系统，所有设备都不可靠，整个系统才崩溃，整个系统可靠性 $R = 1 - (1 - R_1) * (1 - R_2) * \dots * (1 - R_n)$ 。



# 考试试题

17. 某软件系统投入运行15天，计划运行时间为每早8点至晚6点。第二天上午发生一次失效，故障恢复用了1个小时，第4天上午发生一次失效，故障恢复用了4个小时，第9天上午发生一次失效，故障恢复用了2个小时，除此之外系统一直正常运行。那么，该软件系统的可用性约为（ ）。

- A. 94. 5%
- B. 98. 3%
- C. 100%
- D. 95. 3%

59-60. 系统可靠性是系统在规定时间内及规定的环境条件下，完成规定功能的能力。系统可靠性包含四个子特征，其中（ ）是指系统避免因错误的发生而导致失效的能力；（ ）是指系统依附于与可靠性相关的标准、约定或规定的能力。

- |        |        |         |            |
|--------|--------|---------|------------|
| A. 成熟性 | B. 容错性 | C. 易恢复性 | D. 可靠性的依从性 |
| A. 成熟性 | B. 容错性 | C. 易恢复性 | D. 可靠性的依从性 |





谢谢！