

Architektury systemów komputerowych 2017

Lista zadań nr 10

Na zajęcia 17-18 maja 2017

UWAGA! W trakcie prezentacji rozwiązań należy być przygotowanym do wyjaśnienia pojęć, które zostały oznaczone **wytłuszczoną** czcionką.

Zadanie 1. Powtórz proces **translacji adresów** i adresowania pamięci podręcznej ze slajdów do wykładu pt. „Virtual Memory: Systems” (strona 4–7) dla adresów: 0x027c, 0x03a9 i 0x0040.

Zadanie 2. W tym zadaniu będziemy analizowali w jaki sposób system operacyjny musi aktualizować **tablicę stron** wraz z kolejnymi dostęпами do pamięci głównej. Załóż, że strony są wielkości 4KiB, TLB jest **w pełni asocjacyjne** z zastępowaniem LRU. Jeśli potrzebujesz **wtoczyć** stronę z dysku użyj następnego numeru **ramki** większego od największego istniejącego w tablicy stron.

VPN	Valid?	PPN
0	1	5
1	0	dysk
2	0	dysk
3	1	6
4	1	9
5	1	11
6	0	dysk
7	1	4
8	0	dysk
9	0	dysk
10	1	3
11	1	12
12	0	brak

Początkowy stan tablicy stron

Valid?	Tag	LRU	PPN
1	11	0	12
1	7	1	4
1	3	2	6
0	4	3	9

Początkowy stan TLB

Adres
4669
2227
13916
34587
48870
12608
49225

Ciąg dostępu do pamięci

Dla powyższych danych podaj ostateczny stan TLB i tablicy stron po wykonaniu wszystkich dostępu do pamięci. Dla każdej operacji dostępu do pamięci wskaż czy było to trafienie w TLB, trafienie w tablicę stron, czy też błąd strony.

Zadanie 3. Zdecydowana większość procesorów implementuje strony wielkości 4KiB. Podaj argumenty, które stoją za tym, by domyślny rozmiar strony dostępny na danej architekturze nie był zbyt mały, ani zbyt duży. Rozważ częstotliwość występowania **błędów stron**, lokalność czasową i przestrzenną oraz zbiór roboczy programu. Zakładamy, że ilość wpisów w TLB jest stała.

Wskazówka: By lepiej zobrazować o czym mówisz, możesz wykonać poprzednie zadanie dla stron o wielkości 16KiB.

Zadanie 4. Niech system posługuje się 32-bitowymi adresami wirtualnymi, rozmiar strony ma 4KiB, a rozmiar wpisu tablicy stron zajmuje 4 bajty. Dla procesu, który łącznie używa 1GiB swojej przestrzeni adresowej podaj rozmiar tablicy stron: (a) jedno-poziomowej, (b) dwupiętrowej, gdzie katalog tablicy stron ma 1024 wpisy. Dla drugiego przypadku – jaki jest maksymalny i minimalny rozmiar tablicy stron?

Zadanie 5. Wiemy, że pamięć podręczna TLB jest niezbędna do przeprowadzania szybkiej translacji adresów. Czemu, w najogólniejszym przypadku, należy wyczyścić zawartość TLB przy przełączaniu przestrzeni adresowych? Jak można uniknąć tej kosztownej operacji?

Wskazówka: Rozważ wprowadzenie identyfikatorów przestrzeni adresowych, tak jak w architekturze MIPS.

Zadanie 6. Jaka jest maksymalna wielkość zbioru roboczego procesu, dla którego nie będzie on generował nowych chybień w TLB? Rozważ wariant pesymistyczny i optymistyczny dla czterodrożnego sekcjonoskojarzeniowego TLB o 64 wpisach. Jak zmieni się oszacowanie, jeśli zezwolimy na używanie dużych stron (ang. *huge pages*) o wielkości 4MiB?

Zadanie 7. Opisz dokładnie pola **deskryptorów stron** (ang. *page table entry*) i **deskryptorów katalogów stron** (ang. *page directory entry*) w architekturze IA-32¹. Które z **bitów pomocniczych**:

- dotyczą sposobu używania pamięci podręcznej,
- wspomagają algorytmy zarządzania pamięcią wirtualną,
- określają uprawnienia dostępu (włączając w to tryb pracy procesora).

Zadanie 8. Architekt procesora dysponuje bardzo szybką pamięcią podręczną pierwszego poziomu. Normalnie translacja adresów jest wykonywana przed lub równolegle z dostępem do pamięci podręcznej. Projektant chce za wszelką cenę uniknąć wydłużenia czasu dostępu i w związku z tym decyduje się pamięć podręczną L1 indeksować adresami wirtualnymi i znaczniki porównywać z adresami wirtualnymi (ang. *virtually-indexed, virtually-tagged cache*). Wyjaśnij jak w takim przypadku może zmanifestować się problem **homonimów i synonimów**²? Co by się zmieniło gdybyśmy znaczniki porównywali z adresami fizycznymi?

Zadanie 9 (bonus). Na podstawie rozdziału §31.1 książki „*Memory Systems: Cache, DRAM, Disk*” wyjaśnij jak przebiega mechanizm translacji adresów bazujący na odwróconej tablicy stron stosowany w architekturze PowerPC. Wymień wady i zalety tego rozwiązania w porównaniu do hierarchicznej tablicy stron.

¹<http://wiki.osdev.org/Paging>

²https://en.wikipedia.org/wiki/CPU_cache#/Homonym_and_synonym_problems