

Architektury systemów komputerowych 2017

Lista zadań nr 8

Na zajęcia 27-28 kwietnia 2017

Zadanie 1. Które z poniższych akcji powinny być dozwolone wyłącznie w trybie uprzywilejowanym? Odpowiedź uzasadnij.

- Wyłączenie przerw.
- Odczytanie zegara czasu rzeczywistego.
- Ustawienie rozdzielczości ekranu.
- Uśpienie procesora.

Zadanie 2. Rozważmy dysk o następujących parametrach: jeden talerz; jedna głowica; 32768 ścieżek na powierzchni; 512 sektorów na ścieżkę; 7200 obrotów na minutę; czas wyszukiwania: 1ms na przeskoczenie o 2048 ścieżek.

- Jaki jest średni czas wyszukiwania?
- Jaki jest średni czas opóźnienia obrotowego?
- Jaki jest czas transferu sektora?
- Jaki jest całkowity średni czas obsługi żądania?

Zadanie 3. Rozważmy dysk o następujących parametrach: 360 obrotów na minutę, 512 bajtów na sektor, 96 sektorów na ścieżkę, 110 ścieżek na powierzchnię. Procesor czyta z dysku całe sektory. Dysk sygnalizuje dostępność danych zgłaszając przerwanie na każdy przeczytany bajt. Jaki procent czasu procesora będzie używała obsługa wejścia-wyjścia, jeśli wykonanie procedury przerwania zajmuje $2.5\mu s$? Należy zignorować czas wyszukiwania ścieżki i sektora.

Do systemu dodajemy kontroler DMA. Przerwanie będzie generowane tylko raz po wczytaniu sektora do pamięci. Jak zmieniła się zajętość procesora?

Zadanie 4. Moduł DMA kontrolera dysku do transferu danych używa techniki podkradania cykli. 32-bitowa szyna ma przepustowość 10 milionów transferów na sekundę. Procesor RISC bez pamięci podręcznej wykonuje 32-bitowe instrukcje, z których 40% instrukcji to dostępy do pamięci. O ile procent zmieni się liczba wykonywanych instrukcji w wyniku aktywności modułu DMA, jeśli transferujemy z dysku dane z prędkością 2MB/s.

Zadanie 5. W przeważającej większości systemów implementujących moduły DMA, procesor ma niższy priorytet dostępu do pamięci głównej niż moduły DMA. Dlaczego?

Zadanie 6. Nowoczesne procesory x86-64 mają następujące czasy dostępu do poszczególnych poziomów pamięci: L1 cache: 4 cykle; L2 cache: 8 cykli; L3 cache: 24 cykle; pamięć DRAM: 120 cykli. Jaki jest średni czas dostępu do pamięci, jeśli 90% dostępow trafia w cache L1, 95% w cache L2, 98% w cache L3? Jaki jest pesymistyczny czas dostępu do pamięci?

Zadanie 7. Blok pamięci podręcznej procesorów x86-64 ma 64 bajty. Dla uproszczenia przyjmijmy, że w jednym cyklu zegarowym między pamięcią a procesorem można przesłać 64 bity danych. Ile nanosekund, w pesymistycznym przypadku, zajmie sprowadzenie bloku pamięci podręcznej z pamięci DRAM dla poniżej scharakteryzowanych modułów:

- DDR3-1600, $t_{CLK} = 800$ MHz, $t_{CAS} = 9$, $t_{RCD} = 9$, $t_{RP} = 9$
- DDR3-2400, $t_{CLK} = 1200$ MHz, $t_{CAS} = 11$, $t_{RCD} = 11$, $t_{RP} = 11$

Jak zmieni się wydajność operacji, jeśli wprowadzimy konfigurację dwukanałową (ang. *dual-channel*)?

Zadanie 8. Algorytm czyta sekwencyjnie tablicę rozmiaru 1GiB położoną pod adresem podzielonym przez 2^{10} . System dysponuje modułem pamięci DDR3-1600 o parametrach $t_{CAS} = 10$, $t_{RCD} = 10$, $t_{RP} = 10$, a długość wiersza wynosi 1KiB. Pamięć DDR3 transferuje dwa 64-bitowe słowa w ciągu jednego taktu zegara. Ile czasu zajmie sprowadzenie tej tablicy do procesora? Pomiń opóźnienia wynikające z działania pamięci podręcznej.

Jak zmieni się czas transferu, jeśli pamięć działa w trybie sekwencyjnym (ang. *burst mode*)? Tj. podaje na kolejnych zboczach zegara 8 słów 64-bitowych bez czekania na polecenie zmiany kolumny.

Zadanie 9 (bonus). Z poziomu programu rozruchowego GRUB uruchom program [memtest86+](#) i podaj parametry systemu pamięci w swoim komputerze. Jaka jest przepustowość poszczególnych poziomów pamięci podręcznej i pamięci DRAM? Oszacuj, w taktach procesora, średni czas dostępu do pamięci podręcznej L1, L2, L3 i pamięci DRAM.