

Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica

Verificación Funcional de Circuitos Integrados

Quiz UVM

Estudiante: Marcelo Cardona Aguilar

Carné: 2013032712

II semestre, 2021

Introducción

En este quiz lo que se pretende es poner a prueba un DUT que consiste en identificar el patrón 1011 y poner la salida del dispositivo en alto (1). El dispositivo consta con una máquina de estados que le permite iterar entre estados que lo que hacen es definir este tipo de secuencias binarias. Cuando la máquina llega al estado que contiene la secuencia 1011, el dispositivo como se menciona anteriormente pone en nivel alto la salida. Esto se puede observar en la figura 1.

```
module det_1011 (input clk,
                 input rstn,
                 input in,
                 output out );

    parameter IDLE = 0,
               S1 = 1,
               S10 = 2,
               S101 = 3,
               S1011 = 4;

    reg[2:0] cur_state, next_state;

    assign out = cur_state == S1011 ? 1: 0;

    always@(posedge clk) begin
        if(!rstn) begin
            cur_state <= IDLE;
        end else begin
            cur_state <= next_state;
        end
    end

    always@(cur_state or in) begin
        case(cur_state)
            IDLE: begin
                next_state <= in ? S1 : IDLE;
            end

            S1: begin
                next_state <= in ? S1 : S10;
            end

            S10: begin
                next_state <= in ? S101 : IDLE;
            end

            S101: begin
                next_state <= in ? S1011 : S10;
            end

            S1011: begin
                next_state <= in ? S1 : S10;
            end
        endcase
    end
endmodule
```

Figura 1. Código de descripción de hardware del dispositivo bajo prueba (DUT).

Resultados del Test al cual es sometido el DUT

Los resultados del test al cual es sometido el dispositivo se pueden observar en la figura 2. En esta, lo que se puede ver es que cuando el estado actual de la máquina de estados del dispositivo contiene la secuencia binaria 101 y el puerto de entrada es estimulado a un nivel alto (in=1), el Test avisa que se espera que el siguiente estado sea el que contiene la secuencia binaria de 1011 que es la que el dispositivo debe identificar. El hecho de que el dispositivo si encuentre la coincidencia de los patrones binarios, se puede apreciar en las líneas de abajo, en donde el patrón de referencia es 0b1011 y el patrón actual contiene el mismo valor. En ese momento el Test genera un aviso de que los patrones coinciden. Ahora bien, luego de que se detecte que el patrón binario era el esperado, la salida del dispositivo (out) debe colocarse en 1. Esto último se puede observar en la siguiente iteración en donde se despliega la información y se ve que la salida efectivamente está en un nivel alto.

```
UVM_INFO driver.sv(19) @ 1530: uvm_test_top.e0.a0.d0 [DRV] Wait for item from sequencer
UVM_INFO scoreboard.sv(25) @ 1550: uvm_test_top.e0.sb0 [SCBD] in = 1 out = 0 / Reference Pattern = 0b1011 / Current Pattern = 0b1001
UVM_INFO scoreboard.sv(30) @ 1550: uvm_test_top.e0.sb0 [SCBD] PASS: output = 0 / expected output = 0
UVM_INFO driver.sv(19) @ 1550: uvm_test_top.e0.a0.d0 [DRV] Wait for item from sequencer
UVM_INFO scoreboard.sv(25) @ 1570: uvm_test_top.e0.sb0 [SCBD] in = 0 out = 0 / Reference Pattern = 0b1011 / Current Pattern = 0b10
UVM_INFO scoreboard.sv(30) @ 1570: uvm_test_top.e0.sb0 [SCBD] PASS: output = 0 / expected output = 0
UVM_INFO driver.sv(19) @ 1570: uvm_test_top.e0.a0.d0 [DRV] Wait for item from sequencer
UVM_INFO secuencia.sv(20) @ 1570: uvm_test_top.e0.a0.s0@seq [SEQ] Done generation of 65 items
UVM_INFO scoreboard.sv(25) @ 1590: uvm_test_top.e0.sb0 [SCBD] in = 1 out = 0 / Reference Pattern = 0b1011 / Current Pattern = 0b101
UVM_INFO scoreboard.sv(30) @ 1590: uvm_test_top.e0.sb0 [SCBD] PASS: output = 0 / expected output = 0
UVM_INFO scoreboard.sv(34) @ 1590: uvm_test_top.e0.sb0 [SCBD]
A patterns' match is expected on next state!

UVM_INFO scoreboard.sv(25) @ 1610: uvm_test_top.e0.sb0 [SCBD] in = 1 out = 0 / Reference Pattern = 0b1011 / Current Pattern = 0b1011
UVM_INFO scoreboard.sv(30) @ 1610: uvm_test_top.e0.sb0 [SCBD] PASS: output = 0 / expected output = 0
UVM_INFO scoreboard.sv(39) @ 1610: uvm_test_top.e0.sb0 [SCBD]
DUT detected that patterns match!!

UVM_INFO scoreboard.sv(25) @ 1630: uvm_test_top.e0.sb0 [SCBD] in = 1 out = 1 / Reference Pattern = 0b1011 / Current Pattern = 0b111
UVM_INFO scoreboard.sv(30) @ 1630: uvm_test_top.e0.sb0 [SCBD] PASS: output = 1 / expected output = 1
```

Figura 2. Resultados del Test.