



**Instituto de Engenharia de Sistemas e
Tecnologias da Informação (IESTI)**

Universidade Federal de Itajubá

FILTRO ATIVO DE POTÊNCIA PARA COMPENSAÇÃO DISTRIBUÍDA

**RELATÓRIO FINAL
PIBIC
CNPQ
UNIFEI
CICLO 2018/2019**

**Aluno: Yago Araújo dos Santos
Matrícula: 35018
Curso: Engenharia Elétrica
Orientador: Rondineli Rodrigues Pereira
Fase/Período: 9º período
Vigência: CNPQ**

RESUMO

No contexto atual, é observável a crescente disseminação de aplicações envolvendo eletrônica de potência no sistema elétrico, tornando-o cada vez mais robusto. O aumento das cargas não-lineares está exigindo diversos estudos relacionados a mitigação de problemas provindos da utilização dessas cargas e um dos problemas é a presença indesejada de conteúdo harmônico nos sinais de corrente da rede. Deste modo, uma possível solução está baseada na utilização de filtros ativos de potência aplicados a pontos específicos para compensação de várias cargas geradoras de conteúdo harmônico, o que ainda demanda um elevado custo devido aos equipamentos disponíveis no mercado serem novos e pela ausência de maior concorrência na fabricação dos mesmos. Com isso, este projeto apresenta a proposta do desenvolvimento de um conversor para compensação distribuída de conteúdo harmônico e também para correção do fator de potência voltado a cargas residenciais. Este filtro ativo com topologia paralelo ou *shunt* propõe a implementação de uma técnica de controle conhecida por histerese de corrente em um microcontrolador da Texas TMS320F28027 com o objetivo de tornar mais acessível esse tipo de tecnologia.

Palavras-chave: Filtro Ativo. Compensação harmônica. Histerese de corrente. Microcontrolador.

LISTA DE ILUSTRAÇÕES

Figura 1 – Configurações gerais de filtros passivos e ativos adaptada de [11]. (a) Filtros conectados em paralelo. (b) Conectados em série.	12
Figura 2 – Ideia geral de um filtro ativo, adaptada de [13].	13
Figura 3 – Exemplificação de uma ponte-H completa. Em (a) Q1/Q3 ligados e Q2/Q4 desligados, em (b) Q1/Q3 desligados e Q2/Q4 ligados.	15
Figura 4 – Controle por histerese de corrente.	15
Figura 5 - LAUNCHXL-F28027 vista superior da placa. Adaptada de [14].	17
Figura 6 – Bloco S-Function Builder disponível no <i>Simulink</i>	20
Figura 7 - Diferença ou erro (θ) entre fases.	20
Figura 8 – Bloco da malha PLL no MATLAB.	21
Figura 9 – Simulação da referência síncrona modificada em diagrama de blocos.	22
Figura 10 – Sinais provindos do osciloscópio da simulação em diagrama de blocos.	22
Figura 11 – Simulação da referência síncrona modificada em S-Function.	23
Figura 12 – Sinais provindos do osciloscópio da simulação em S-Function.	23
Figura 13 – Corrente circulando no sentido positivo.	24
Figura 14 – Corrente circulando no sentido negativo.	24
Figura 15 - Gráfico das bandas de histerese.	25
Figura 16 – Controle por histerese de corrente.	26
Figura 17 – Apresentação do sinal controlado em conjunto com as bandas de histerese.	26
Figura 18 – Configuração do sistema de um filtro ativo paralelo. [2].	27
Figura 19 – Parâmetros utilizados na configuração adotada.	28
Figura 20 – Configuração do sistema em estudo.	29
Figura 21 - FAPP completo para carga não-linear indutiva.	29
Figura 22 – Monitoramento das correntes do sistema em simulação sob carga não-linear indutiva.	30
Figura 23 - FFT analysis no MATLAB sob carga não-linear indutiva. Imagem (a) sem o FAPP e Imagem (b) com FAPP.	30
Figura 24 – FAPP completo para carga não-linear capacitiva.	31
Figura 25 – Monitoramento das correntes do sistema em simulação sob carga não-linear capacitiva.	31
Figura 26 - FFT analysis no MATLAB sob carga não-linear capacitiva. Imagem (a) sem o FAPP e Imagem (b) com FAPP.	32

Figura 27 – Interface de controle e osciloscópios de medição de sinais do FAPP para ambos tipos de carga.	32
Figura 28 – Diagrama de blocos do conversor AD. [14].....	36
Figura 29 – Alocação de memória no software Code Composer.	37
Figura 30 – Tipos de dados IQs.	38
Figura 31 – Sensor hall de tensão LV-25P e suas respectivas conexões.....	39
Figura 32 – Sensor hall de corrente LA-55P e suas respectivas conexões.....	40
Figura 33 – Placas de Condicionamento.	41
Figura 34 – Primeira placa de condicionamento.	42
Figura 35 – Segunda placa de condicionamento.	42
Figura 36 – Fontes DC's utilizadas. (a) Fonte de $\pm 15\text{Vdc}$. (b) Fonte de $\pm 5\text{Vdc}$	43
Figura 37 – Representação do sistema montado em bancada.	43
Figura 38 – Circuito receptor do sinal chaveado pelo inversor.	45
Figura 39 – Sinais de 1,0A. (a) imposto no próprio <i>Code Composer</i> . (b) Medido pelo sensor de corrente na saída do inversor e visualizado no <i>Code Composer</i> . (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.	46
Figura 40 – Sinais de 1,5A. (a) Imposto no próprio <i>Code Composer</i> . (b) Medido pelo sensor de corrente na saída do inversor e visualizado no <i>Code Composer</i> . (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.	46
Figura 41 – Sinal de 2,0A. (a) Imposto no próprio <i>Code Composer</i> . (b) Medido pelo sensor de corrente na saída do inversor e visualizado no <i>Code Composer</i> . (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.	47
Figura 42 – Sinais de 2,0App. (a) Imposto no próprio <i>Code Composer</i> . (b) Medido pelo sensor de corrente na saída do inversor e visualizado no <i>Code Composer</i> . (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.	48
Figura 43 – Sinais de 3App. (a) Imposto no próprio <i>Code Composer</i> . (b) Medido pelo sensor de corrente na saída do inversor e visualizado no <i>Code Composer</i> . (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.	48
Figura 44 – Sinais de 4,0App. (a) Imposto no próprio <i>Code Composer</i> . (b) Medido pelo sensor de corrente na saída do inversor e visualizado no <i>Code Composer</i> . (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.	49
Figura 45 – Sistema montado em bancada com carga não-linear indutiva.	50
Figura 46 – Sinal de tensão da rede [CH1-Amarelo] e de corrente (I_{carga}) entre o filtro e a	

carga não-linear indutiva [CH3-Roxo].	50
Figura 47 – Corrente harmônica (ILh) indutiva. (a) Provinda da referência síncrona. (b) Medidas pelo sensor de corrente. (c) Medidas pela ponta de corrente do osciloscópio [CH3-Roxo] e também da tensão da rede [CH1-Amarelo].	51
Figura 48 – Sistema montado em bancada com carga não-linear capacitiva.	51
Figura 49 – Sinal de tensão da rede [CH1-Amarelo] e de corrente (I_{carga}) entre o filtro e a carga não-linear capacitiva [CH3-Roxo].	52
Figura 50 – Corrente harmônica (ILh) indutiva. (a) Provinda da referência síncrona. (b) Medidas pelo sensor de corrente. (c) Medidas pela ponta de corrente do osciloscópio [CH3-Roxo] e também da tensão da rede [CH1-Amarelo].	52

LISTA DE ABREVIATURAS E SIGLAS

PRODIST	<i>Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional.</i>
THD	Total Harmonic Distortion (<i>Distorção Harmônica Total</i>);
FAP	<i>Filtro Ativo de Potência;</i>
FN	Fase-Neutro;
FFN	<i>Fase-Fase-Neutro;</i>
FFFN	<i>Fase-Fase-Fase-Neutro;</i>
DC	Direct Current (<i>Corrente Contínua</i>);
AC	Alternating Current (<i>Corrente Alternada</i>);
FAPS	<i>Filtro Ativo de Potência Série;</i>
FAPP	<i>Filtro Ativo de Potência Paralelo;</i>
PLL	<i>Phase-Locked Loop;</i>
IGBT	<i>Insulated Gate Bipolar Transistor;</i>
PWM	<i>Pulse Width Modulation;</i>
DSP	<i>Digital Signal Processor;</i>
SCI	<i>Serial Communication Interface</i> (Interface de Comunicação Serial);
SPI	<i>Serial Peripheral Interface</i> (Interface Periférica Serial);
ADC	<i>Analog-Digital Converter</i> (Conversor Analógico-Digital);
FTT	<i>Fast Fourier Transform;</i>
GPIO	<i>General Purpose Input/Output;</i>
SOC	<i>Start of Conversion;</i>
RAM	<i>Random Access Memory;</i>

SUMÁRIO

RESUMO	9
LISTA DE ILUSTRAÇÕES	10
LISTA DE ABREVIATURAS E SIGLAS	13
1. INTRODUÇÃO	7
2. OBJETIVOS PROPOSTOS	9
3. REFERENCIAL TEÓRICO	10
3.1. PERFIL DAS CARGAS RESIDENCIAIS	10
3.2. FILTRO ATIVO DE POTÊNCIA – FAP	11
3.3. TRASFORMADA $d-q$	13
3.4. MODULAÇÃO HISTERESE DE CORRENTE	14
3.5. MICROCONTROLADOR TEXAS LAUNCHXL-F28027 C2000 Piccolo	16
4. DESCRIÇÃO DAS ATIVIDADES DESENVOLVIDAS	18
4.1. SIMULAÇÃO EM MATLAB	18
4.1.1. S-FUNCTION	18
4.1.2. PHASE LOCKED LOOP – PLL	20
4.1.3. REFERÊNCIA SINCRONA MODIFICADA	21
4.1.4. CONTROLE POR HISTERESE DE CORRENTE	24
4.1.5. FAPP COMPLETO	27
4.2. CONFIGURAÇÃO BASE DO MICROCONTROLADOR	33
4.2.1. DIGITAL I/O – GPIO	33
4.2.2. INTERRUPÇÃO	33
4.2.3. CONVERSOR A/D	34
4.2.4. MEMÓRIA FLASH	36
4.2.5. IQMath	37
4.3. MONTAGEM EM BANCADA DO FAPP	38
4.3.1. LEITURA DE TENSÃO	39
4.3.2. LEITURA DE CORRENTE	40
4.3.3. PLACAS DE CONDICIONAMENTO	41
5. RESULTADOS EXPERIMENTAIS	43
5.1. SISTEMA COM CARGA NÃO-LINEAR INDUTIVA	49
5.2. SISTEMA COM CARGA NÃO-LINEAR CAPACITIVA	51
5.3. ANÁLISES DOS RESULTADOS	53

6.	CONSIDERAÇÕES FINAIS	55
	REFERÊNCIAS BIBLIOGRÁFICAS	56

1. INTRODUÇÃO

Tendo em vista o desenvolvimento da eletrônica de potência em todo o mundo, houve uma crescente disseminação das cargas não-lineares no âmbito industrial, comercial e residencial. O módulo 8 do PRODIST define alguns parâmetros responsáveis por caracterizar a qualidade da energia elétrica, entre eles estão a tensão em regime permanente, fator de potência, os harmônicos, variação da frequência, desequilíbrio e flutuação da tensão, sendo que os limites destes devem ser respeitados por toda concessionária de energia em conjunto com toda unidade consumidora [1].

As cargas não-lineares são caracterizadas por distorcer completamente as formas de ondas de tensão e corrente em regime, geralmente são representadas por indutores e capacitores conectados a retificadores, conversores ou inversores de frequência. As concessionárias e os próprios consumidores começaram a sofrer com os efeitos negativos produzidos pela excitação dessas cargas, com isso foram criados equipamentos mitigadores para retirar esses elementos poluidores da energia elétrica.

Existem no mercado inúmeros compensadores que corrigem as nuances da energia. Os filtros passivos são predominantes no mercado, por serem de baixo custo e minimizarem o problema da contaminação da energia, entretanto são maiores e susceptíveis a ressonância devido aos arranjos específicos de indutores e capacitores sintonizados. Em contrapartida, existem também os filtros ativos que contam com a capacidade de um conversor em controlar e modular um sinal de saída específico. Esse tipo de equipamento tem custo mais elevado, porém retira praticamente todo conteúdo indesejado da rede com eficiência, sendo isso visualizado ao observar a taxa da porcentagem de THD antes e depois da inserção do filtro no sistema.

O filtro ativo de potência do tipo shunt injeta corrente harmônica na rede com a mesma amplitude, porém com oposição de fase da corrente harmônica produzida pela carga, agindo como uma fonte de corrente que tem como objetivo cancelar a corrente harmônica da carga [2]. Esse posicionamento introduz uma primeira ideia mais simples sobre o funcionamento de um FAP shunt, porém há muitos outros detalhes a serem considerados que posteriormente podem mudar tal perspectiva.

Neste contexto, como o perfil das cargas residenciais está se consolidando cada vez mais, tendendo à presença dessas cargas que dependem de retificadores e são responsáveis por produzirem esses distúrbios indesejáveis na qualidade da energia, tem-se a preocupação em apresentar soluções eficientes diante dos problemas decorrentes da presença desse tipo de carga.

Esta pesquisa tem como objetivo fornecer conhecimentos sobre a confecção de um módulo monofásico de um filtro ativo de potência paralelo para compensação distribuída. Também, há o intuito de tornar essa tecnologia mais acessível com a produção de um equipamento menor e de baixa potência, além disso, compartilhar os conhecimentos adquiridos, as simulações, informações sobre as limitações do microcontrolador utilizado, análise e justificativa da técnica de controle implementada, resultados dos testes realizados em bancada de laboratório e conceitos imprescindíveis para o desenvolvimento do projeto.

2. OBJETIVOS PROPOSTOS

Os objetivos deste trabalho são:

- Promover o desenvolvimento de um filtro ativo de potência paralelo para compensação harmônica e de fator de potência para cargas de uma residência, com isso, melhorar a qualidade da energia elétrica na rede de distribuição.
- Testar o funcionamento de uma das técnicas de controle conhecida como histerese e aplica-la no chaveamento de inversores, com o microcontrolador TMS320F28027.
- Monitorar o controle do equipamento com o microcontrolador da *Texas Instruments* modelo TMS320F28027.
- Construir um equipamento monofásico modular em bancada, que represente o filtro ativo, menor que aqueles existentes no mercado, visando diminuir o custo do mesmo.

3. REFERENCIAL TEÓRICO

3.1. PERFIL DAS CARGAS RESIDENCIAIS

Como comentado anteriormente, é de conhecimento que as cargas não-lineares estão em crescente dispersão no contexto atual, inclusive nas instalações residenciais, quando é observado o grande número de televisores, computadores, lâmpadas fluorescentes e de LED em substituição da incandescente comum, geradores, motores, condicionadores de ar, entre outros inúmeros equipamentos, deste modo, é perceptível um aumento significativo de distúrbios na rede elétrica responsáveis por degradar a qualidade da energia.

De acordo com a norma ND-5.1, “5. Os tipos de fornecimento são definidos em função da carga instalada, da demanda, do tipo de rede e local onde estiver situada a unidade consumidora.” [3]. As classificações das unidades consumidoras são apresentadas na mesma norma e os tipos mais utilizados são:

Tipo A: unidade consumidora monofásica com potência instalada de até 10kW a dois condutores (FN);

Tipo B: unidade consumidora bifásica com potência instalada entre 10kW e 15kW a três condutores (FFN);

Tipo C: unidade consumidora trifásica com potência instalada acima de 15kW a quatro condutores (FFFN).

A norma NBR 5410 demonstra exatamente como deve ser feito o dimensionamento de todos os condutores de uma instalação elétrica de baixa tensão, no que tange o circuito de distribuição de uma edificação individual ou de uso coletivo há uma observação significativa sobre seção do condutor neutro, pois de acordo com o item da norma 5410, item “6.2.6.3 Nos circuitos trifásicos, a seção do condutor neutro pode ser inferior à dos condutores fase, sem ser inferior aos valores indicados na tabela 44, em função da seção dos condutores fase, quando as duas condições seguintes forem simultaneamente atendidas: sendo esta uma limitação para a redução do condutor

- a) não for prevista a presença de harmônicas;
- b) a máxima corrente susceptível de percorrer o condutor neutro, em serviço normal, seja inferior à capacidade de condução de corrente correspondente à seção reduzida do condutor neutro.” [4].

No caso da existência de componentes harmônicas, a NBR 5410 sugere no item “6.2.6.4 Determinação das seções nominais de circuitos trifásicos considerando a presença de

harmônicas

As prescrições que se seguem aplicam-se a circuitos trifásicos a 4 condutores, onde o desequilíbrio entre fases é inferior a 50% e onde é prevista a presença de correntes harmônicas de 3ª ordem nos condutores fase, admitindo-se que os 4 condutores sejam de mesmo material e tenham a mesma seção nominal.(...)” [4].

Diante das informações disponíveis em norma é visível que as instalações residenciais de grande porte possuem um fator de distorção harmônica mais elevado, sendo este transmitido ao alimentador do circuito em questão. Além disso existem os pequenos consumidores, eles também produzem as componentes harmônicas, mesmo que irrisórias se analisados individualmente, mas consideráveis quando se analisam um grupo de pequenos consumidores em conjunto com aqueles de grande porte. Essa “poluição” do sinal na rede elétrica é muito prejudicial tanto a concessionária como também para o consumidor, pois essas harmônicas diminuem a vida útil dos equipamentos presentes no circuito, diminuem o fator de potência do sistema, modifica as formas de onda de tensão e corrente, ou seja, afeta negativamente a qualidade da energia.

3.2. FILTRO ATIVO DE POTÊNCIA – FAP

As primeiras estratégias para a correção do fator de potência foram apresentadas no final da década de 60 e início da década de 70. Estudos realizados sobre o paralelepípedo de potências sugeriram a neutralização das potências reativas e distorções harmônicas [5], através de condicionadores de tensão [6], injeções de corrente [7] e até mesmo pela compensação do fluxo magnético no núcleo do transformador [8]. Mas somente em 1983, com a apresentação da teoria da potência instantânea [9], os filtros ativos de potência tiveram mais relevância por atingir o mesmo objetivo dos métodos propostos no passado, todavia, com maior eficiência.

Os filtros ativos, filtros de harmônicos ou condicionadores de potência são associações de conversores, alimentados por um link DC, com um circuito de controle integrado conectado no sistema elétrico. São equipamentos multifuncionais, capazes de realizar compensação harmônica, balanceamento de carga, reduzir flutuações de tensão, corrigir o fator de potência e regulação de tensão por controle de potência reativa [10].

Existem duas topologias de filtros ativos, série e paralela (shunt), a primeira representa um circuito de potência semelhante em funcionamento a uma fonte de tensão, enquanto a segunda a uma fonte de corrente. No presente, o modelo tipo fonte de tensão é mais favorável que o modelo tipo fonte de corrente em termos de custo, tamanho e eficiência [10], justificando a

intensificação dos estudos sobre os filtros ativos paralelos com o intuito de reverter essa perspectiva.

O funcionamento do FAPS, como dito anteriormente, é semelhante a uma fonte de tensão, pois providencia uma tensão harmônica com a mesma amplitude, porém em oposição de fase a tensão harmônica produzida pela carga com o propósito de bloquear o fluxo da corrente harmônica pra fonte. O FAPP pode ser encarado como um dual do FAPS, fazendo o papel de uma fonte de corrente, pois injeta o uma corrente harmônica na linha com a mesma amplitude, mas em oposição de fase da corrente harmônica produzida pela carga com intuito de anular o conteúdo harmônico presente na corrente em circulação, prevalecendo somente a componente fundamental do sistema [2]. É perceptível, que os FAPS possuem melhor eficiência para compensação harmônica de cargas não-lineares do tipo fonte de tensão, geralmente cargas RC, enquanto os FAPP são mais indicados para compensação harmônica de cargas não-lineares do tipo fonte de corrente, geralmente carga RL.

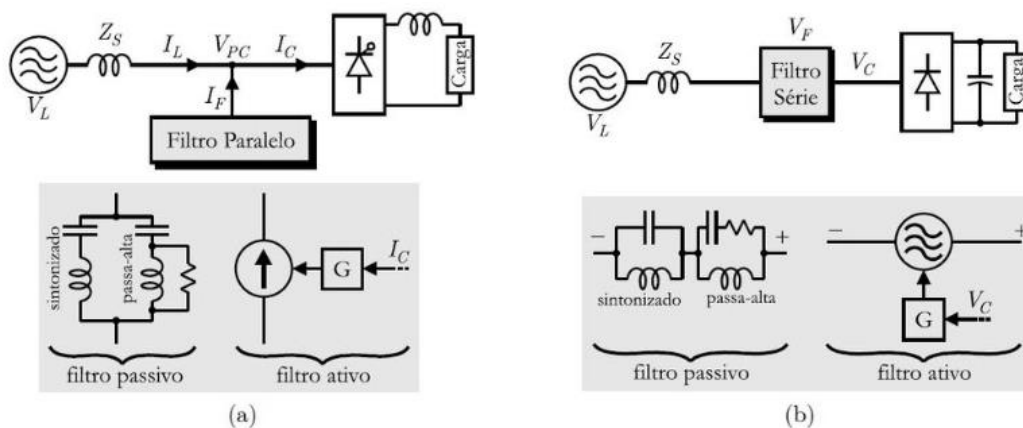


Figura 1 – Configurações gerais de filtros passivos e ativos adaptada de [11]. (a) Filtros conectados em paralelo. (b) Conectados em série.

Uma outra perspectiva sobre o funcionamento desses compensadores pode ser exposta e entendida pelas leis de Kirchoff. Se o intuito é corrigir problemas relacionados à corrente, deve-se realizar uma soma de correntes, deste modo, é necessário instalar um filtro ativo em paralelo com carga, pois esta é única forma de somar duas correntes pela lei dos nós de Kirchoff, agora quando o intuito é corrigir problemas relacionados à tensão, deve-se realizar uma soma de tensões, e então, é necessário instalar um filtro ativo em série com a carga, pois esta é única forma de se somar duas tensões de acordo com a lei das malhas de Kirchoff. [12]

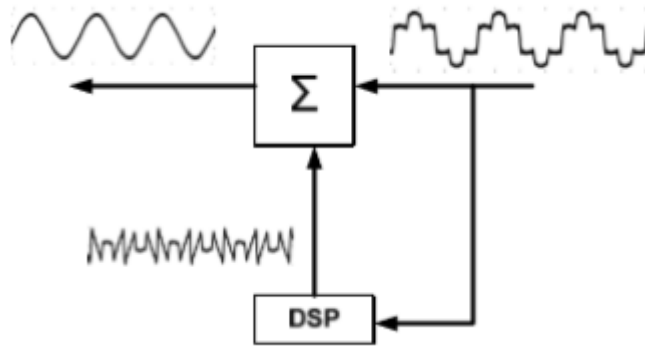


Figura 2 – Ideia geral de um filtro ativo, adaptada de [13].

3.3. TRANSFORMADA $d-q$

A transformada $d-q$ consiste em converter a referência espacial de um sinal, de modo que um sinal alternado (AC) possa ser interpretado como um sinal contínuo (DC), sem que haja perdas de informação. Esse tipo de mudança de coordenadas, do universo estacionário abc para o âmbito $d-q$, é muito usado no estudo de máquinas síncronas e também para filtragem de sinais.

Existem algumas etapas fundamentais para realizar a transformação para os eixos $d-q$, primeiramente aplica-se a transformada de Clarke para encontrar os vetores ortogonais v_0 , v_α e v_β através da matriz de transformação representada abaixo.

$$\begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \\ 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (1)$$

No caso de sistemas equilibrados desconsidera-se V_0 e a matriz acima é reduzida em outra matriz.

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2)$$

Em seguida faz-se a transformação de Park para obtenção das componentes contínuas $d-q$ através de uma matriz composta por coordenadas do vetor unitário síncrono $\sin(\theta)$ e $\cos(\theta)$ sintonizados de acordo com a frequência configurada em um módulo PLL (Phase-Locked Loop) que geralmente corresponde a frequência fundamental da rede.

$$\begin{bmatrix} vd \\ vq \end{bmatrix} = \begin{bmatrix} \cos \theta & \sin \theta \\ -\sin \theta & \cos \theta \end{bmatrix} \cdot \begin{bmatrix} v\alpha \\ v\beta \end{bmatrix} \quad (3)$$

Os sinais obtidos pelo método da transformada $d-q$ ou referência síncrona possuem maior confiabilidade, além de serem obtidos com maior facilidade, não apresentam perda de conteúdo ou informação devido a troca do referencial de análise, do oscilatório pelo contínuo, o que evita menores cálculos e problemas relacionados às defasagens angulares entre os vetores associados.

É importante lembrar que o processo reverso também é verdadeiro, quando se deseja obter sinais oscilatórios a partir de sinais contínuos deve-se realizar todos os passos já mencionados, porém com a metodologia invertida, onde é utilizado as transformações inversas das mesmas matrizes apresentadas acima.

3.4. MODULAÇÃO HISTERESE DE CORRENTE

Devido aos avanços tecnológicos, da adesão à informação e principalmente dos estudos que envolvem a eletrônica de potência, alguns equipamentos como os inversores de frequência sofreram modificações em sua construção, como a inserção dos IGBTs que foi de grande importância ao meio, possibilitando o controle de elevadas correntes e também de inúmeras novas aplicações industriais.

Esses dispositivos são controlados por pulsos de comando fornecidos através de um contato presente no semicondutor denominado gate. Existem duas técnicas de controle muito conhecidas que geralmente são empregadas para o chaveamento desses dispositivos, são a modulação PWM e histerese de corrente.

A histerese de corrente consiste em um controle de frequência variável, devido à grande variação da frequência de chaveamento, sua velocidade de resposta é muito importante para o seu correto funcionamento, o que justifica a exigência de um microcontrolador que possua uma boa capacidade referente a frequência de amostragem. A implementação dessa técnica exige a criação de duas bandas de referência derivadas do sinal principal, daquele que se deseja modelar através do inversor.

Primeiramente é necessário identificar como se comporta o fluxo de corrente na ponte H para que seja possível determinar o exato momento em que a corrente está aumentando ou diminuindo, deste modo, com as bandas de histerese e das informações do sentido da corrente

é possível realizar o controle por histerese de corrente.

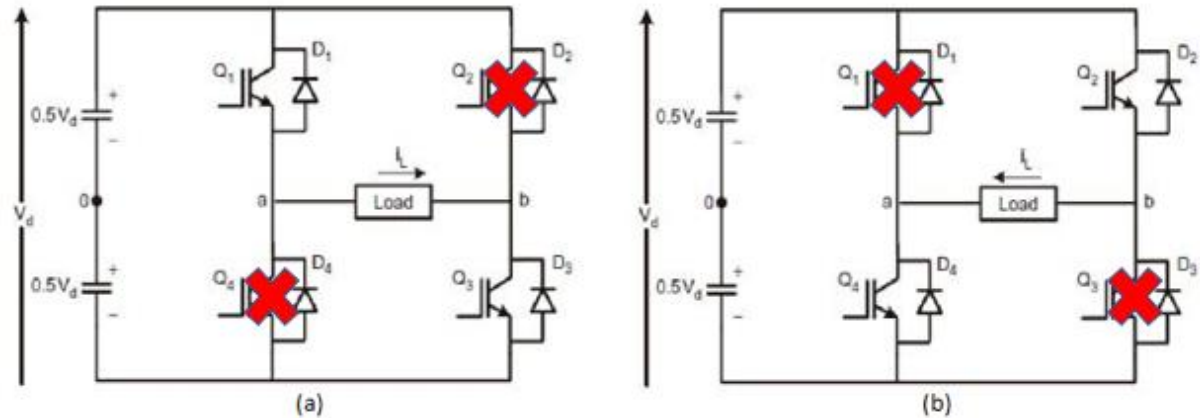


Figura 3 – Exemplificação de uma ponte-H completa. Em (a) Q1/Q3 ligados e Q2/Q4 desligados, em (b) Q1/Q3 desligados e Q2/Q4 ligados.

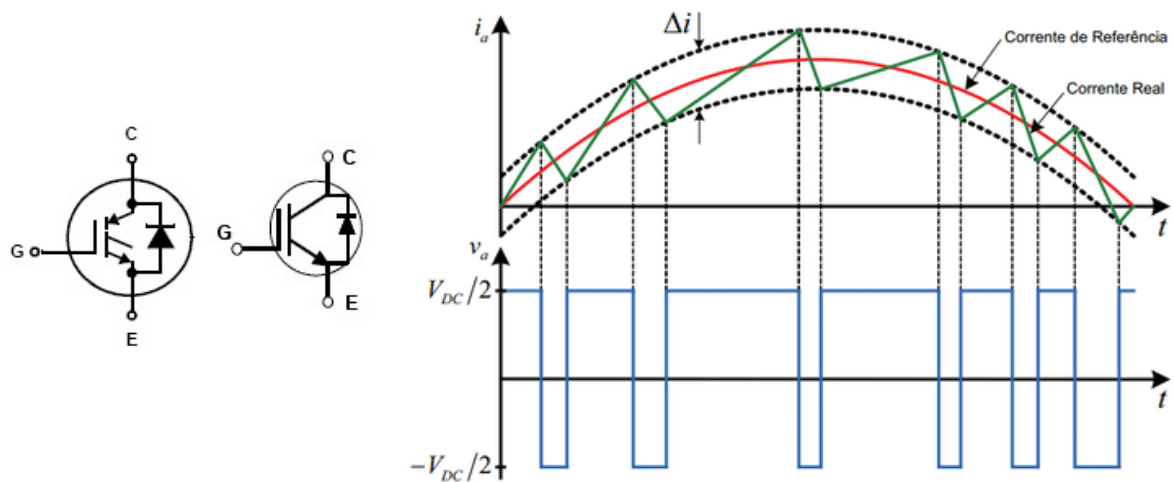


Figura 4 – Controle por histerese de corrente.

As figuras acima exemplificam muito bem o funcionamento de um inversor controlado por histerese de corrente, a figura 3, imagens (a) e (b) mostram o percurso da corrente frente a atuação de dois IGBTs em conjunto que ligam e desligam de acordo com os pulsos recebidos pelo gate, enquanto a figura 4 ilustra a importância das bandas de histerese, pois são elas que delimitam os exatos locais onde devem ser enviados os pulsos para ativação (nível logico alto) e desativação (nível logico baixo) de Q1/Q3 ou Q2/Q3 para modelar o sinal de corrente real.

3.5.MICROCONTROLADOR TEXAS LAUNCHXL-F28027 C2000 Piccolo

O microcontrolador definido para realizar o controle, leitura das variáveis de interesse e o processamento de sinais do equipamento em desenvolvimento foi o C2000TM PiccoloTM LaunchPadTM, LAUNCHXL-F28027, que possui algumas funções muito semelhantes a um processador digital de sinais (DSP), mas ainda não o representa por completo, pois não desempenha as mesmas funções com a mesma velocidade, eficiência e precisão.

É uma placa nova disponibilizada pela Texas, ainda em processo de adaptações e testes, com o propósito de tornar esse tipo de tecnologia cada vez mais acessível. Além disso, esses microprocessadores F2802x são mais flexíveis e permitem a intercomunicação com outros dispositivos da mesma família, pois possuem uma interface mais intuitiva e design mais familiar quando comparados aos concorrentes disponíveis no mercado.

No manual do usuário, consta que a placa oferece uma ferramenta de emulação JTAG integrada que permite uma comunicação direta com os computadores para fácil programação, depuração e avaliação, mas também, possui uma interface USB que possibilita outro tipo de conexão serial conhecido como UART. Uma plataforma muito utilizada para depuração dos algoritmos de controle é o Code Composer StudioTM IDE que possui variadas versões disponíveis para download no próprio site da Texas Instruments. O micro apresenta uma arquitetura de ponto-fixado de 32 bits, mas pode ser convertida para trabalhar em ponto flutuante com o uso da biblioteca IQmath, tornando-se eficiente para operações matemáticas. O modelo tem alimentação de 3,3[Vdc], pinos de entrada e saída com interfaces digitais e analógicas, suporte a interrupções de periféricos, memória FLASH, SARAM, OTP e boot ROM disponíveis para o uso, interface de comunicação serial (SCI), módulos UART, ePWM, HRPWM, eCAP, interface periférica serial (SPI), conversor analógico-digital (ADC), entre outros diversos módulos e interfaces periféricas. A figura abaixo exemplifica todos os recursos oferecidos pelo LAUNCHXL-F28027 C2000 LaunchPad. [14]

- Interface de depuração e programação USB através de um emulador XDS100v2 galvanicamente isolado de alta velocidade com uma conexão USB / UART.
- Dispositivo superset F28027 que permite a intercomunicação com modelos de menor custo.
- Monitor LED de nibble (4 bits).
- Dois botões para feedback do usuário e redefinição do dispositivo.

- Pinos do dispositivo facilmente acessíveis para fins de depuração ou como soquetes para adicionar extensão de placas personalizadas.
- Seleção de inicialização e chaves de desconexão USB e UART.

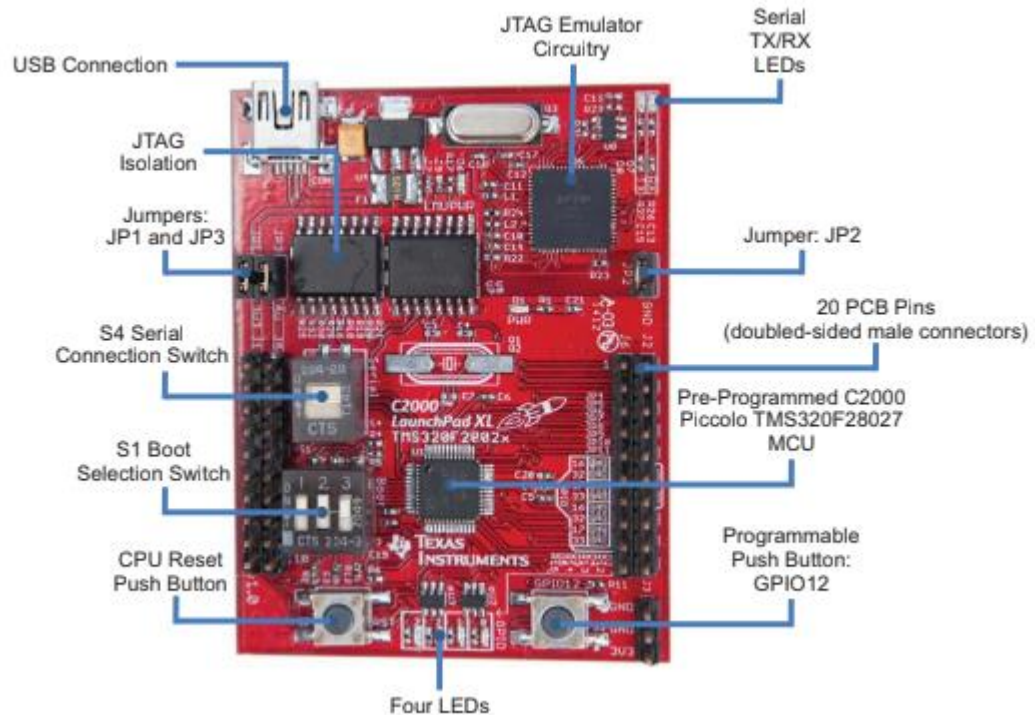


Figura 5 - LAUNCHXL-F28027 vista superior da placa. Adaptada de [14].

O microcontrolador escolhido é o cérebro do equipamento, é responsável pelas principais e essenciais atividades do filtro ativo, pois recebe os sinais provindos dos transdutores de tensão e corrente para realimentação e monitoramento, realiza as rotinas implementadas no loop de interrupção e envia os sinais de comando para garantir o funcionamento da técnica de controle implementada.

4. DESCRIÇÃO DAS ATIVIDADES DESENVOLVIDAS

Promovendo sequência a todo referencial teórico em estudo, esta etapa do trabalho relata os principais métodos, atividades, ferramentas e recursos adotados para o desenvolvimento do filtro ativo de potência. A estrutura de confecção do equipamento seguiu a ordem cronológica dos tópicos que serão abordados em seguida.

4.1. SIMULAÇÃO EM MATLAB

4.1.1. S-FUNCTION

É uma extensão fornecida pelo MATLAB na plataforma *Simulink* que possibilita o usuário programar em outras linguagens como C, C++ ou Fortran, dentro do próprio ambiente de simulação. Esses novos arquivos, do tipo MEX, são compilados por um compilador adicional, *MinGW-w64*, que deve ser instalado para o correto funcionamento da ferramenta. A principal justificativa para a utilização desse recurso se deve a posterior implementação das rotinas desenvolvidas no software Code-Composer que possui praticamente a mesma linguagem da ferramenta S-Function.

A instalação do *MinGW-w64* é longa, mas simples de ser realizada, basta seguir passo a passo os tópicos a seguir que o compilador será instalado com sucesso. [15]

- i. Na interface inicial do MATLAB abrir a aba Add-On;
- ii. Abrirá uma tela adicional (*Add-On Explorer*) que tem uma janela de busca (*Search for add-ons*), procurar por *MinGW-w64*;
- iii. Pular para o passo (ix) caso a versão do MATLAB for R2017b ou posterior.
- iv. Na mesma tela clicar no item *MATLAB Support for MinGW-w64 C/C++ Compiler* e em seguida em *Bug Report*;
- v. Na tela subsequente, no tópico *Attachments*, realizar o download do arquivo *attachment 1741173 13b through 17a win64 2018-03-08.zip*, descompactar a pasta que conterà outras duas pastas com nomes *bin* e *bugreport*.
- vi. Como no endereço *C:\Program Files\MATLAB\R2017a* já existem duas pastas com os mesmos nomes das pastas existentes no arquivo baixado, o objetivo é substituir ou acrescentar os novos arquivos baixados.
- vii. Copiar o item da pasta *bin* e transferi-lo para o endereço *C:\Program Files\MATLAB\R2017a\bin*.

- viii. Se não existir uma pasta com o nome *bugreport* em *C:\Program Files\MATLAB\R2017a*, copiá-la de *attachment_1741173_13b_through_17a_win64_2018-03-08.zip* e colar neste endereço inicial, mas se já existir é necessário abrir a pasta *bugreport* alterar o nome do arquivo *license.txt* para *licenseOLD.txt* e salvá-lo em outro local como backup. Em seguida transferir o arquivo *license.txt* da pasta *attachment_1741173_13b_through_17a_win64_2018-03-08.zip* para o endereço *C:\Program Files\MATLAB\R2017a\bugreport*;
- ix. Finalmente, voltar na tela do item *MATLAB Support for MinGW-w64 C/C++* e clicar em *Install*. Para garantir que a instalação foi realizada com sucesso, reiniciar o MATLAB e na janela *Command Window* digitar “*mex -setup*”, a seguinte mensagem deve aparecer.

MEX configured to use 'MinGW64 Compiler (C)' for C language compilation.

Warning: The MATLAB C and Fortran API has changed to support MATLAB variables with more than $2^{32}-1$ elements. You will be required to update your code to utilize the new API.

You can find more information about this at:

http://www.mathworks.com/help/matlab/matlab_external/upgrading-mex-files-to-use-64-bit-api.html.

To choose a different language, select one from the following:

`mex -setup C++`

`mex -setup FORTRAN`

As S-Funcions podem trabalhar com sistemas contínuos, discretos e híbridos. Seguindo um conjunto de regras simples é possível implementar um algoritmo em um bloco S-Function e adicioná-lo a um modelo no *Simulink*, em seguida é interessante atribuir um nome a esse bloco e assim ele estará disponível na biblioteca “Bloco Funções Definidas pelo Usuário”. [16]

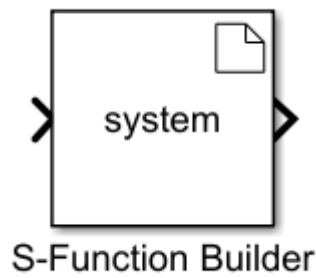


Figura 6 – Bloco S-Function Builder disponível no *Simulink*.

4.1.2. PHASE LOCKED LOOP – PLL

Um circuito PLL tem como objetivo promover a sincronização em frequência e fase entre sinais de entrada e saída, isto é realizado medindo-se a diferença entre fases dos sinais em análise, essa diferença ou erro (θ) deve tender a zero para que haja perfeita sincronização.

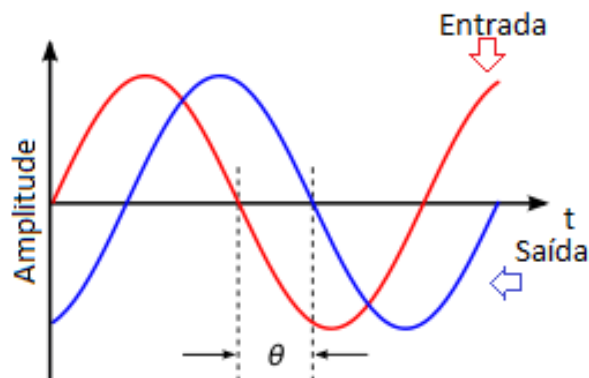


Figura 7 - Diferença ou erro (θ) entre fases.

No software MATLAB, no ambiente de simulação *Simulink*, existe um bloco representativo da malha de controle de um PLL que foi utilizado para identificar a frequência real da rede e sincronizar em fase os sinais recebidos e emitidos pelo filtro ativo com o meio externo.



Figura 8 – Bloco da malha PLL no MATLAB.

4.1.3. REFERÊNCIA SÍNCRONA MODIFICADA

É de conhecimento que as cargas não-lineares “poluem” intensamente o sistema elétrico, pois afetam negativamente o fator de potência devido a presença do conteúdo harmônico nos sinais de tensão e corrente.

Com o intuito de conhecer todo esse conteúdo harmônico dos sinais elétricos, optou-se pela implementação da extração harmônica pelo método $d-q$ ou referência síncrona. Neste caso, em equipamentos com alimentação monofásica, o método em questão possui uma adaptação e é mais conhecido por referência síncrona modificada.

O método $d-q$ modificado possui algumas adaptações quando comparado a referência síncrona para sistemas trifásicos. Inicialmente geram-se dois sinais, uma senoide e uma cossenoide, sincronizados com a rede por meio do PLL. Sequencialmente, faz-se a multiplicação desses sinais pelo sinal “poluído”, a curva resultante é inserida em um filtro passa-baixas, responsável por permitir somente a passagem da fundamental. Neste ponto, há o incremento de um ganho duas vezes maior na amplitude desse conteúdo e então efetua-se novamente uma multiplicação deste com os sinais gerados inicialmente. Com isso, fez-se a transformação $d-q$ para realizar a extração do sinal de frequência fundamental que possibilitou a separação do conteúdo harmônico do mesmo.

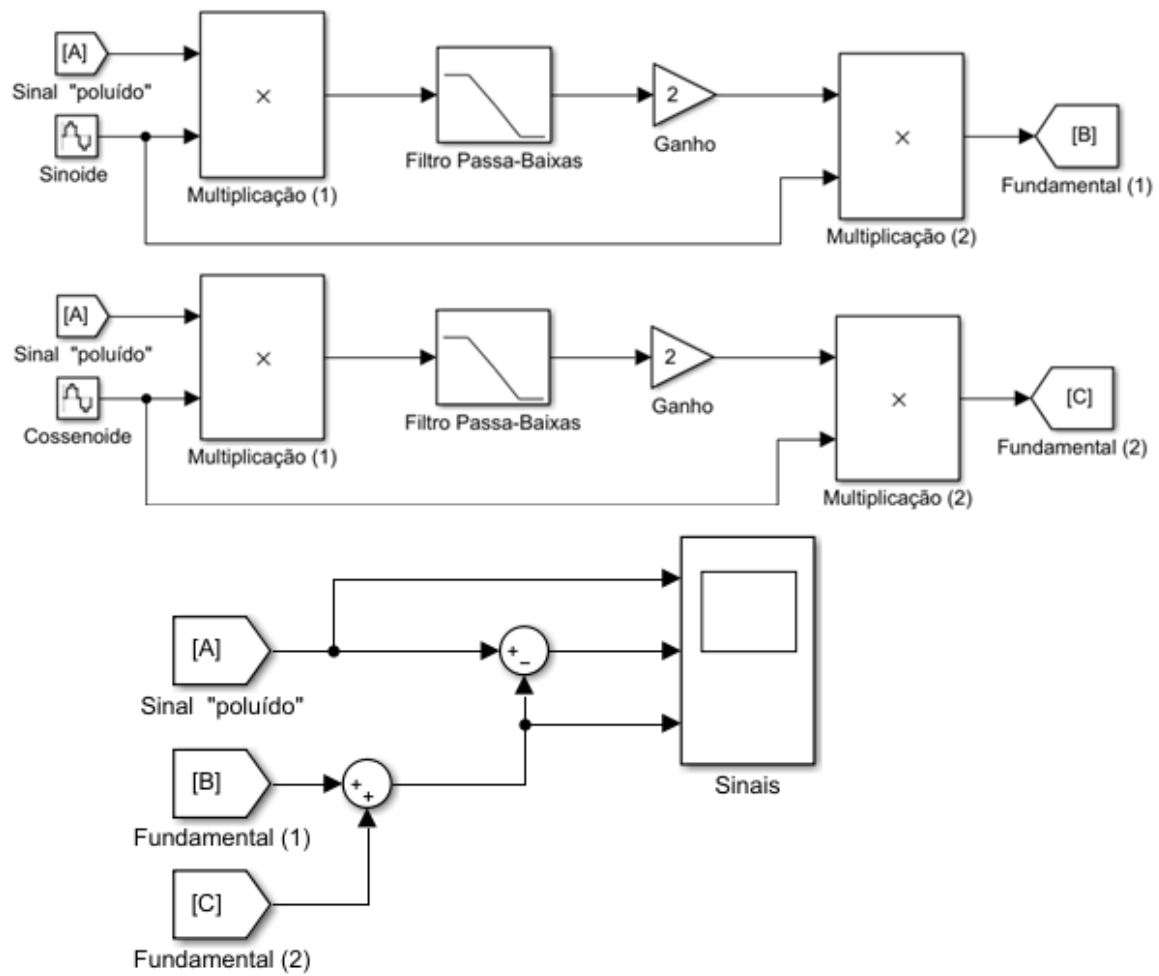


Figura 9 – Simulação da referência síncrona modificada em diagrama de blocos.

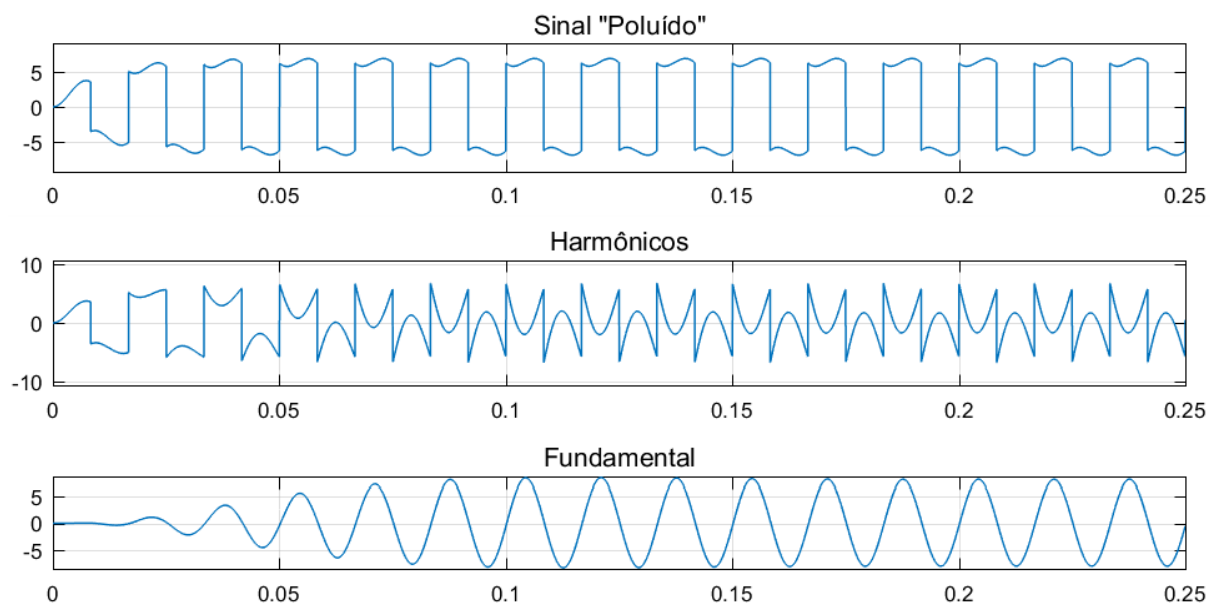


Figura 10 – Sinais providos do osciloscópio da simulação em diagrama de blocos.

A simplificação do diagrama de blocos apresentado acima por meio da ferramenta S-Function, com o bloco S-Function Builder, também foi realizada e obviamente os resultados foram idênticos.

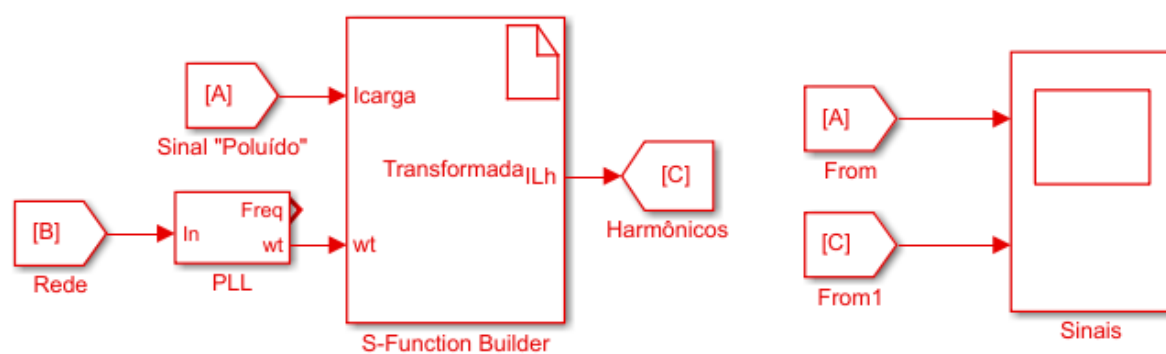


Figura 11 – Simulação da referência síncrona modificada em S-Function.

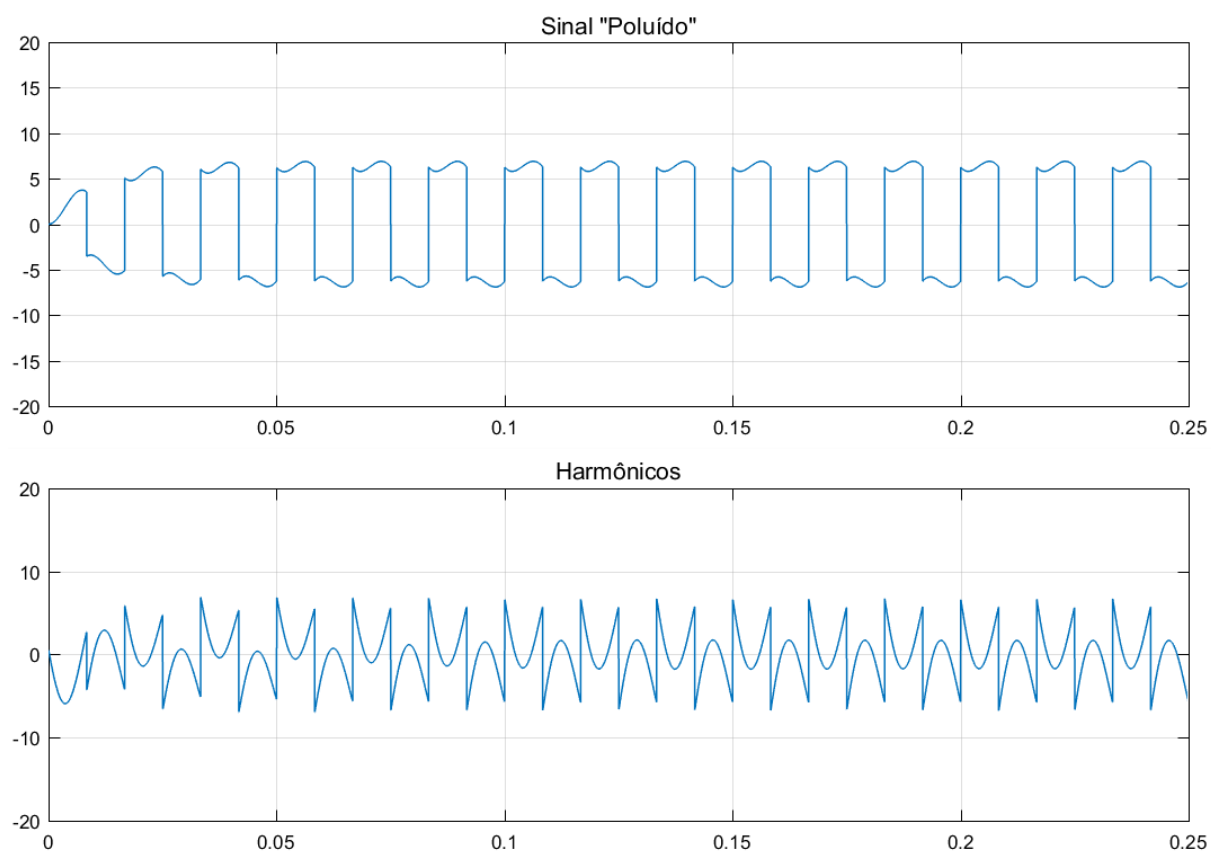


Figura 12 – Sinais providos do osciloscópio da simulação em S-Function.

4.1.4. CONTROLE POR HISTERESE DE CORRENTE

Para a simulação do controle por histerese de corrente utilizou-se toda a conceituação e procedimento descrito no item 3.4. Neste tópico, a confecção deste controle será realizada e exemplificada passo a passo para o esclarecimento de todo processo.

1º Identificação do sentido da corrente diante dos pulsos injetados no gate;

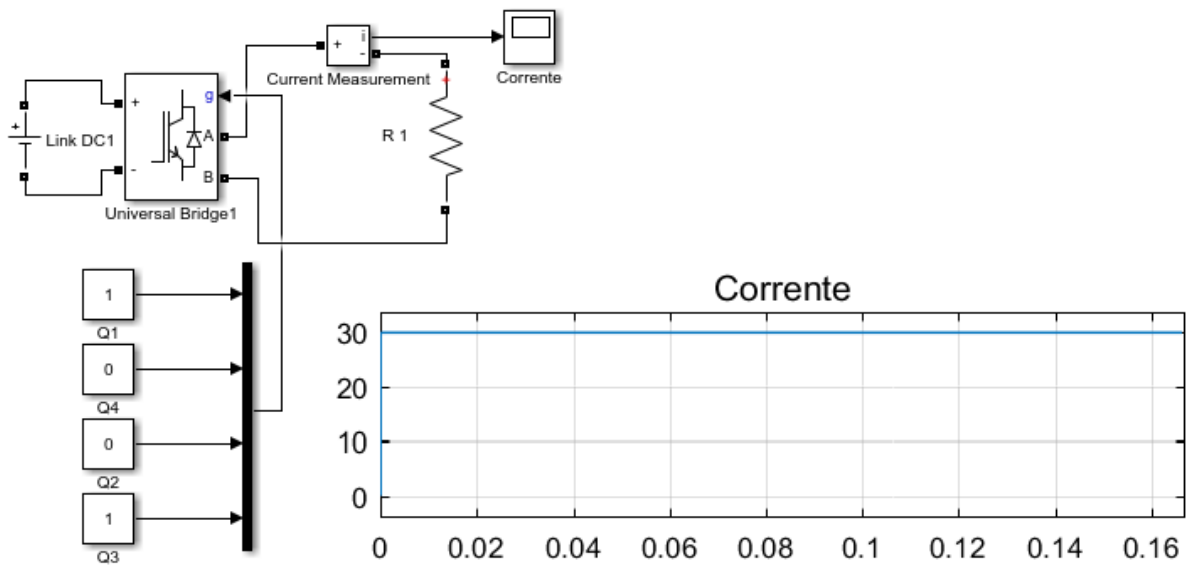


Figura 13 – Corrente circulando no sentido positivo.

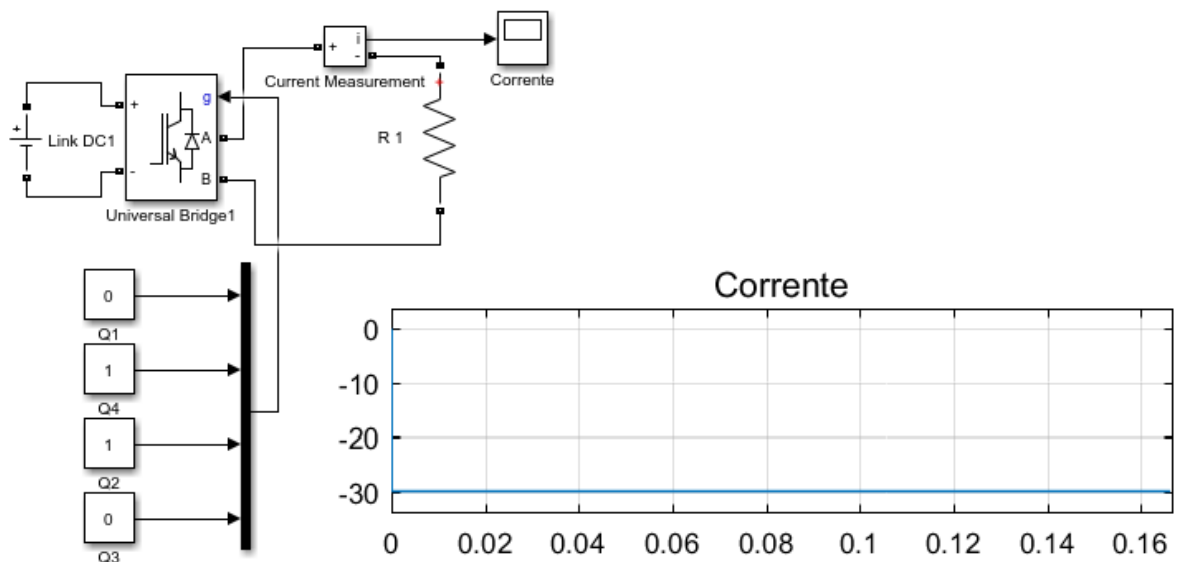


Figura 14 – Corrente circulando no sentido negativo.

2º Criação das bandas de histerese;

BANDA POSITIVA  *Sinal referência + 0,5*

BANDA NEGATIVA  *Sinal referência - 0,5.*

Obs: Neste trabalho, foi adotado $\pm 0,5$, mas pode ser adaptado em outros casos para otimização do controle.

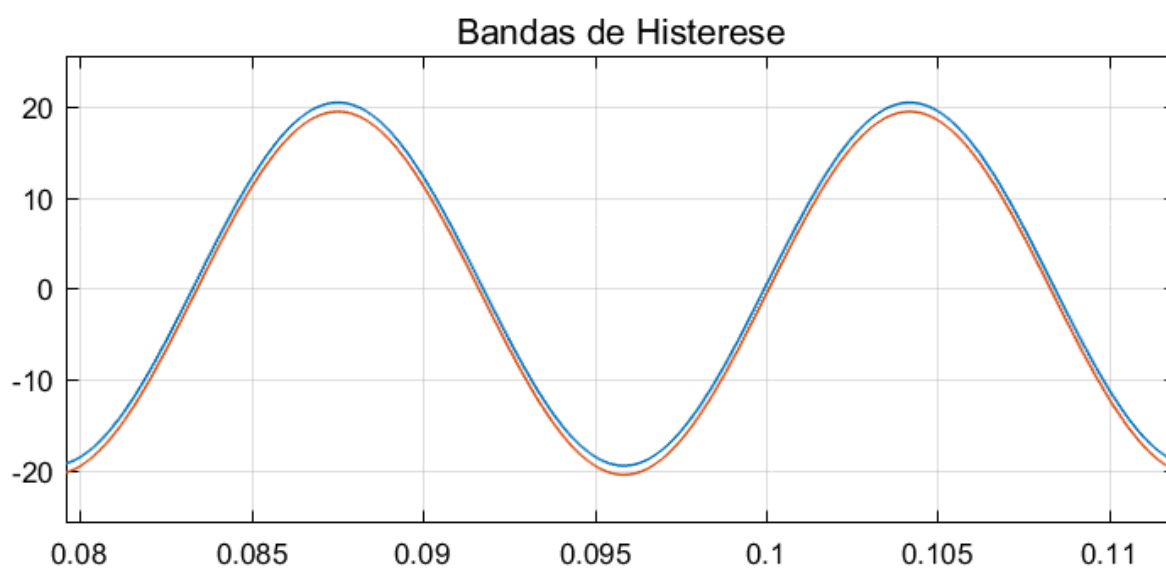
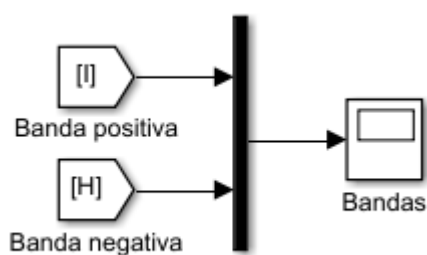


Figura 15 - Gráfico das bandas de histerese.

3º Implantação da lógica de controle dos IGBTs em S-Funcion.

Deseja-se modelar o sinal referência, portanto o inversor é chaveado para atingir tal objetivo. As bandas de histerese delimitam e conduzem o sinal gerado, que será muito semelhante ao real.

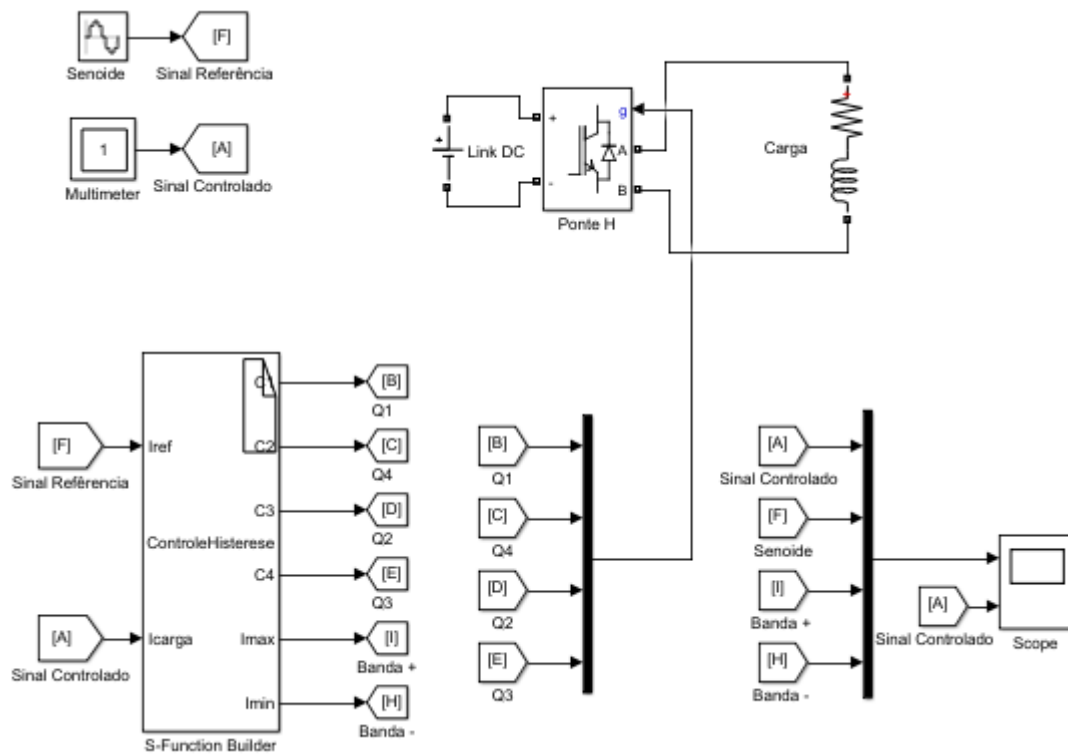


Figura 16 – Controle por histerese de corrente.

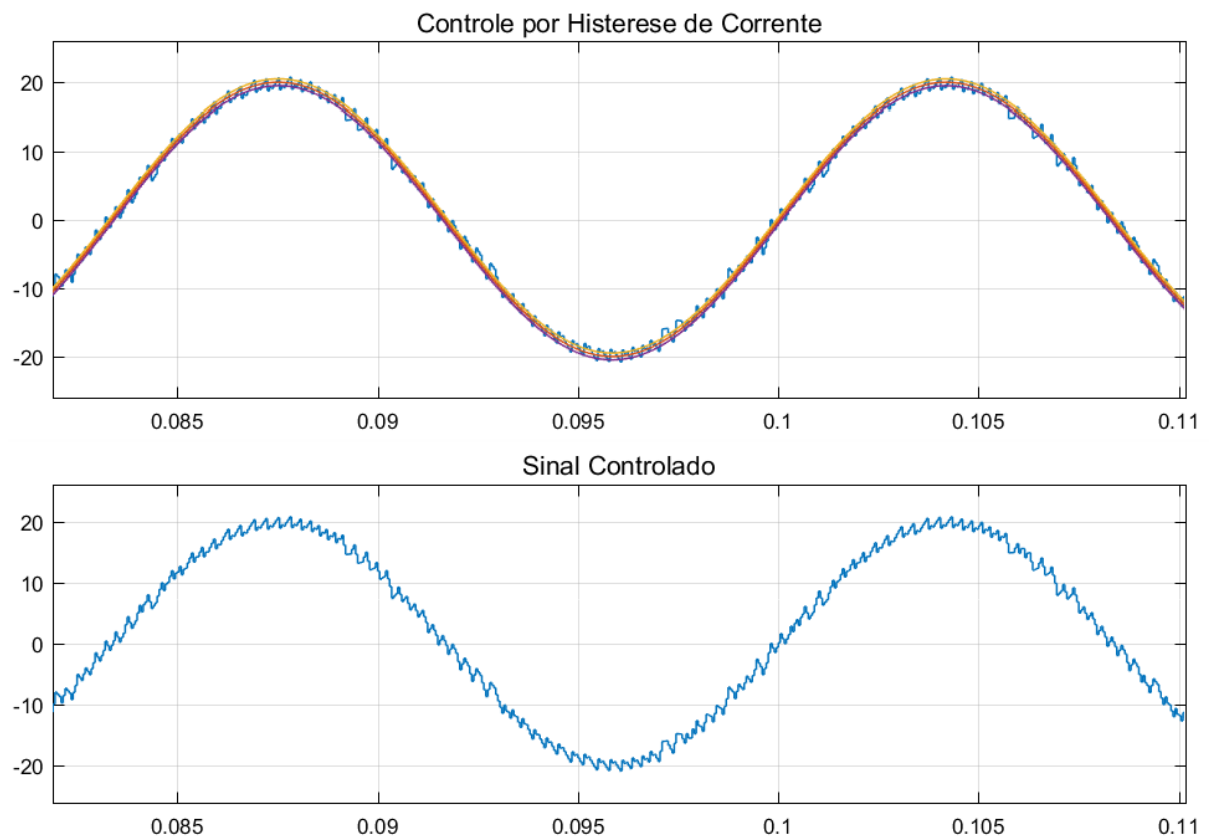


Figura 17 – Apresentação do sinal controlado em conjunto com as bandas de histerese.

4.1.5. FAPP COMPLETO

Nos tópicos anteriores foi sintetizado os principais segmentos e conceitos essenciais para o desenvolvimento do filtro ativo de potência do tipo shunt em ambiente de simulação. Além de todo esse aparato desenvolvido anteriormente é necessário contextualizar os outros componentes do equipamento.

Uma configuração prática do sistema foi encontrado no artigo de Fang Zheng Peng e a partir desta foram realizadas adaptações com o módulo do FAPP criado neste trabalho. Os parâmetros de indutância da linha foram definidos por Z_S e Z_L , dados em porcentagem da carga base da linha, o que possibilitaram tais adaptações.

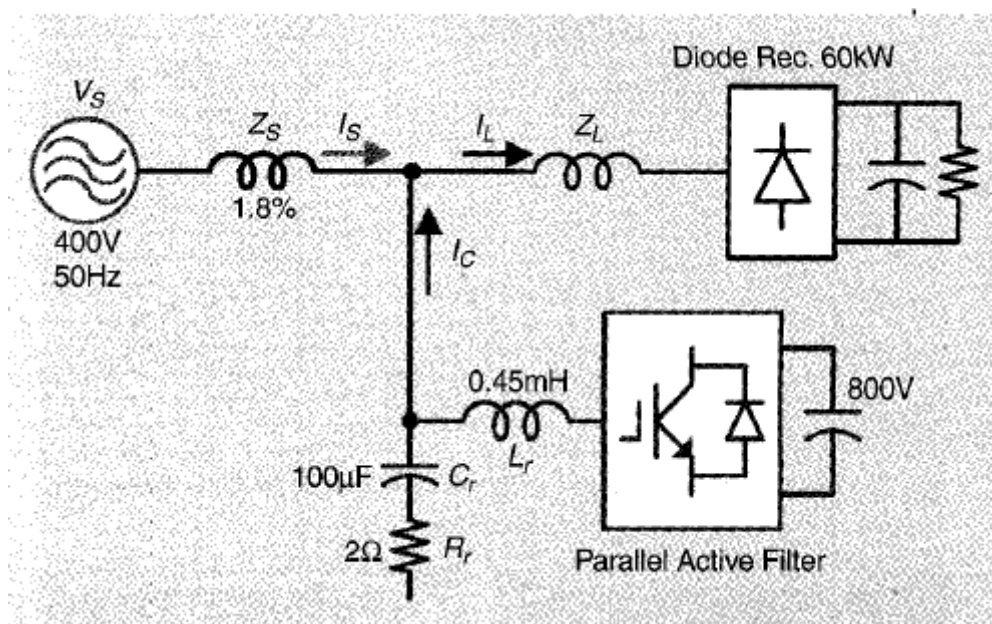


Figura 18 – Configuração do sistema de um filtro ativo paralelo. [2]

O objetivo principal desta pesquisa é desenvolver um módulo representativo de um FAPP monofásico, o que justifica o estudo do perfil das cargas existentes em uma residência cujo fornecimento de energia é do tipo A e suporta cargas até 10kW. De acordo com a Aneel o fator de potência mínimo para unidades consumidoras em níveis de tensão inferiores a 69kV deve ser de 0,92 [1], deste modo, a suposta carga aparente para um fornecimento do tipo A deve ser aproximadamente de 10,87kVA.

A adaptação da interface do sistema foi implementada em código no MATLAB e interligada por meio das variáveis à configuração adotada para representação do FAPP.

```

Pb = 10e3
fp = 0.92
Vb = 127
Vpb = 127*sqrt(2)
Sb = Pb/fp
Zb = (Vb)^2/Sb
R1 = 10
Xs = Zb*(1.8/100)
Ls = Xs / (2*pi*60)
Xl = Zb*(7.3/100)
Ll = Xl / (2*pi*60)

```













Workspace	
Name ▲	Value
 fp	0.9200
 LI	2.8733e-04
 Ls	7.0849e-05
 Pb	10000
 R1	10
 Sb	1.0870e+04
 Vb	127
 Vbp	179.6051
 Vpb	179.6051
 Xl	0.1083
 Xs	0.0267
 Zb	1.4839

Figura 19 – Parâmetros utilizados na configuração adotada.

Legenda

P_b – Potência ativa base;
 S_b – Potência aparente base;
 fp – Fator de potência mínimo;
 V_b – Tensão base;
 V_{pb} – Tensão de pico base;
 Z_b – Impedância base;
 R_1 – Resistência base;
 X_s – Reatância da fonte base;

L_s – Indutância da fonte base;
 X_l – Reatância da linha base;
 L_l – Indutância da linha base;
 I_{source} – Corrente na fonte;
 I_{load} – Corrente na carga;
 I_{filter} – Corrente no filtro;
 L_{filter} – Indutância do filtro.

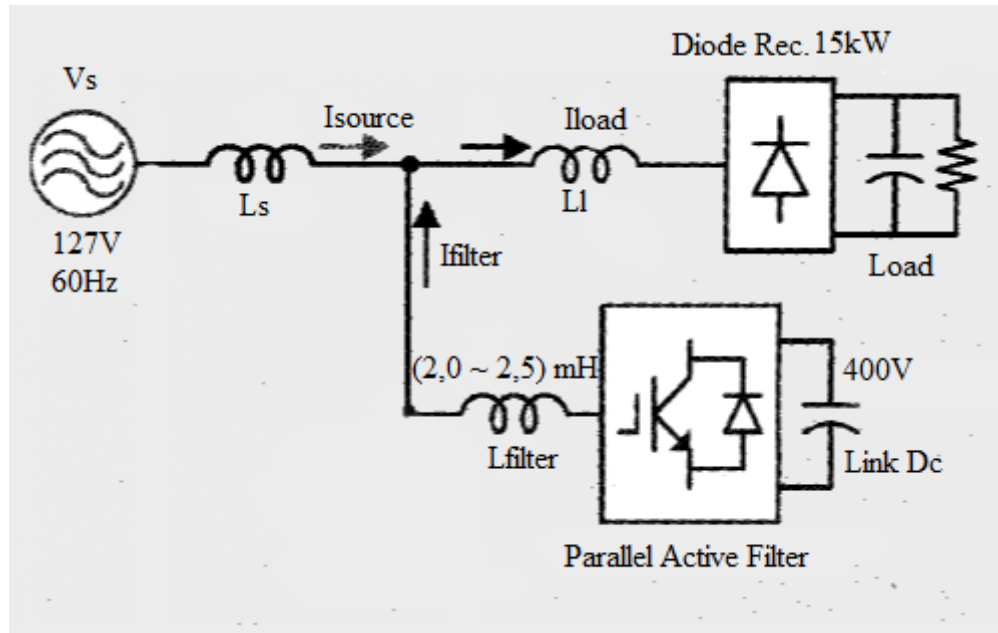


Figura 20 – Configuração do sistema em estudo.

Definido a interface do sistema em estudo, foi possível realizar as simulações no *Simulink* do FAPP completo. Como já mencionado anteriormente, este mitigador de harmônicos é mais eficiente para cargas do tipo fonte de corrente do que para cargas do tipo fonte de tensão, para comprovar essa afirmação foram realizadas duas simulações a primeira com cargas não lineares indutivas e a segunda com cargas não lineares capacitivas.

- Simulação com carga não-linear indutiva:

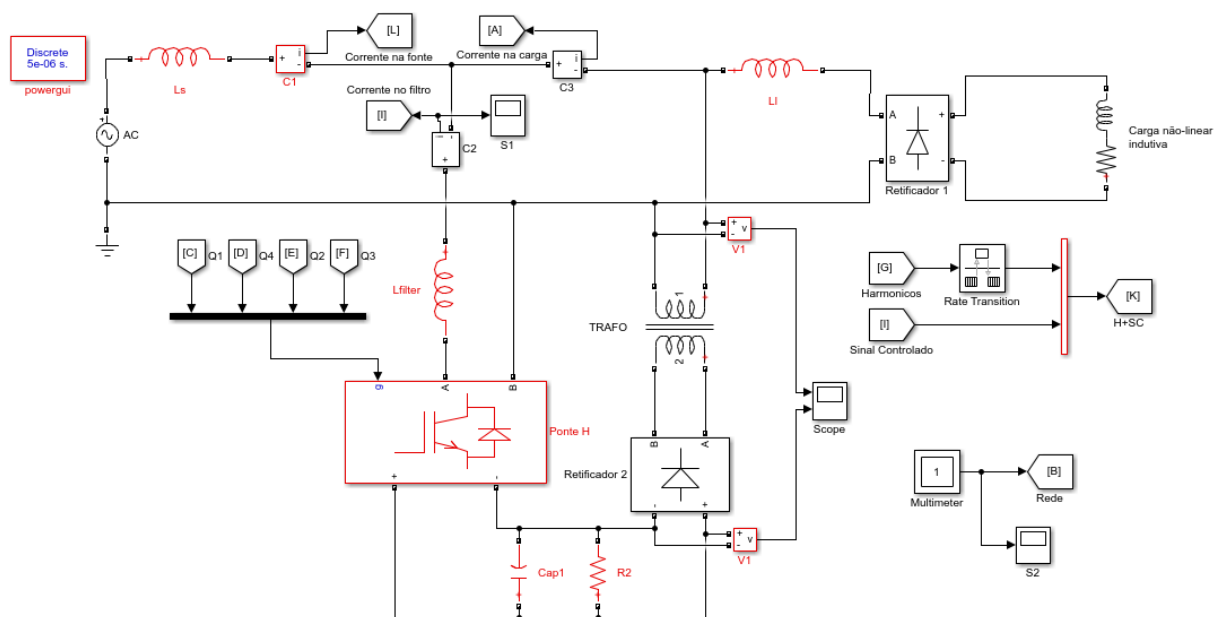


Figura 21 - FAPP completo para carga não-linear indutiva.

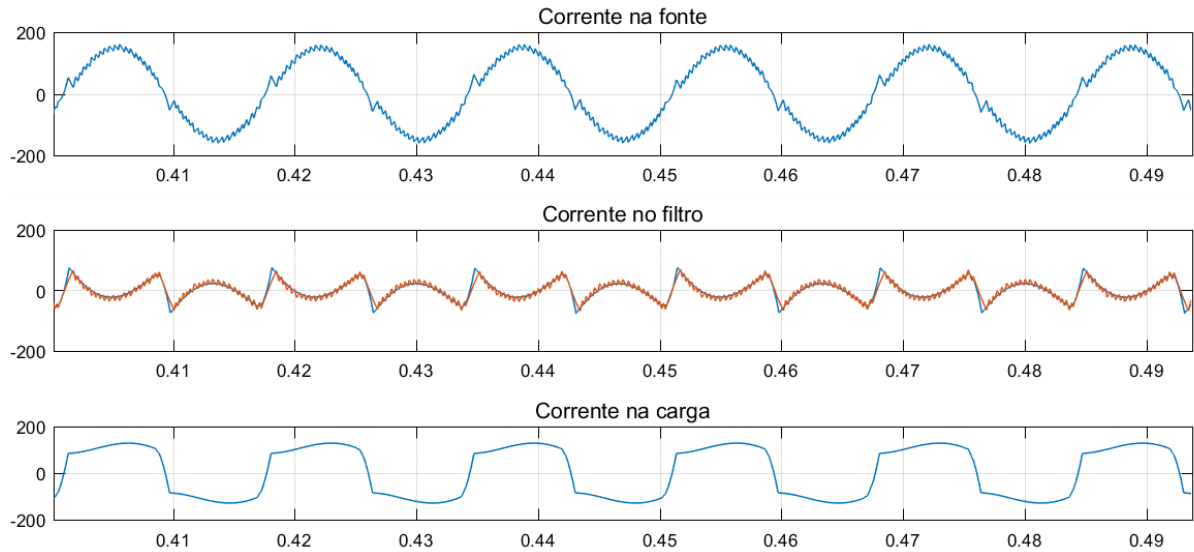


Figura 22 – Monitoramento das correntes do sistema em simulação sob carga não-linear indutiva.

O software MATLAB possui um recurso conhecido como Fast Fourier Transform (FFT analysis) que permite ao usuário analisar os sinais medidos no osciloscópio de simulação. Na figura abaixo, foi feita uma comparação do sinal de corrente medido na fonte sem o filtro shunt e com o filtro shunt respectivamente. O resultado obtido foi plausível, visto que a taxa de distorção harmônica diminuiu para taxas harmônicas duas vezes menores, o que contribui sistematicamente para a melhoria na qualidade da energia.

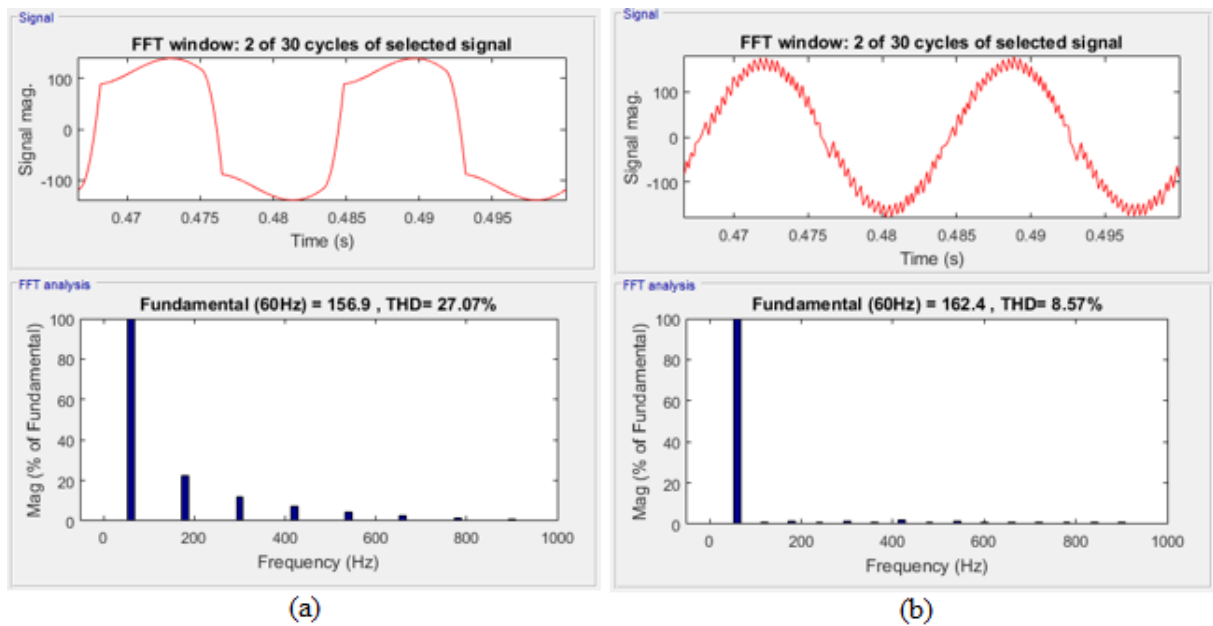


Figura 23 - FFT analysis no MATLAB sob carga não-linear indutiva. Imagem (a) sem o FAPP e Imagem (b) com FAPP.

- Simulação com carga não-linear capacitiva

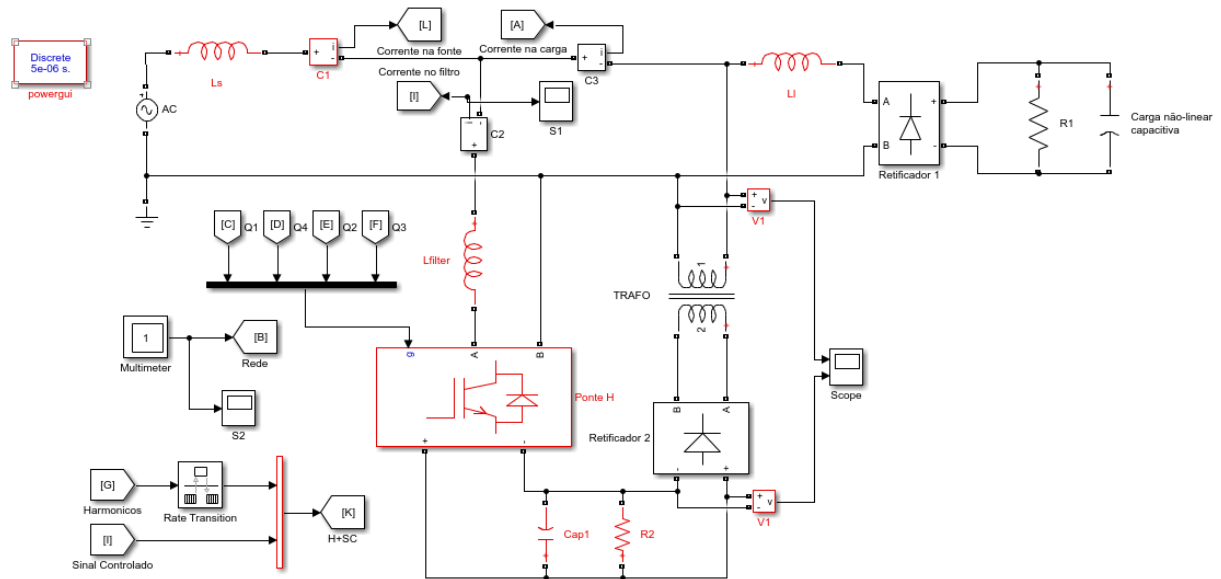


Figura 24 – FAPP completo para carga não-linear capacitiva.

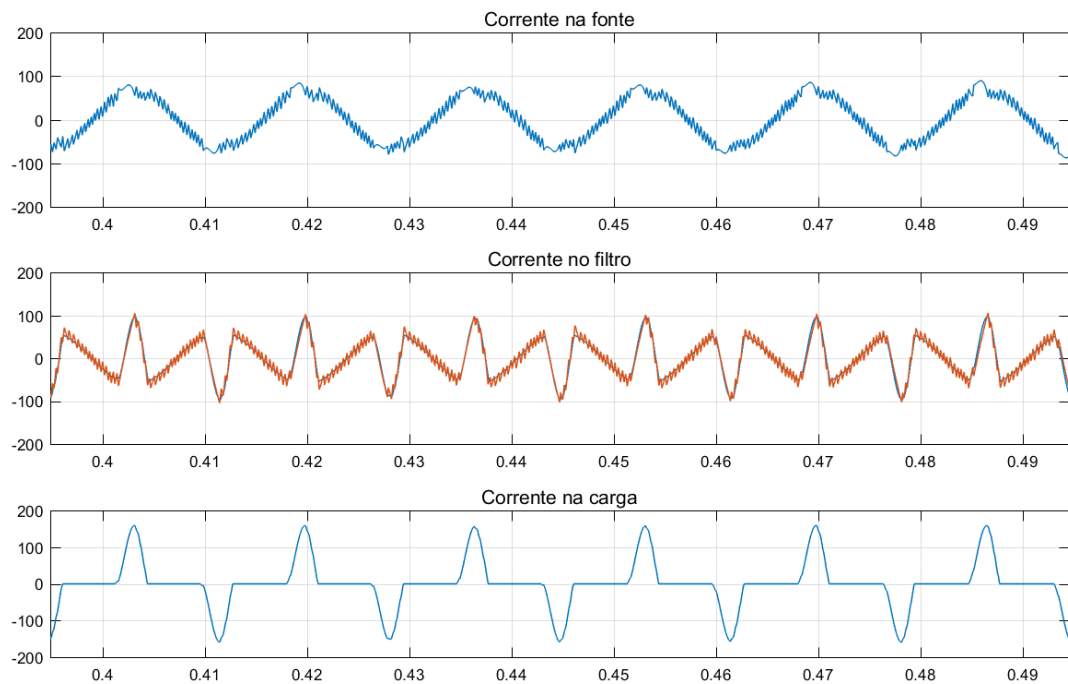


Figura 25 – Monitoramento das correntes do sistema em simulação sob carga não-linear capacitiva.

Do mesmo modo, foi utilizado o FFT analysis para provar que este equipamento não é o mais indicado para compensar harmônicos providos de cargas do tipo fonte de tensão. Apesar disso, os resultados obtidos com e sem o FAPP foram satisfatórios, pois é visível que a taxa de distorção harmônica (THD) diminuiu drasticamente de (a) para (b).

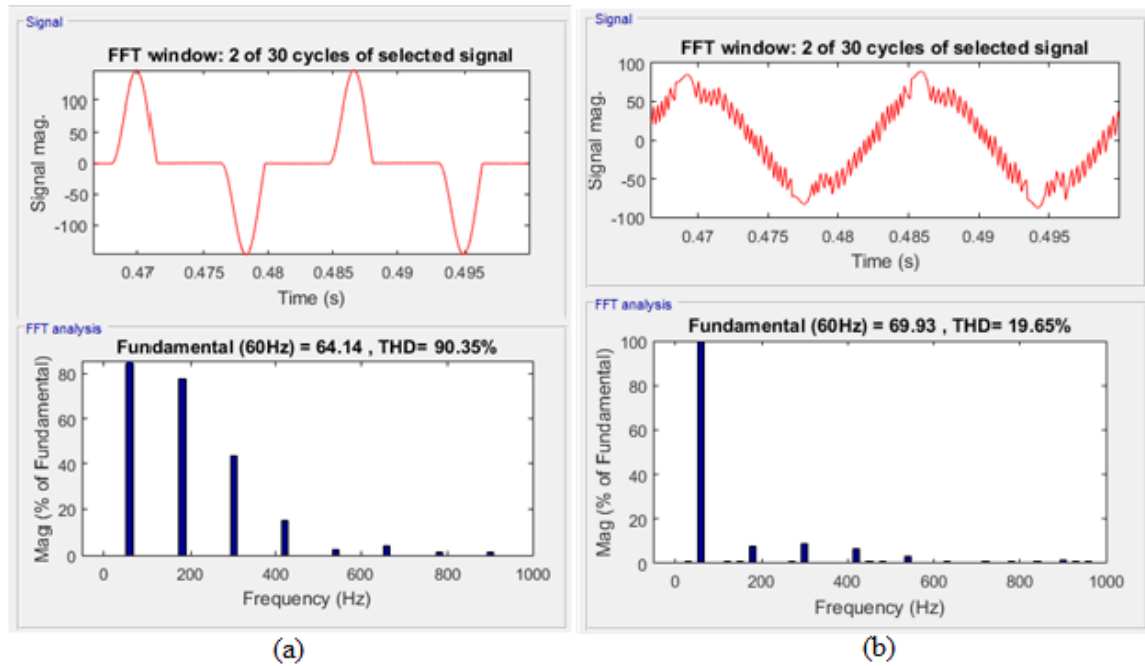


Figura 26 - FFT analysis no MATLAB sob carga não-linear capacitativa. Imagem (a) sem o FAPP e Imagem (b) com FAPP.

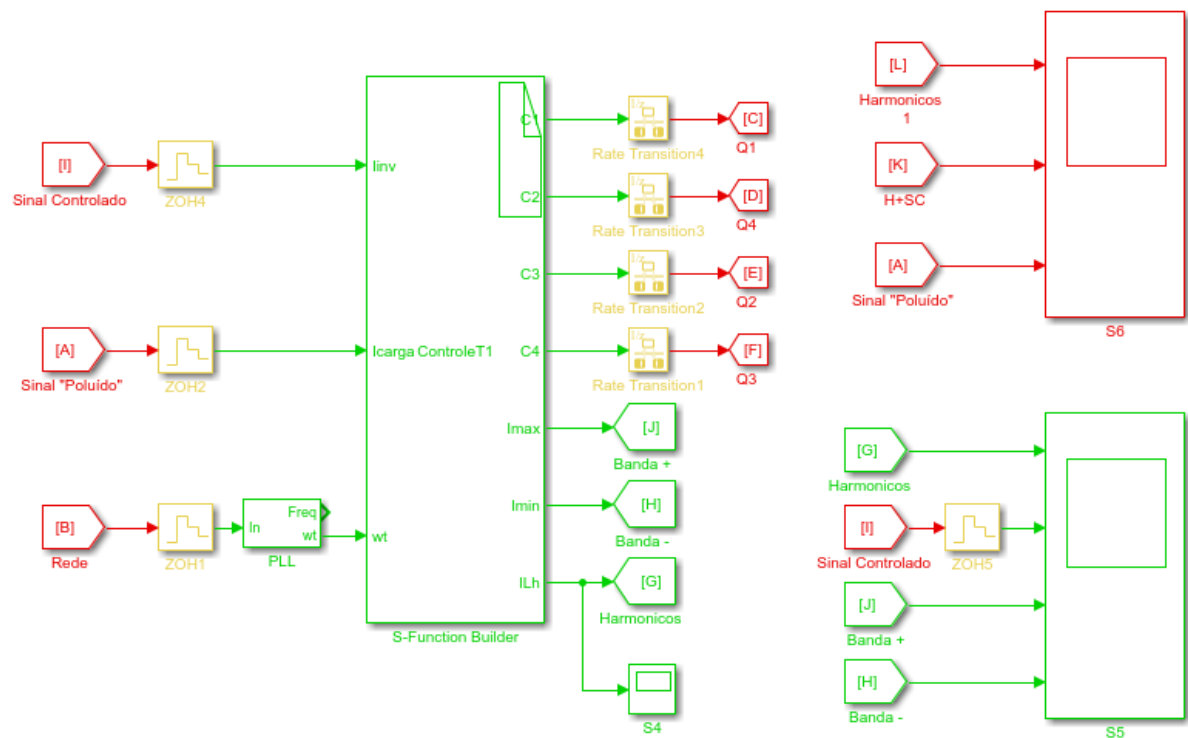


Figura 27 – Interface de controle e osciloscópios de medição de sinais do FAPP para ambos tipos de carga.

4.2. CONFIGURAÇÃO BASE DO MICROCONTROLADOR

A partir da definição do microcontrolador a ser utilizado para implementação prática do FAPP, foi visto a necessidade de estudar, entender e configurar as funções do cérebro do equipamento. Deste modo, foi selecionado entre os inúmeros recursos oferecidos, aquelas funções vistas como fundamentais, indispensáveis e básicas para o controle efetivo do equipamento em construção.

4.2.1. DIGITAL I/O – GPIO

Todos os digitais I/O's são agrupados juntos em portas conhecidas por GPIO-A, B, D até GPIO-G, esse nome GPIO provem de “general purpose input or output”. O processador C28x é equipado com muitas unidades internas, sendo que nem todas características podem ser conectadas com pinos dedicados do dispositivo a qualquer momento. Isso significa que uma simples porta física do dispositivo pode assumir de duas a três funções diferentes dependendo da configuração feita pelo programador. [14]

As portas GPIOs são controladas por três registros principais, GPxMUX, GPxPUD e o GPxDIR, onde x varia de A até G. O primeiro registro define qual o tipo de função que os pinos I/O's executarão, o segundo seleciona se o pino terá configuração pull-up ou pull-down e o terceiro é responsável por informar a direção dos sinais recebidos, ou seja, se o pino será utilizado como uma entrada ou saída.

Os bits de posição controlados por esses registros podem receber nível lógico baixo ou nível lógico alto, no caso do primeiro registro, quando recebe nível lógico baixo assume a função de GPIO e quando recebe nível lógico alto assume a função de PWM. No caso do segundo registro, quando recebe nível lógico baixo funciona como pull-up e quando recebe nível lógico alto funciona como pull-down. Já para o terceiro registro, quando recebe nível lógico baixo atua como entrada e quando recebe nível lógico alto atua como saída.

4.2.2. INTERRUPÇÃO

O que é uma interrupção?

Uma analogia interessante é aquela em que você está realizando uma tarefa importante de trabalho e o telefone toca, então você atende e retorna ao trabalho. O tempo que durou a ligação é a tal interrupção, e é obvio que quanto menor esse tempo de ligação melhor será para o prosseguimento da atividade inicial. Também é importante observar que as vezes essa ligação

pode vir de sua mãe ou namorada, criando um grau de prioridade para a ligação, de qualquer maneira cedo ou tarde é necessário retornar à atividade inicial, caso contrário o objetivo real não será concluído. Com isso, é perceptível que uma interrupção pode ocorrer derrepente o que tecnicamente caracteriza seu assincronismo, podendo ser mais ou menos importante que é responsável por criar o seu grau de prioridade, ela deve ser realizada antes do telefone parar de tocar, ou seja, deve ser imediata. Além disso, o trabalho inicial deve ser continuado o que justifica a ideia “a tarefa de interrupção é retomada”, o tempo gasto na ligação deve ser o menor possível e para que a atividade inicial seja concluída com sucesso é essencial identificar o momento inicial da interrupção, criando os pontos de contexto salvo e contexto restabelecido.

Tecnicamente, a interrupção é definida como um evento assíncrono, gerado por uma unidade externa ou interna de um hardware. Esse evento, induz o DSP interromper o programa que está sendo executado para inicialização de um serviço de rotina, o qual é dedicado a este evento. Após o serviço de rotina, o programa antes executado é retomado a exercer sua função inicial. [14]

A configuração da interrupção para o funcionamento adequado do microcontrolador foi obtida do entendimento de alguns exemplos disponíveis no endereço *controlSuite>devices>piccollo F2802x>code examples*. Também foi necessário conhecer a frequência do sinal sintonizado no PLL e o período de amostragem máximo do micro para ajustar corretamente os registros relacionados.

4.2.3. CONVERSOR A/D

Uma das unidades periféricas mais importantes de um controlador embarcado é o conversor analógico para digital (ADC). Esta unidade permite uma intercomunicação entre o controlador e o mundo real, pois a maioria dos sinais tratados no âmbito empírico são físicos, ou denominados sinais analógicos como a temperatura, umidade, pressão, corrente, velocidade, aceleração entre outros. A maioria destes podem ser representados por uma tensão elétrica existente em uma faixa de valores pré-determinada, neste caso entre V_{min} e V_{max} (0 a 3,3V), o qual é de algum modo proporcional ao sinal de origem. A relação entre o sinal analógico de entrada (V_{in}) e o seu respectivo sinal digital (*Digital Value*) correspondente pode ser obtido a partir da equação abaixo. [14]

$$Digital\ Value = \frac{2^n (V_{in} - V_{REFLO})}{(V_{REFHI} - V_{REFLO})} = \frac{4096 \cdot V_{in}}{3,3} \quad (4)$$

OBS: $V_{REFLO} \leq V_{in} \leq V_{REFHI}$

Legenda

V_{in} – Sinal analógico de entrada;

Digital Value – Sinal digital convertido;

n – nº de bits do microcontrolador (12bits);

2^n – Valor máximo da faixa representativa de um número digital (4096);

V_{REFLO} – Valor mínimo de tensão;

V_{REFHI} – Valor máximo de tensão;

O processador do ADC contém um conversor de 12 bit que é alimentado por dois circuitos de amostragem e retenção (*sample-and-hold circuit*), estes podem ser amostrados simultaneamente ou sequencialmente. No total existem 16 canais de entrada analógica, que são multiplexados internamente e reconhecidos por ADCINAx. As conversões podem ser baseadas em tensão real ou tensão de referência e o princípio de operação é baseado em configurações de conversões individuais, chamadas *Start-of-Conversion* (SOC's). Cada SOC é configurado independentemente, escolhendo a fonte de disparo e o canal a ser amostrado através do registro ADCSOCxCTL. Os resultados das conversões para cada canal são armazenados em registros diferentes denominados ADCRESULTx, onde a variável “x” presente nestes registros variam de 0 a 15, em seguida há um diagrama de blocos mais explicativo de como funciona o sistema de conversão analógico para digital.

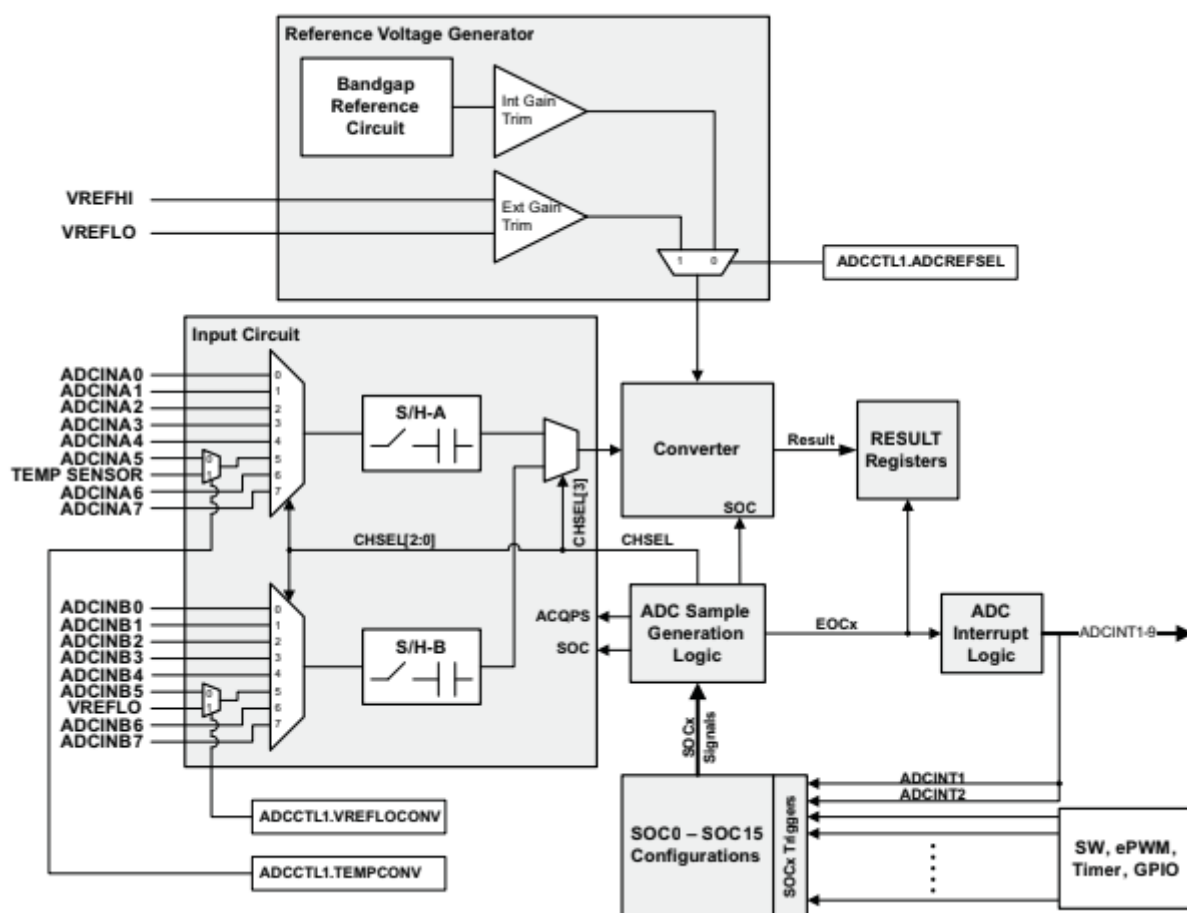


Figura 28 – Diagrama de blocos do conversor AD. [14]

O módulo tem uma capacidade de “reinício automático de conversão”, que significa que uma conversão pode ser iniciada ao final de outra que esteja acontecendo, retirando a necessidade de se realizar vários disparos de conversão. O começo das conversões pode ser feito por software, por um sinal externo (no registro ADCSOC), ou por evento. [14]

4.2.4. MEMÓRIA FLASH

Durante a configuração do microcontrolador e a confecção dos códigos no software Code Composer foi observado alguns problemas que impediram a continuação do projeto por tempo determinado. O primeiro deles, foi notado a partir de uma insuficiência de memória, ou seja, quando o código exigia a criação de outras variáveis e o conjunto (placa+algoritmo) não permitia. Já o segundo, surgiu da necessidade de manter o algoritmo em funcionamento dentro do microcontrolador, mesmo que este estivesse desconectado com a interface do software de comando. Essas falhas ocorreram pelo fato da placa estar configurada para funcionar em um tipo de memória com menor capacidade de armazenamento e também caracterizada por sua

volatilidade, conhecido por memória RAM.

A solução para os problemas apresentados acima que possibilitou a continuação deste trabalho, deve-se a mudança no tipo de memória utilizado, ao invés da memória RAM antes em execução, passou-se a operar o micro na memória FLASH. Com isso, a capacidade de armazenamento aumentou de modo suficiente e também por este ser um tipo de memória não-volátil, possibilitou a permanência do processo mesmo com a placa em dessincronismo com o *Code Composer*.

Para a realização da troca do tipo de memória basta seguir o passo a passo a seguir: abrir o software *Code Composer*, em seguida no projeto em desenvolvimento clicar com o botão direito do mouse e abrir a aba *Properties*, na nova janela em *Linker command file* selecionar *F28027.cmd* e finalmente em *View* abrir *Memory Allocation*. Caso a alternância de memória tenha sido realizada com sucesso a imagem a seguir será muito semelhante a existente no software *Code Composer* a ser configurado.

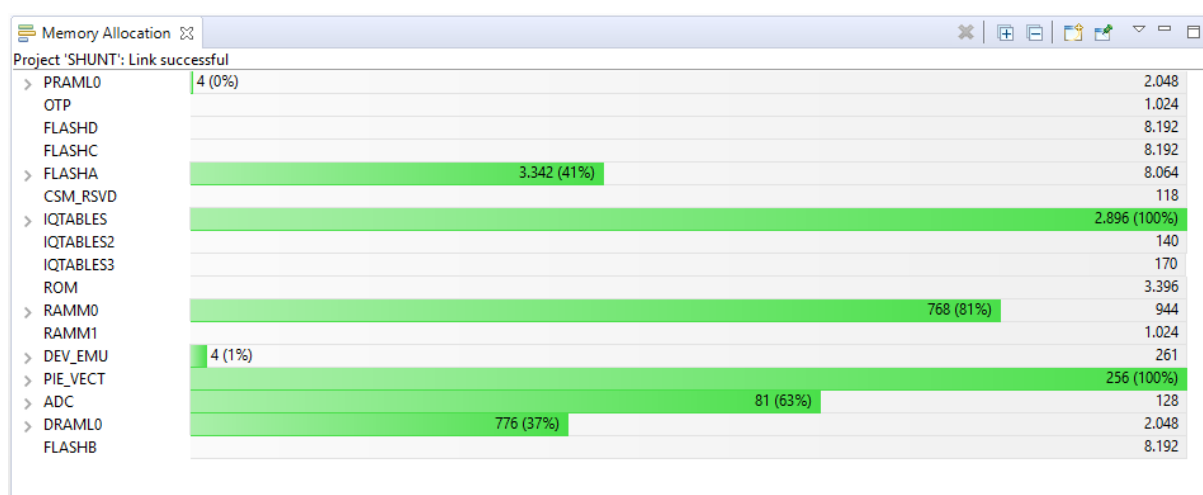


Figura 29 – Alocação de memória no software Code Composer.

4.2.5. IQMath

A biblioteca IQMath da *Texas Instruments* é uma coleção de funções matemáticas altamente precisas e otimizadas, usada em programação C/C++ para simular operações de ponto flutuante em dispositivos que possuem estrutura de ponto-fixado, como é o caso do DSP TMS320F28027. Essas rotinas são geralmente utilizadas em aplicações de tempo real onde alta precisão e velocidade são requeridas. As variáveis IQ utilizadas nas rotinas implementadas no Code Composer, são originárias da biblioteca IQMath e podem ter diferentes tamanhos e precisões. São divididas em 30 tipos diferentes de dado, do Q1 ao

Q30, e o uso de cada um depende da aplicação. A figura abaixo apresenta os tipos de dados IQs, sua variação e precisão. [14]

Data Type	Range		Resolution/Precision
	Min	Max	
_iq30	-2	1.999 999 999	0.000 000 001
_iq29	-4	3.999 999 998	0.000 000 002
_iq28	-8	7.999 999 996	0.000 000 004
_iq27	-16	15.999 999 993	0.000 000 007
_iq26	-32	31.999 999 985	0.000 000 015
_iq25	-64	63.999 999 970	0.000 000 030
_iq24	-128	127.999 999 940	0.000 000 060
_iq23	-256	255.999 999 981	0.000 000 119
_iq22	-512	511.999 999 762	0.000 000 238
_iq21	-1024	1023.999 999 523	0.000 000 477
_iq20	-2048	2047.999 999 046	0.000 000 954
_iq19	-4096	4095.999 998 093	0.000 001 907
_iq18	-8192	8191.999 996 185	0.000 003 815
_iq17	-16384	16383.999 992 371	0.000 007 629
_iq16	-32768	32767.999 984 741	0.000 015 259
_iq15	-65536	65535.999 969 482	0.000 030 518
_iq14	-131072	131071.999 938 965	0.000 061 035
_iq13	-262144	262143.999 877 930	0.000 122 070
_iq12	-524288	524287.999 755 859	0.000 244 141
_iq11	-1048576	1048575.999 511 719	0.000 488 281
_iq10	-2097152	2097151.999 023 437	0.000 976 563
_iq9	-4194304	4194303.998 046 875	0.001 953 125
_iq8	-8388608	8388607.996 093 750	0.003 906 250
_iq7	-16777216	16777215.992 187 500	0.007 812 500
_iq6	-33554432	33554431.984 375 000	0.015 625 000
_iq5	-67108864	67108863.968 750 000	0.031 250 000
_iq4	-134217728	134217727.937 500 000	0.062 500 000
_iq3	-268435456	268435455.875 000 000	0.125 000 000
_iq2	-536870912	536870911.750 000 000	0.250 000 000
_iq1	-1073741824	1 073741823.500 000 000	0.500 000 000

Figura 30 – Tipos de dados IQs.

A biblioteca IQMath utiliza dados pré-alocados na memória do dispositivo, chamadas *look-up tables*. Possibilitando a aplicação das diversas funções matemáticas, como funções senoidais, exponenciais, de multiplicação, divisão, raízes, potências, entre outras. A utilização desse recurso produz uma economia significativa de tempo e processamento para o DSP executar as rotinas implementadas.

4.3. MONTAGEM EM BANCADA DO FAPP

A construção em bancada do FAPP foi composta por diversos elementos que desempenham suas funções específicas. Entre eles estão os transdutores de tensão e corrente, as placas de condicionamento, os IGBT's que constituem a ponte H, as cargas não-lineares, as

fontes de tensão DC e o transformador isolador que possibilita a energização do Link DC pela mesma alimentação da carga.

4.3.1. LEITURA DE TENSÃO

O transdutor ou sensor hall para medição tensão utilizado na montagem do equipamento em bancada foi o LV 25-P da LEM. Este sensor de tensão é configurado a partir da faixa de corrente presente nos polos de entrada e da saída, pode ser utilizado para medição de tensão DC ou AC e tem separação galvânica entre os circuitos secundário e primário. A corrente nominal máxima primário (I_{Np}) é de 10mA e a corrente nominal máxima do secundário (I_{Ns}) é 25mA, portanto a relação de transformação (K_N) é de 2500:1000. [17]

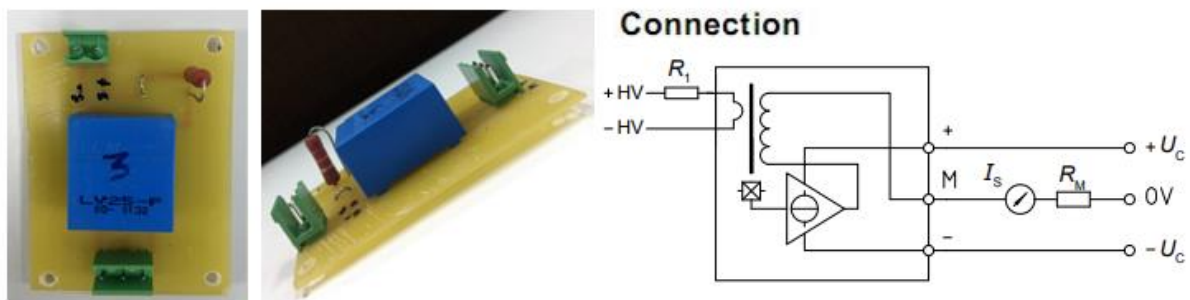


Figura 31 – Sensor hall de tensão LV-25P e suas respectivas conexões.

Antes de efetuar a medição de tensão, é necessário alimentar o sensor pelos terminais $+U_c$ e $-U_c$ com uma tensão de $\pm 15V_{dc}$. Tendo conhecimento da amplitude do sinal a ser medido, este deve conectado aos polos $+HV$ e $-HV$, em seguida é preciso calcular o resistor R_1 para limitar a corrente no circuito primário, esta induzirá uma outra corrente no circuito secundário e terá amplitude igual a $(I_p \cdot K_N)$. Finalmente, basta obter um valor de R_M com intuito de reestabelecer um sinal que antes era de corrente para tensão e limitar essa faixa de tensão (V_{max}) de acordo com a aplicação de escolha.

Valor mínimo atribuído ao resistor R_1 :

$$R_1 = \frac{V_M}{I_{Np}} \quad (5)$$

Amplitude da corrente no circuito secundário:

$$I_{Ns} = I_{Np} \cdot K_N \therefore I_S = I_p \cdot K_N \quad (6)$$

Valor máximo atribuído ao resistor R_M :

$$R_M = \frac{V_{max}}{I_{Ns}} \quad (7)$$

No caso do FAPP foi medido a tensão provinda do PLL de 127V, adotado R_1 igual a $27k\Omega$ capaz de produzir uma corrente de amplitude igual a 4,7mA responsável por induzir no secundário outra corrente de 11,76mA. Esta corrente percorrerá um resistor R_M que neste caso específico está contido em uma placa de condicionamento de sinal a ser melhor detalhada posteriormente, esse resistor tem valor nominal de 39Ω e gera um sinal de tensão de 0,46V.

4.3.2. LEITURA DE CORRENTE

O transdutor ou sensor hall para medição de corrente utilizado na montagem do equipamento em bancada foi o LV 55-P da LEM. Este sensor de corrente possui um orifício por onde deve ser passado o condutor da corrente a ser medida, também pode ser empregado para medição de corrente DC ou AC e tem separação galvânica entre os circuitos secundário e primário. A corrente nominal máxima primário (I_{Np}) é de 50A e a corrente nominal máxima do secundário (I_{Ns}) é 50mA, portanto a relação de transformação (K_N) é de 1:1000. [18]

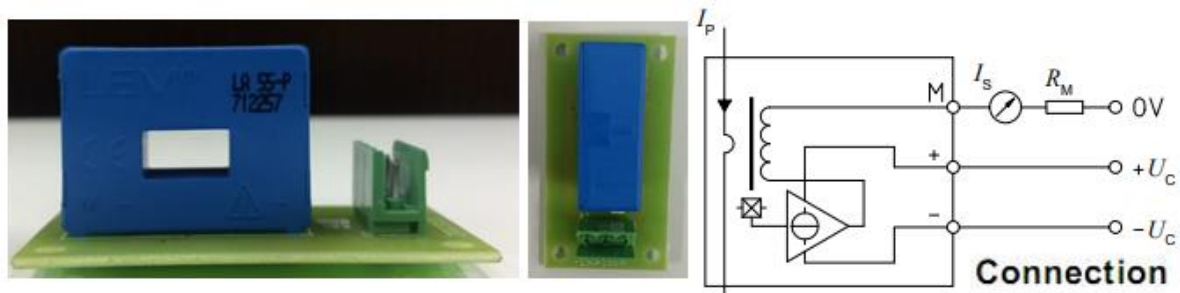


Figura 32 – Sensor hall de corrente LA-55P e suas respectivas conexões.

Antes de efetuar a medição de corrente, é necessário alimentar o sensor pelos terminais $+U_C$ e $-U_C$ com uma tensão de $\pm 15V_{dc}$. É de conhecimento que a corrente a ser medida deve ser menor que a corrente primária nominal (I_{Np}), a extração do sinal medido ocorre através do orifício do sensor responsável por induzir uma outra corrente no circuito secundário e terá amplitude igual a $(I_P \cdot K_N)$. Finalmente, basta obter um valor de R_M com intuito de reestabelecer um sinal que antes era de corrente para tensão e limitar essa faixa de tensão (V_{max}) de acordo com a aplicação de escolha. As equações 6 e 7 também são empregadas para este sensor com o mesmo propósito, porém neste caso a variável $K_N = \frac{1}{1000}$.

No caso do FAPP foi medido a corrente da carga de aproximadamente 1,4A responsável por induzir no secundário outra corrente de 1,4mA. Esta corrente percorrerá um resistor R_M que

neste caso específico está contido em uma placa de condicionamento de sinal a ser melhor detalhada posteriormente, esse resistor tem valor nominal de 39Ω e gera um sinal de tensão de 54,6mV.

4.3.3. PLACAS DE CONDICIONAMENTO

Essas placas de circuito impresso possuem a função de preparar, condicionar um sinal recebido e repassá-lo a uma outra placa de comando, que são responsáveis por controlar um dispositivo ou processo. Foram utilizadas quatro placas de condicionamento neste projeto, sendo estas apresentadas na figura abaixo.

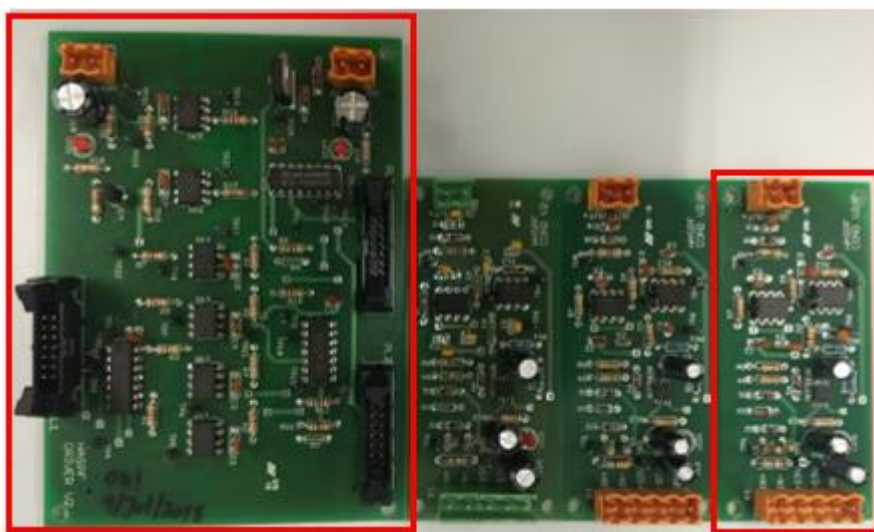


Figura 33 – Placas de Condicionamento.

A primeira placa é alimentada por duas fontes de tensão DC, sendo uma de $\pm 15V$ e outra de $\pm 5V$, ela possui a função de alimentar o driver SKHI 22A que é responsável por comandar os IGBT's, essa comunicação é realizada por meio de um cabo flat. A mesma placa também recebe os pulsos provindos do DSP com destino aos gates dos IGBT's para promover o chaveamento do inversor.



Figura 34 – Primeira placa de condicionamento.

A segunda placa é alimentada por uma fonte de tensão DC de $\pm 5V$, ela tem a função de receber o sinal medido pelos sensores hall, podendo este ser de tensão ou corrente, condicionando-o a uma faixa de valor que possa ser interpretada pelo DSP, ou seja, entre 0 a 3,3V.



Figura 35 – Segunda placa de condicionamento.

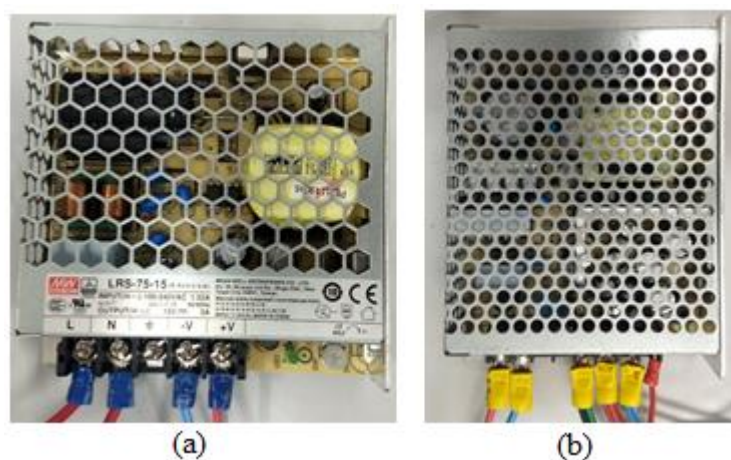


Figura 36 – Fontes DC's utilizadas. (a) Fonte de $\pm 15\text{Vdc}$. (b) Fonte de $\pm 5\text{Vdc}$.

5. RESULTADOS EXPERIMENTAIS

A metodologia de montagem do filtro ativo de potência em bancada foi realizada em paralelo com os tópicos de estudo abordados na seção 4 deste trabalho. A topologia criada para teste em bancada é muito volumosa devido aos componentes utilizados na montagem do sistema, que é composto pela rede, equipamento e carga não-linear. Além disso, é importante destacar que não foi possível inserir o FAPP na rede por limitações do controle e do microcontrolador.

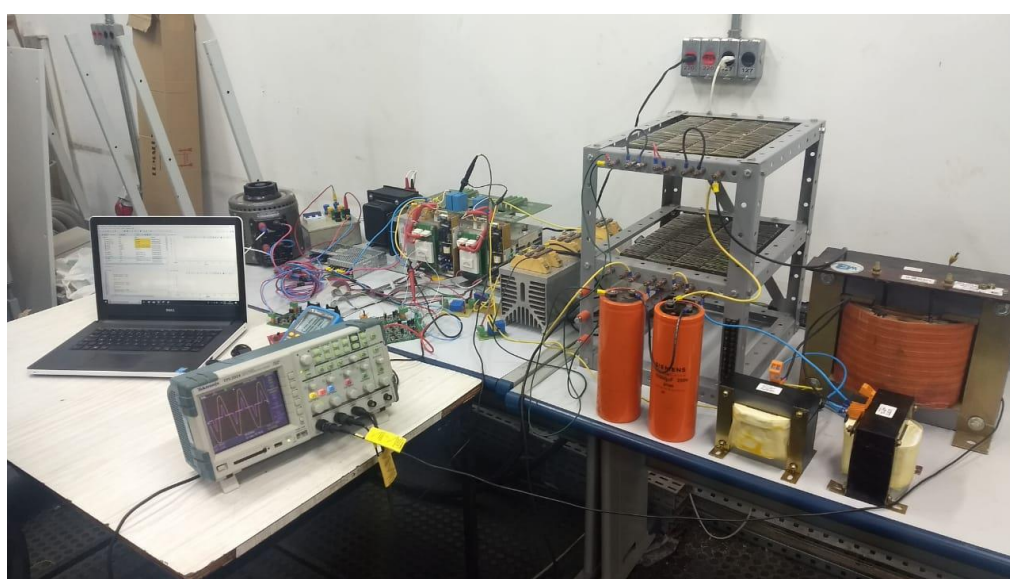


Figura 37 – Representação do sistema montado em bancada.

Apesar desse inconveniente, foi possível obter resultados coerentes conectando o inversor de frequência a uma carga RL. Esse circuito que será submetido ao sinal chaveado do inversor é composto por três resistências de 20Ω cada conectadas em série entre si, em série com outros dois indutores de 30mH cada conectados em paralelo entre si, resultando em uma resistência equivalente de 60Ω em série com um indutor equivalente de 15mH . É importante observar se o valor da constante de tempo desse circuito está em relativamente próximo do período de amostragem do sinal chaveado, pois é de conhecimento que um circuito RL entra em regime permanente após 5τ , caso τ for muito maior que o período de amostragem do sinal chaveado, a resposta do circuito RL demorará mais tempo para atingir o regime permanente e o sinal chaveado não será controlado adequadamente, representando uma resposta lenta e incorreta ao que se espera.

Neste caso específico, o período de amostragem do sinal chaveado é de $200,8\mu\text{s}$ e a constante de tempo é de $250\mu\text{s}$, ou seja, foi configurado τ com intuito de manter uma proximidade entre os valores, para posteriormente ser realizado a medida de um sinal de corrente que tenha sentido dentro do arranjo proposto. O link DC foi carregado através de um Varivolt (OUT: $0\sim 240\text{V}$), com intuito de controlar a amplitude de saída do retificador que alimenta os capacitores e fornece o valor de tensão (V_{dc}) desejado, nos ensaios realizados neste trabalho foi utilizado o valor de tensão sobre o link DC foi de 160V_{dc} .

$$\tau = \frac{L}{R} = \frac{0,015}{60} = 250\mu\text{s} \quad (8)$$

Após a montagem do circuito RL abaixo, foram realizados dois testes para verificar se o controle por histerese de corrente programado no microcontrolador estava em perfeito funcionamento.

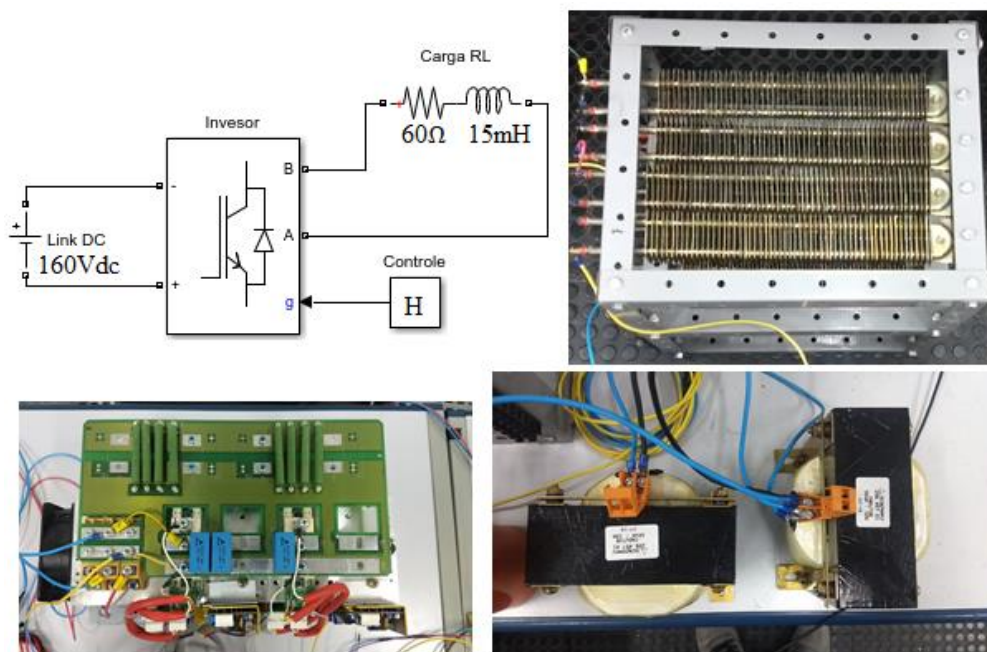


Figura 38 – Circuito receptor do sinal chaveado pelo inversor.

1º Teste – Sinal de referência recebe um sinal contínuo. ($I_{ref} = \text{sin}alDC$)

Neste ensaio, foram gerados internamente no microcontrolador três sinais contínuos de amplitude 1,0A, 1,5A e 2A respectivamente, com o propósito de verificar se o controle por histerese de corrente estava conseguindo acompanhar um sinal contínuo (DC). Para uma análise da funcionalidade, comparativa e crítica foram realizadas as leituras dos sinais no próprio software *Code Composer* e também no osciloscópio.

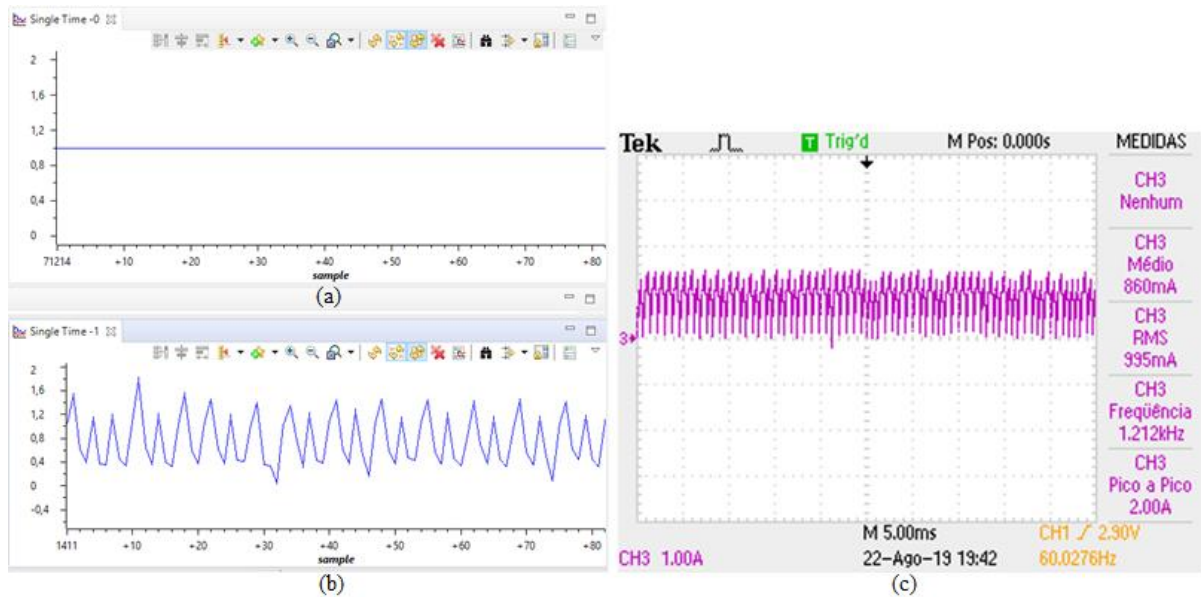


Figura 39 – Sinais de 1,0A. (a) imposto no próprio *Code Composer*. (b) Medido pelo sensor de corrente na saída do inversor e visualizado no *Code Composer*. (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.

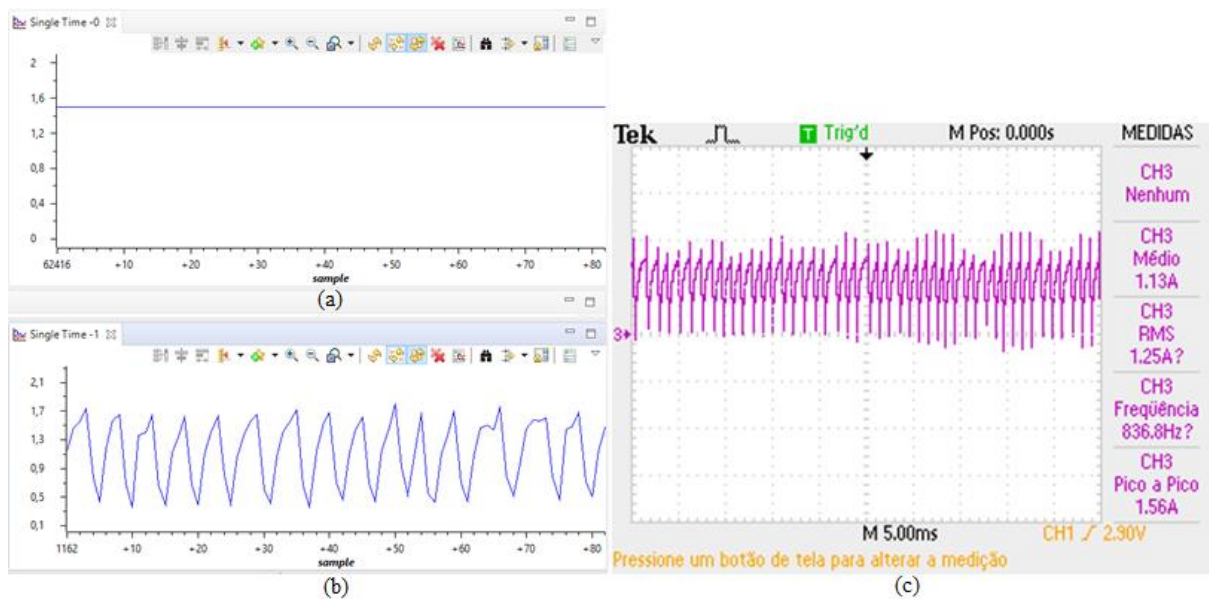


Figura 40 – Sinais de 1,5A. (a) Imposto no próprio *Code Composer*. (b) Medido pelo sensor de corrente na saída do inversor e visualizado no *Code Composer*. (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.

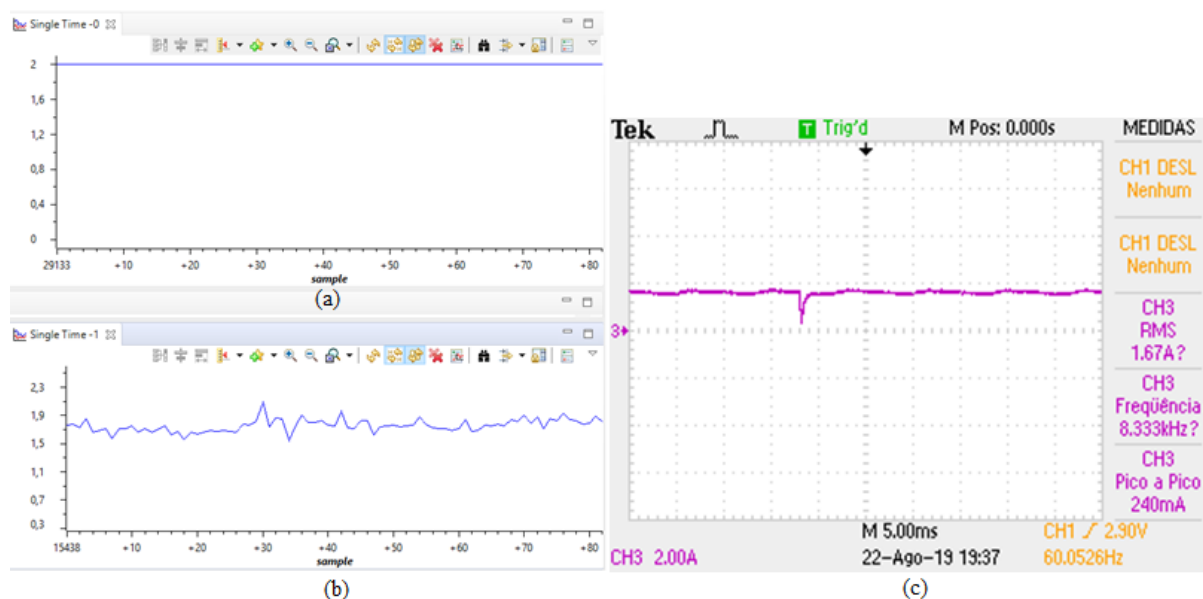


Figura 41 – Sinal de 2,0A. (a) Imposto no próprio *Code Composer*. (b) Medido pelo sensor de corrente na saída do inversor e visualizado no *Code Composer*. (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.

2º Teste – Sinal de referência recebe uma senoide. ($I_{ref} = 2 * \sin \theta$)

No 2º teste, foi definido como referência para a histerese o sinal senoidal provindo do PLL e a partir desse sinal, foram gerados outras três senoides de amplitude 2App, 3App e 4App respectivamente, com o propósito de verificar se o controle por histerese de corrente estava conseguindo acompanhar um sinal alternado (AC). Para uma análise da funcionalidade, comparativa e crítica foram realizadas as leituras dos sinais no próprio software *Code Composer* e também no osciloscópio.

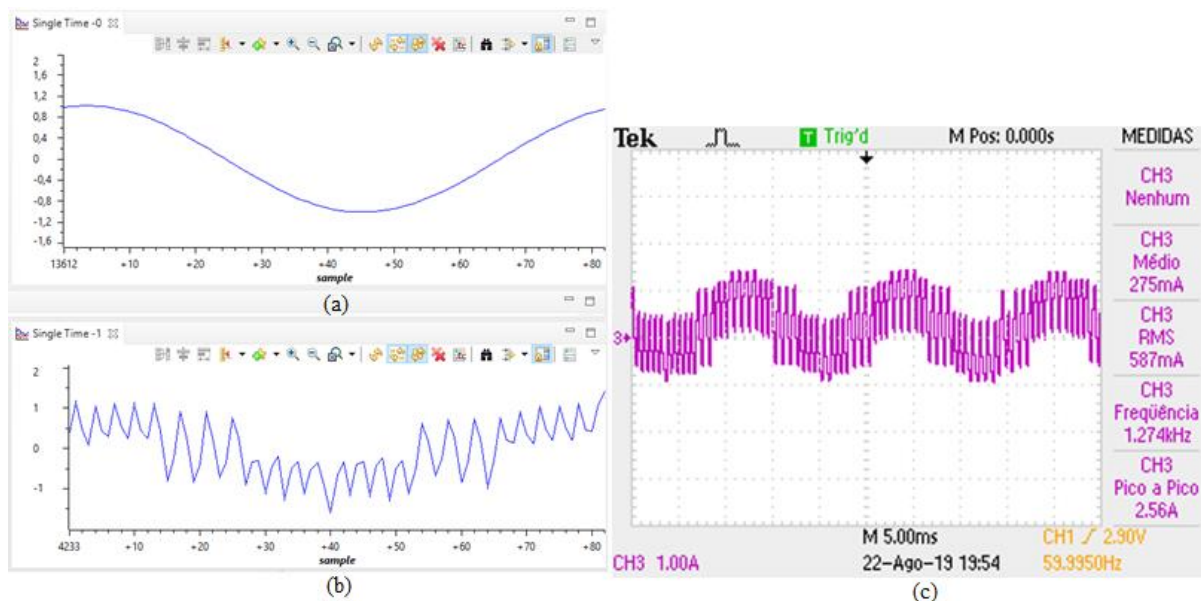


Figura 42 – Sinais de 2,0App. (a) Imposto no próprio *Code Composer*. (b) Medido pelo sensor de corrente na saída do inversor e visualizado no *Code Composer*. (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.

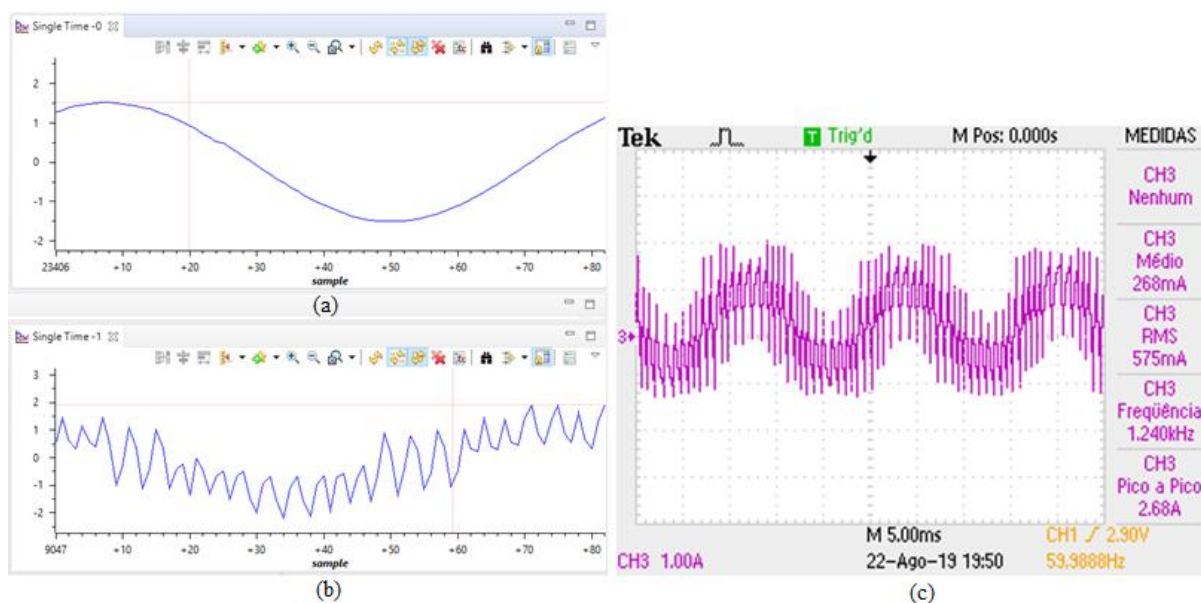


Figura 43 – Sinais de 3App. (a) Imposto no próprio *Code Composer*. (b) Medido pelo sensor de corrente na saída do inversor e visualizado no *Code Composer*. (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.

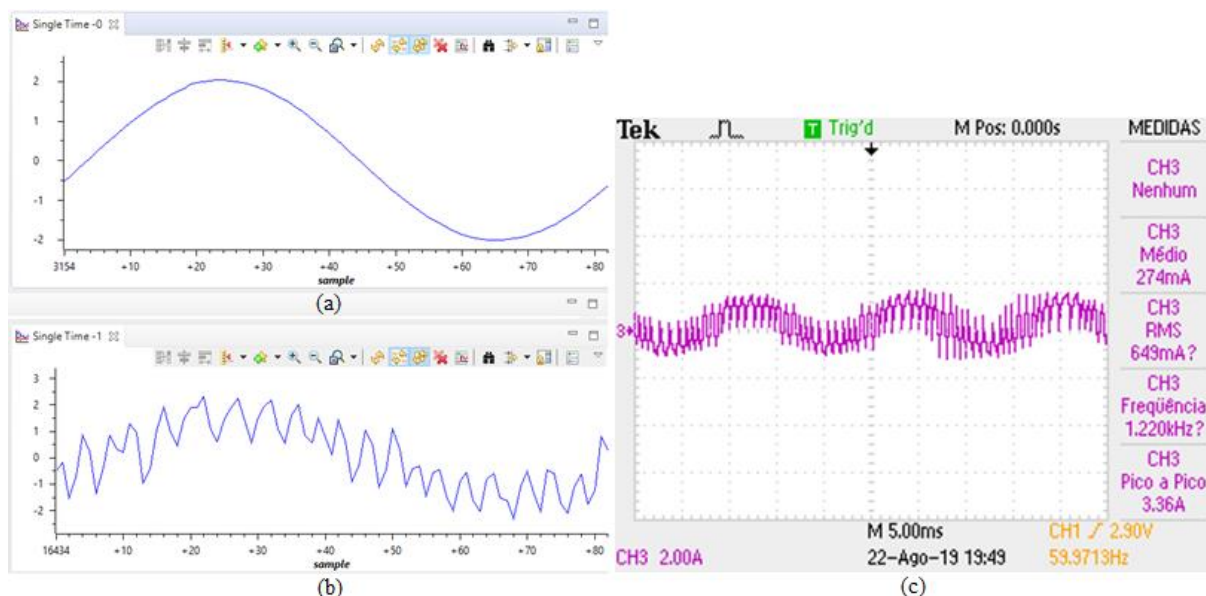


Figura 44 – Sinais de 4,0App. (a) Imposto no próprio *Code Composer*. (b) Medido pelo sensor de corrente na saída do inversor e visualizado no *Code Composer*. (c) Medido pela ponta de corrente na saída do inversor e visualizado no osciloscópio.

5.1.SISTEMA COM CARGA NÃO-LINEAR INDUTIVA

Esta montagem representa o mesmo sistema simulado no item 4.1.5 FAPP COMPLETO: Carga não-linear indutiva, mas em bancada de laboratório experimental. A configuração permite a verificação da simulação, pois há a identificação do sinal de corrente (I_{carga}) medido entre o filtro e a carga e com isso a necessidade de compensação do sinal para melhor aproveitamento e correção dos problemas previstos em tópicos anteriores.

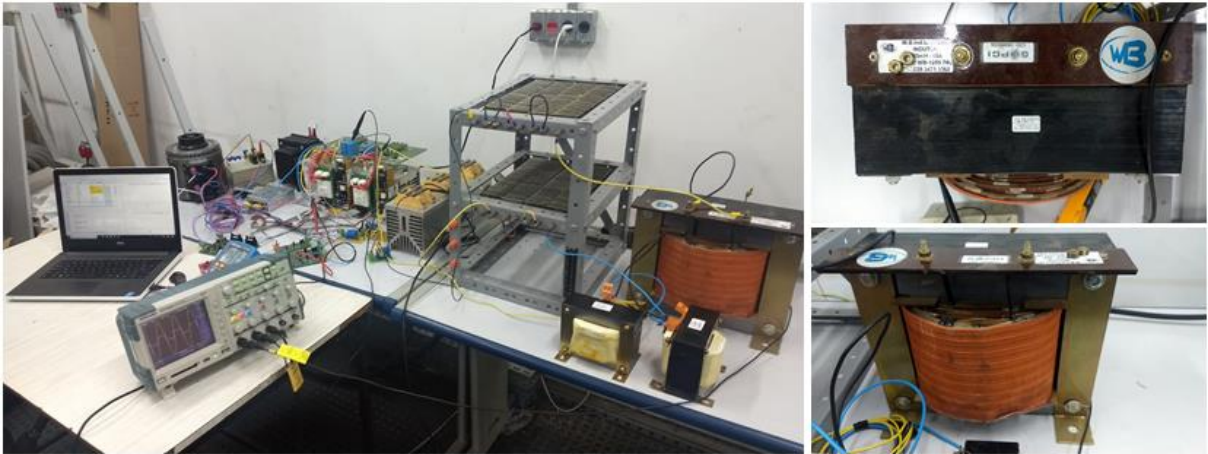


Figura 45 – Sistema montado em bancada com carga não-linear indutiva.

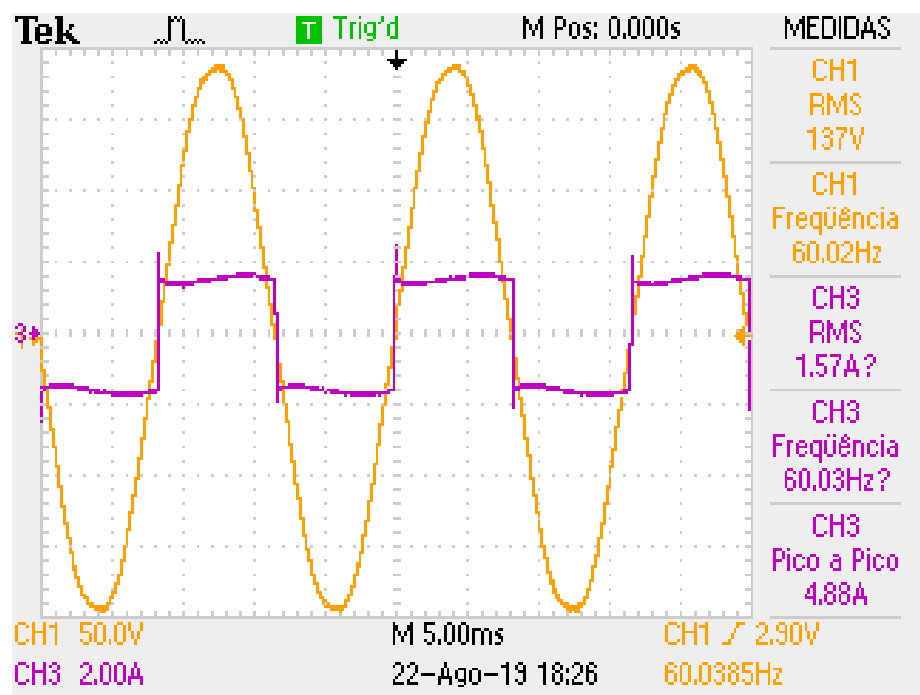


Figura 46 – Sinal de tensão da rede [CH1-Amarelo] e de corrente (I_{carga}) entre o filtro e a carga não-linear indutiva [CH3-Roxo].

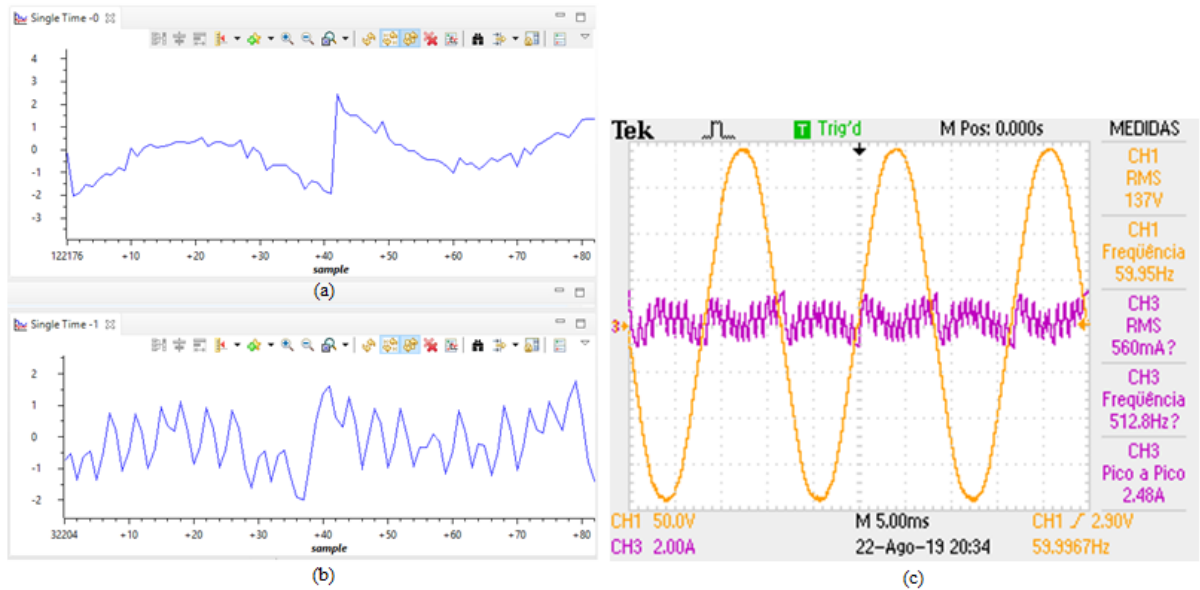


Figura 47 – Corrente harmônica (ILh) indutiva. (a) Provinda da referência síncrona. (b) Medidas pelo sensor de corrente. (c) Medidas pela ponta de corrente do osciloscópio [CH3-Roxo] e também da tensão da rede [CH1-Amarelo].

5.2.SISTEMA COM CARGA NÃO-LINEAR CAPACITIVA

Esta montagem representa o mesmo sistema simulado no item 4.1.5 FAPP COMPLETO: Carga não-linear capacitiva, mas em bancada de laboratório experimental. A configuração permite a verificação da simulação, pois há a identificação do sinal de corrente (I_{carga}) medido entre o filtro e a carga e com isso a necessidade de compensação do sinal para melhor aproveitamento e correção dos problemas previstos em tópicos anteriores.

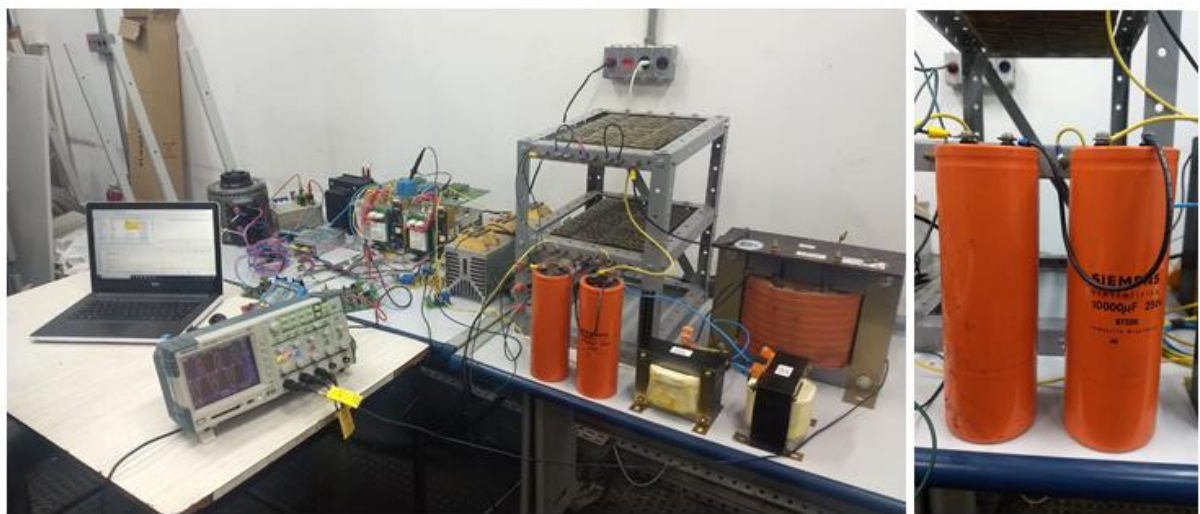


Figura 48 – Sistema montado em bancada com carga não-linear capacitiva.

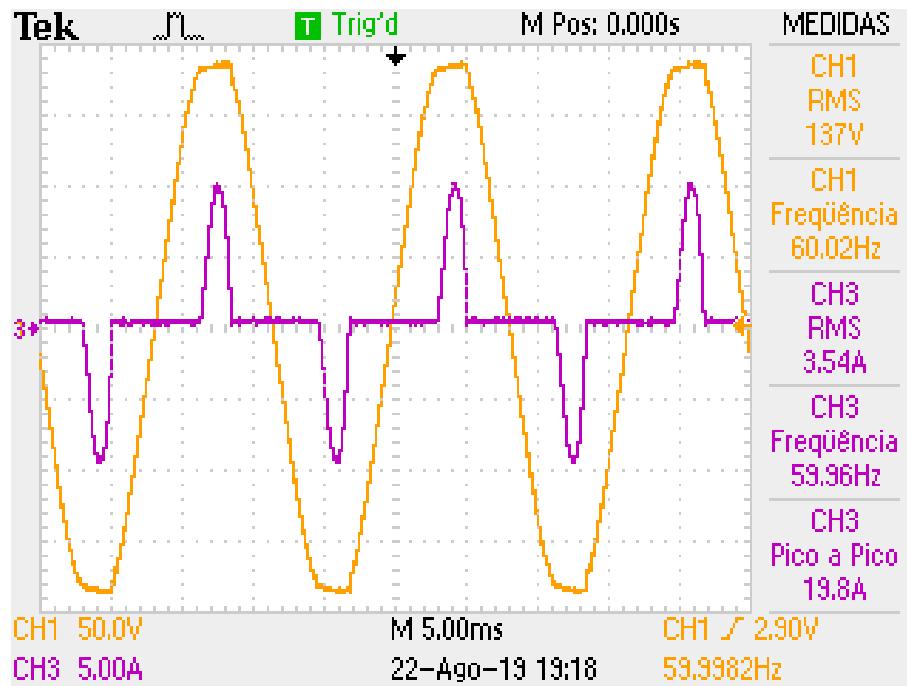


Figura 49 – Sinal de tensão da rede [CH1-Amarelo] e de corrente (I_{carga}) entre o filtro e a carga não-linear capacitiva [CH3-Roxo].

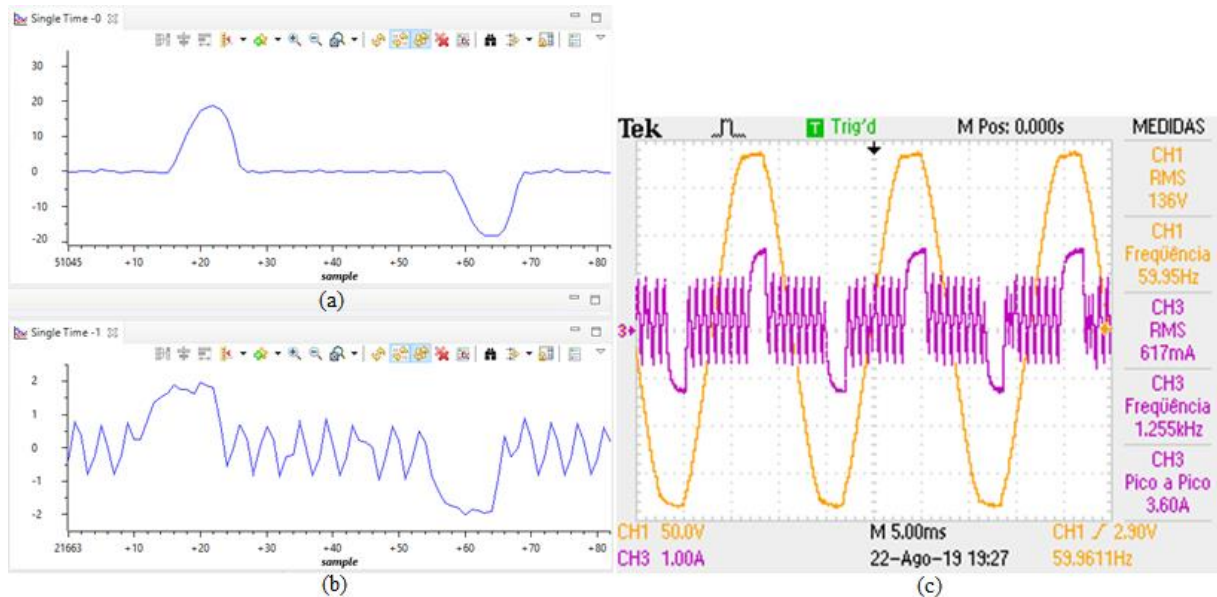


Figura 50 – Corrente harmônica (ILh) indutiva. (a) Provinda da referência síncrona. (b) Medidas pelo sensor de corrente. (c) Medidas pela ponta de corrente do osciloscópio [CH3-Roxo] e também da tensão da rede [CH1-Amarelo].

5.3. ANÁLISES DOS RESULTADOS

Inicialmente, foi possível perceber em ambos os testes (1º e 2º), figuras 39 a 44, 47 e 50 a tentativa do controle por histerese de corrente em acompanhar o sinal referência, promovendo o chaveamento do inversor. Com isso, permanece a prova que a implementação da modulação utilizada, configuração dos módulos ADC, GPIO e demais interfaces no microcontrolador obtiverem êxito e funcionalidade. Todavia, nessas mesmas figuras também é visível que a resolução do sinal chaveado não corresponde em detalhes ao sinal esperado, pois há perda de informação e imprecisão dos sinais medidos, ocasionados pelo acúmulo de erros sistemáticos e/ou aleatórios na amostragem do sinal que serão melhor explicados em seguida.

As figuras 47 e 50 correspondem em (a) à corrente harmônica (ILh) indutiva e capacitiva respectivamente, obtidas através da referência síncrona e imposta como referência para o controle por histerese, sendo visualizada no *Code Composer*. Já em (b), representam o mesmo sinal obtido, mas através do chaveamento do inversor e medido pelo sensor de corrente conectado na saída do mesmo, com visualização no mesmo software utilizado. E finalmente em (c), relatam a exposição da tensão da rede e do respectivo sinal harmônico extraído, verificando o sincronismo dado pelo PLL.

Os resultados mais importantes foram retirados das figuras 47 e 50. A partir da análise dessas figuras em (b) e (c), que reforçam a forma dos sinais harmônicos característicos da excitação de cargas não-lineares indutivas e capacitivas em sequência, mas também mostram o controle modelando o sinal harmônico referência.

O teorema da amostragem de Nyquist diz que a frequência de amostragem de um sinal deve ser maior que duas vezes a frequência máxima do mesmo para ser possível reproduzi-lo corretamente. As formas de onda dessas mesmas figuras (47 e 50), apesar de respeitarem esse critério, apresentam baixa resolução e a justificativa para tal é encontrada na limitação do microcontrolador. O hardware, em sua configuração, respondeu a um período de amostragem na interrupção de no mínimo 200,8µs, refletindo em uma frequência de amostragem máxima de 4,98kHz.

Essa frequência de amostragem é baixa em vista da aplicação, porque o microcontrolador perde precisão, ou seja, não consegue captar todos os detalhes do sinal e reproduz o comando de chaveamento em instantes incorretos, causando um ripple maior do que o esperado, não respeitando as bandas limites da histerese e por consequência não segue a referência imposta inicialmente. É visível nas figuras 47-(b) e 50-(b) que o sinal amostrado não representa todos os detalhes existentes no sinal real presente nas figuras 47-(c) e 50-(c).

Quando comparado com os parâmetros adotados para simulação, onde os sinais do controle possuem ótima resolução, visto nas figuras 22 e 25, é observável a grande diferença entre as frequências de amostragem. Na simulação essa frequência está na faixa de 20kHz, enquanto no micro está na faixa de 5kHz, ou seja, aquela usada na simulação é aproximadamente quatro vezes maior do que a utilizada no microcontrolador. Deste modo, é aparente a perda de informação e a imprecisão do sinal medido, devido aos poucos pontos, às amostras que são responsáveis por promover o molde do sinal em análise.

Portanto, não foi conveniente interligar a saída do inversor na rede para compensação harmônica, devido a resposta obtida não ter correspondido às expectativas do projeto. Em caso de teste, haveria a possibilidade do sistema entrar em colapso ocasionando a queima de algum componente e até mesmo provocando algum risco ao operador.

6. CONSIDERAÇÕES FINAIS

Os resultados apresentados neste relatório foram satisfatórios quando analisamos os objetivos, visto que a maioria destes foram atingidos, apesar das limitações enfrentadas durante a confecção do projeto. Este trabalho, mostrou o passo a passo para o desenvolvimento de um filtro ativo de potência FAPP monofásico, envolvendo o leitor no contexto do instrumento, mostrando sua importância no cenário, limitações diante da compensação de um tipo específico de carga não-linear e componentes, mas inclusive exaltando a crescente abrupta da eletrônica de potência voltada a inserção desse tipo de equipamento, cujo intuito é promover a melhora da qualidade da energia elétrica entregue ao consumidor.

Ainda que este equipamento não seja muito empregado no sistema elétrico de potência (SEP), devido a seu elevado custo para implementação, um dos objetivos foi a introdução do microcontrolador TMS320F28027 em substituição do TMS320F28335, com intuito de reduzir drasticamente o preço de produção, sabendo que o primeiro é encontrado no mercado a uma faixa de 15~20 dólares, enquanto o segundo na faixa de 450~550 dólares. Obviamente, o primeiro possui uma capacidade bem inferior ao TMS320F28335 que é mais utilizado em projetos de grande porte para o controle e processamento de sinais de aparelhos da mesma linha. Com a tentativa de utilizar esse primeiro micro, surgiu um empecilho significativo na técnica de controle mais usada nesse tipo de configuração, pois foi visto anteriormente que a histerese de corrente necessita de alta velocidade para gerar boas respostas e no item 5.3 foi verificado a interferência produzida pela baixa frequência de amostragem na reprodução dos sinais.

Uma solução possível, ainda em teste, seria a alteração do controle por histerese de corrente pela modulação PWM que independe da frequência de amostragem para fornecer uma boa resposta e velocidade de chaveamento. Esta abordagem, mas também a construção de um equipamento modular, não realizado devido às limitações encontradas, mas proposto como objetivo neste trabalho, serão apresentados e discutidos em trabalhos futuros para estimular a continuidade dos estudos neste âmbito.

Este projeto de pesquisa realizado na Universidade Federal de Itajubá viabilizou o aprendizado, impulsionou o empirismo, visa compartilhar o conhecimento e instigar estudos posteriores com o objetivo de promover a engenharia, inserindo-a no contexto em que vivemos.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Agência Nacional de Energia Elétrica – ANEEL, PRODIST: Módulo 8 - Qualidade da Energia Elétrica, 2008.
- [2] Peng, F. Z., Harmonic Sources and Filtering Approaches, East Lansing: IEEE Industry Applications Magazine, 2001.
- [3] CEMIG - ND 5.1, Fornecimento de Energia Elétrica em Tensão Secundária - Edificações Individuais, Belo Horizonte, 2013.
- [4] ABNT, NBR 5410 - Instalações elétricas de baixa tensão, Rio de Janeiro: Copyright ©, 1997.
- [5] Erlicki, M. S.; Eigeles, E. A., New Aspects of Power Factor Improvement Part I --- Theoretical Basis, IEEE Transactions on Industry and General Applications, 1968.
- [6] Watanabe, E. H.; Aredes, M., Power quality considerations on shunt/series current and voltage conditioners, 10th International Conference on Harmonics and Quality of Power, 2002.
- [7] Bird, B. M.; Marsh, J. F.; McLellan, P. R., Harmonic reduction in multiplex convertors by triple-frequency current injection, Proceedings of the Institution of Electrical Engineers, 1969.
- [8] Sasaki, H.; Machida, T., “A New Method to Eliminate AC Harmonic Currents by Magnetic Flux Compensation-Considerations on Basic Design, IEEE Transactions on Power Apparatus and Systems, 1971.
- [9] Akagi, H.; Kanazawa, Y.; Nabae, A., Generalized Theory of the Instantaneous Reactive Power in Three-Phase Circuits, Proceedings of the IPEC'83 – International Power Electronics Conference, 1983.
- [10] H. Akagi, Active Harmonic Filters, Proceedings of the IEEE, 2005.
- [11] M. STEFANELLO, Controle Adaptativo Robusto de Estrutura Variável por Modelo de Referência Aplicado a Filtros ativos de Potência, 2010.
- [12] SANTANA, W. C., Implementação de um compensador ativo série para sistemas de distribuição, Itajubá, 2004.
- [13] Pereira, R. R., APLICAÇÃO DE FILTROS ADAPTATIVOS, Itajubá, 2009.

- [14] Texas Instruments, LAUNCHXL-F28027 C2000 Piccolo LaunchPad User's Guide, 2012.
- [15] Lum, Christopher, "How to Install the MinGW-w64 Compiler in Matlab," 2018.
- [16] MATLAB - MathWorks - MATLAB & Simulink, "What Is an S-Function?," [Online]. Available: <https://www.mathworks.com/help/simulink/sfg/what-is-an-s-function.html>.
- [17] Datasheet, "Voltage Transducer LV 25-P," 2014. [Online]. Available: www.lem.com. [Acesso em 27 julho 2019].
- [18] Datasheet, "Current Transducer LA 55-P," 2018. [Online]. Available: www.lem.com. [Acesso em 31 julho 2019].