



UNIVERSIDADE FEDERAL DE ITAJUBÁ

# **PLATAFORMA BASEADA EM DSP E FPGA PARA CONTROLE DE CONVERSORES DE POTÊNCIA**

Aluna: Maria Clara Ferreira Félix  
Orientador: Robson Baulwez Gonzatti

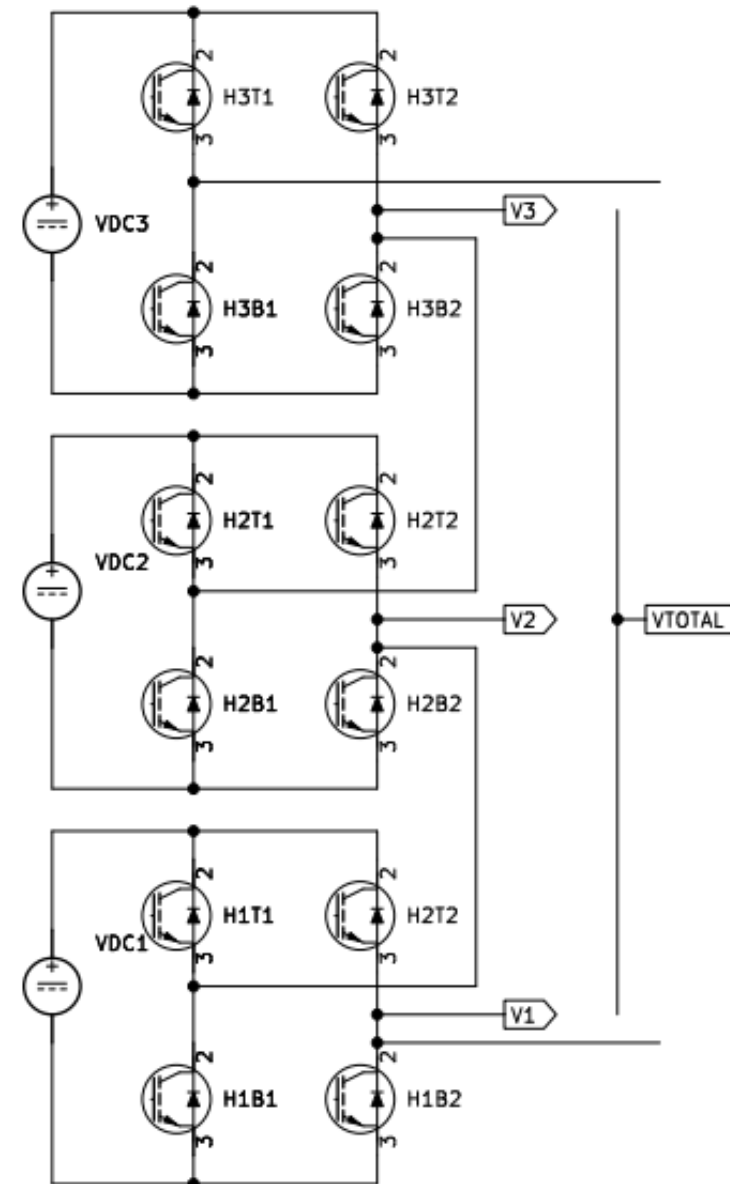
# **Agenda**

- **1. Introdução**
- **2. Objetivos propostos**
- **3. Bloco PWM**
- **4. Bloco portadora triangular**
- **5. Bloco bipolar**
- **6. Bloco unipolar**
- **7. Bloco três conversores**
- **8. Resultados Experimentais**
- **9. Conclusões**
- **10. Perguntas e Respostas**

# **Introdução**

- **Eletrônica de Potência e sua relevância**
- **Dispositivos semicondutores de potência**
- **Processo de associação de componentes**
- **Geração de estruturas multiníveis**
- **Proposta da iniciação científica**
- **Formas de onda com baixa distorção harmônica**

**Figura 1** - Três pontes H em cascata para 7 níveis de tensão



Fonte: Autoria própria (Kicad versão 6.0).

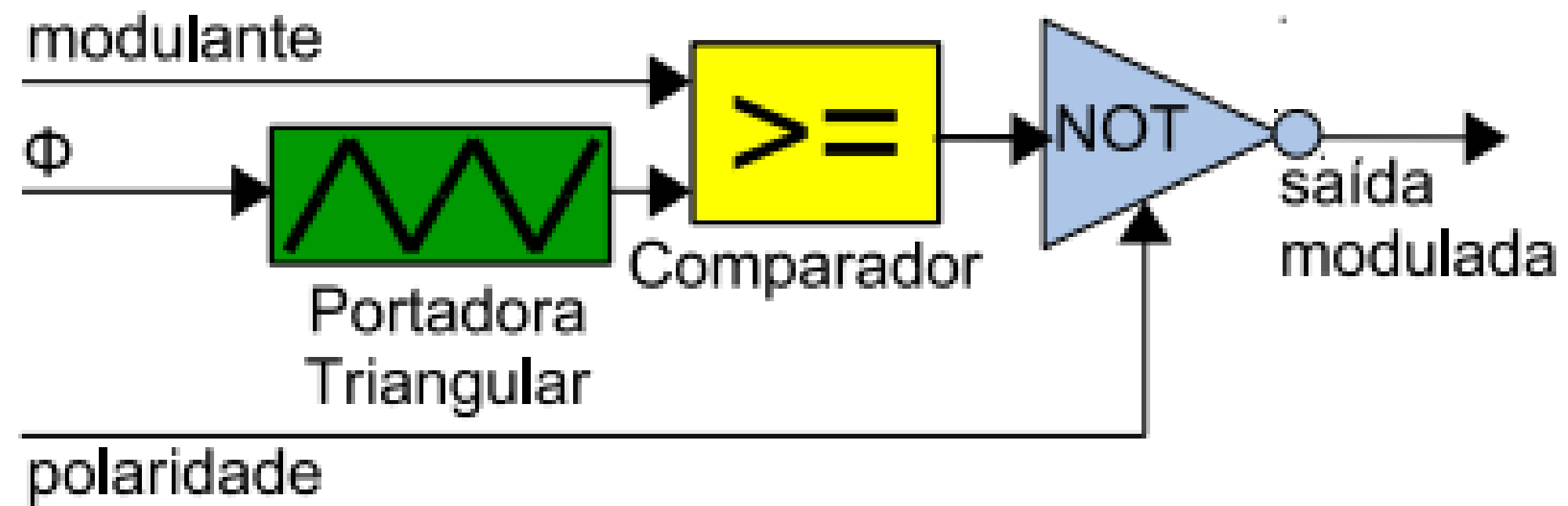
# Objetivos propostos

- **Desenvolver um modulador PWM em FPGA**
- **Testar modularmente cada bloco construído em VHDL**
- **Monitorar as ondas de entrada e saída de cada ponte H**
- **Aplicar a modulação PWM em um conversor com três pontes H em cascata que geram sete níveis de tensão**

# **Bloco PWM**

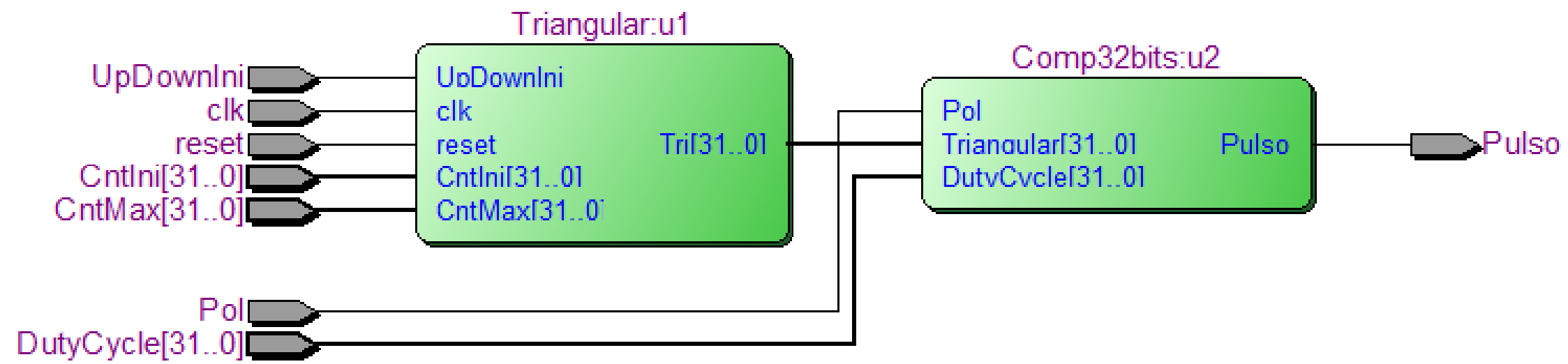
- **Controlar a energia entregue a dispositivos elétricos**
- **Variação da largura de pulsos do sinal**
- **Princípio de funcionamento**
- **Uma instância do bloco Portadora Triangular e uma do bloco comparador de 32 bits**
- **Controle da luminosidade dos LEDs (oito instâncias)**

**Figura 2** - Esquemático da modulação PWM



Fonte: Sant'ana, 2018a.

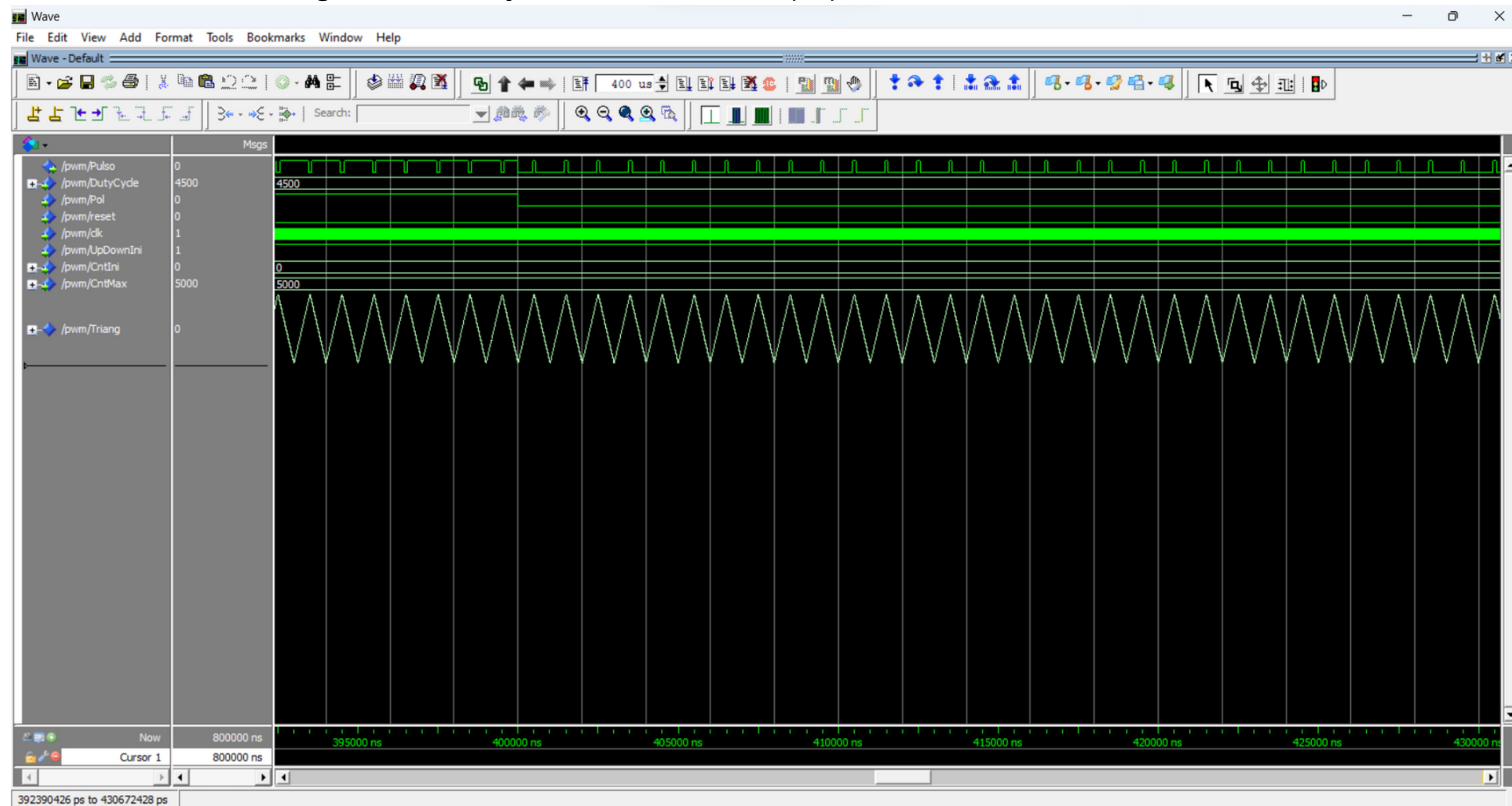
**Figura 3** - Circuito RTL do bloco PWM



Fonte: Autoria própria.



**Figura 4 -** Simulação do bloco PWM - duty-cycle de 90% (sinal de saída *Pulso*)



Fonte: Autoria própria.

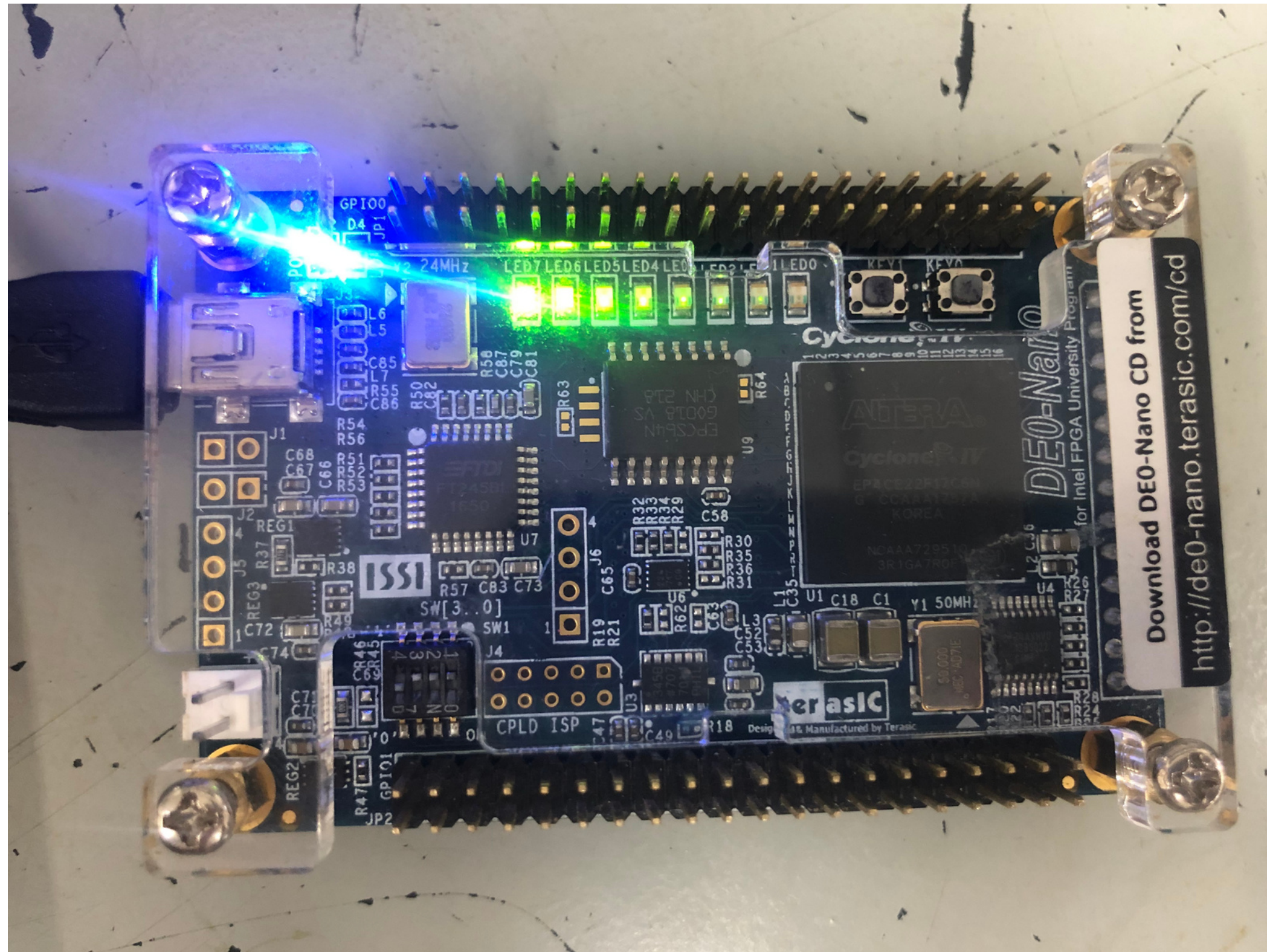
**Figura 5** - Variação linear de luminosidade de cada LED com variação logarítmica de duty-cycle

LED	<i>DutyCycle</i>	entrada para $f_{PWM}=5\text{kHz}$
LED [7]	100%	5000
LED [6]	33.8%	1688
LED [5]	11.4%	570
LED [4]	3.8%	192
LED [3]	1.3%	65
LED [2]	0.4%	22
LED [1]	0.1%	7
LED [0]	0%	0

Fonte: Sant'ana, 2018a.



**Figura 6** - Execução no SoC FPGA, com SW[0] em nível alto



Fonte: Autoria própria.

# **Bloco portadora triangular**

- **Contador de 32 bits do tipo up-down**
- **Vai incrementar de 0 até um valor máximo escolhido**
- **Valor da contagem máxima através da fórmula**
- **Equações para os ângulos desejados de defasagem**
- **Controle da luminosidade dos LEDs (oito instâncias)**

**Figura 7** - Fórmula para obter valor da contagem máxima

$$f_{PWM} = \frac{f_{CLK}}{2 \cdot ContMax}$$

Fonte: Sant'ana, 2018a.

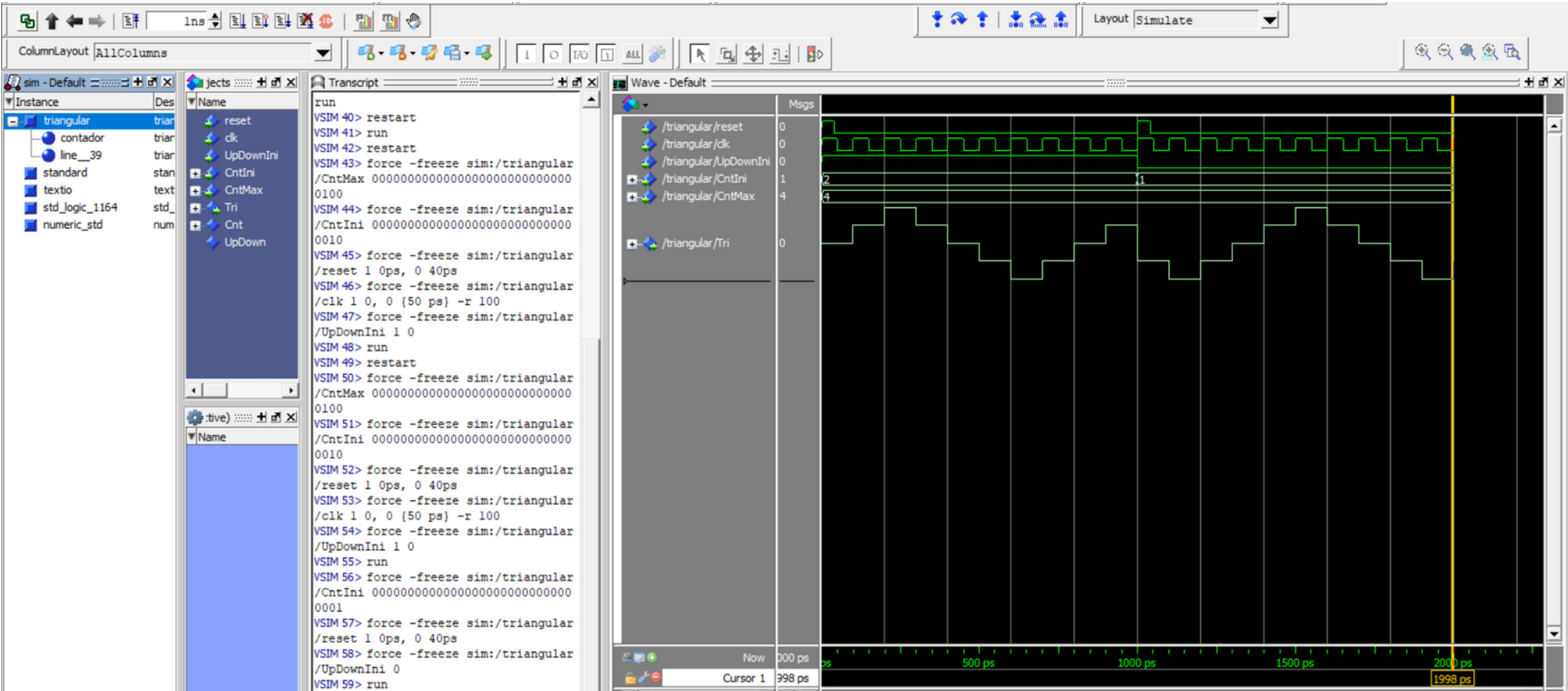
**Figura 8** - Fórmulas para obter os valores de *CntIni* e *UpDownIni* dependendo do valor do ângulo desejado

$$0^\circ \leq \phi < 180^\circ \left\{ \begin{array}{l} CntIni = ContMax \cdot \frac{\phi}{180}; \\ UpDownIni = 1. \end{array} \right. \quad \left[ \begin{array}{l} \\ \end{array} \right.$$
$$180^\circ \leq \phi < 360^\circ \left\{ \begin{array}{l} CntIni = ContMax \cdot \frac{360-\phi}{180}; \\ UpDownIni = 0. \end{array} \right.$$

Fonte: Sant'ana, 2018a.



**Figura 9** - Simulação do bloco Portadora Triangular - exemplo de contagem até 4 iniciando de 2 na rampa de subida e de 1 na rampa de descida



Fonte: Autoria própria.

- **Variação dos duty-cycles valem para o bloco TresConversores, Bipolar e Unipolar**
- **Duas chaves controlam o duty-cycle, uma controla o reset e a outra controla a polaridade do PWM**

**Figura 10** - Variação dos duty-cycles em relação às chaves SW[1] e SW[0]

Duty-cycle	<i>SW</i> [1]	<i>SW</i> [2]
10%	0	0
30%	0	1
50%	1	0
90%	1	1

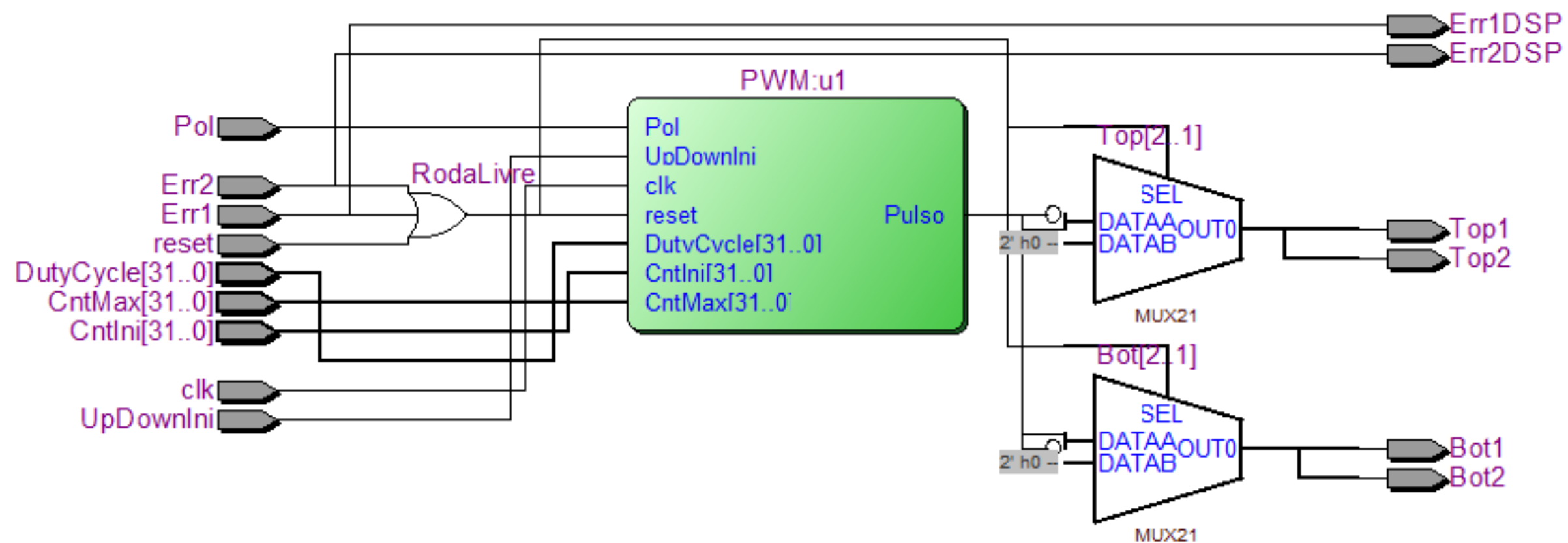
Fonte: Sant'ana, 2018a.

# Bloco bipolar

- **Sinais superiores paralelos na ponte H são gerados pela comparação da onda moduladora senoidal com a portadora triangular**
- **Esses dois sinais de gate operam de forma complementar**
- **Uma instância do bloco PWM acrescido de lógica complementar**
- **Prevê duas entradas de erro dos drivers de IGBTs e duas saídas que podem ser enviadas a um microcontrolador**

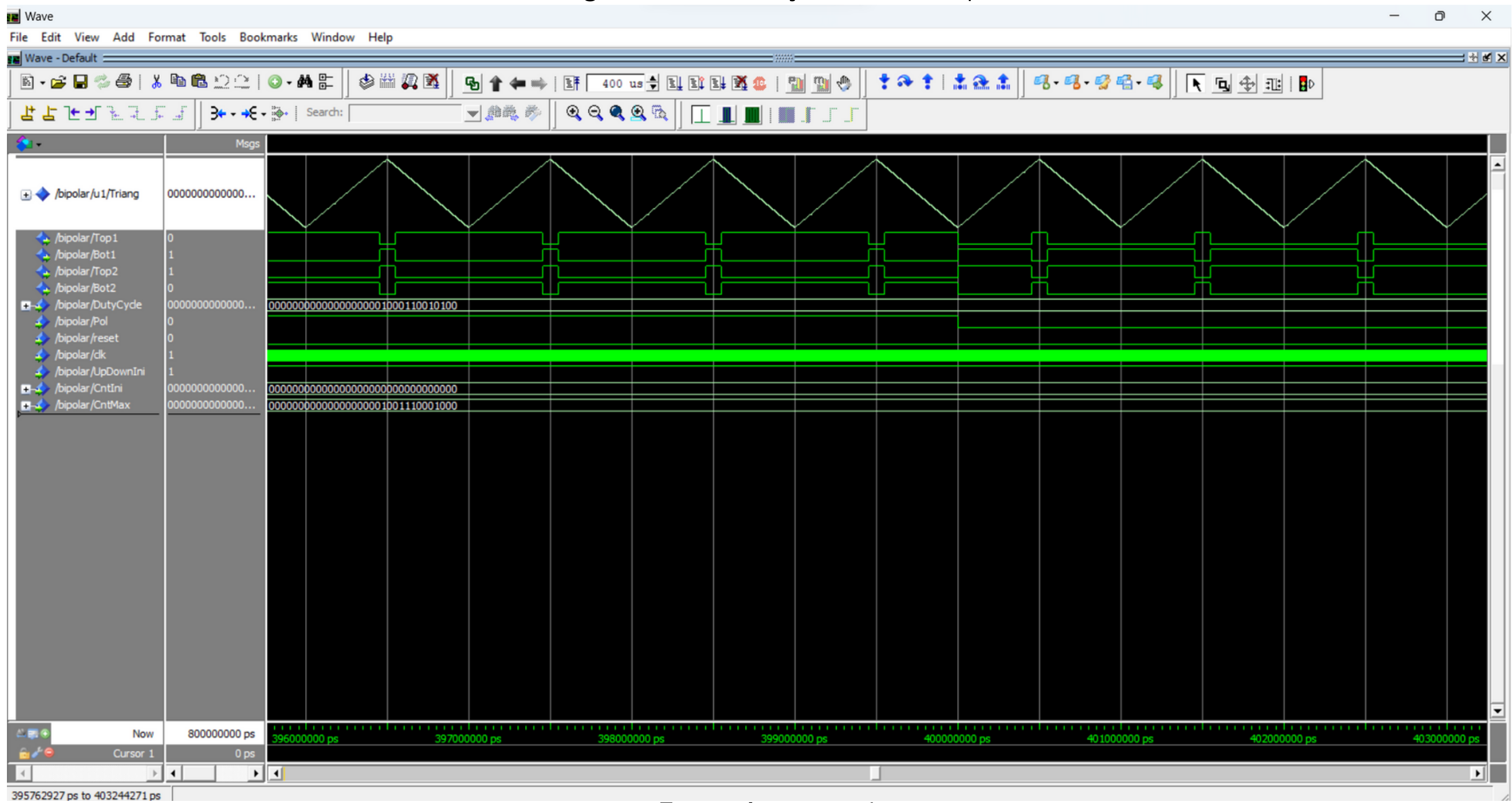


**Figura 11** - Circuito RTL do bloco bipolar



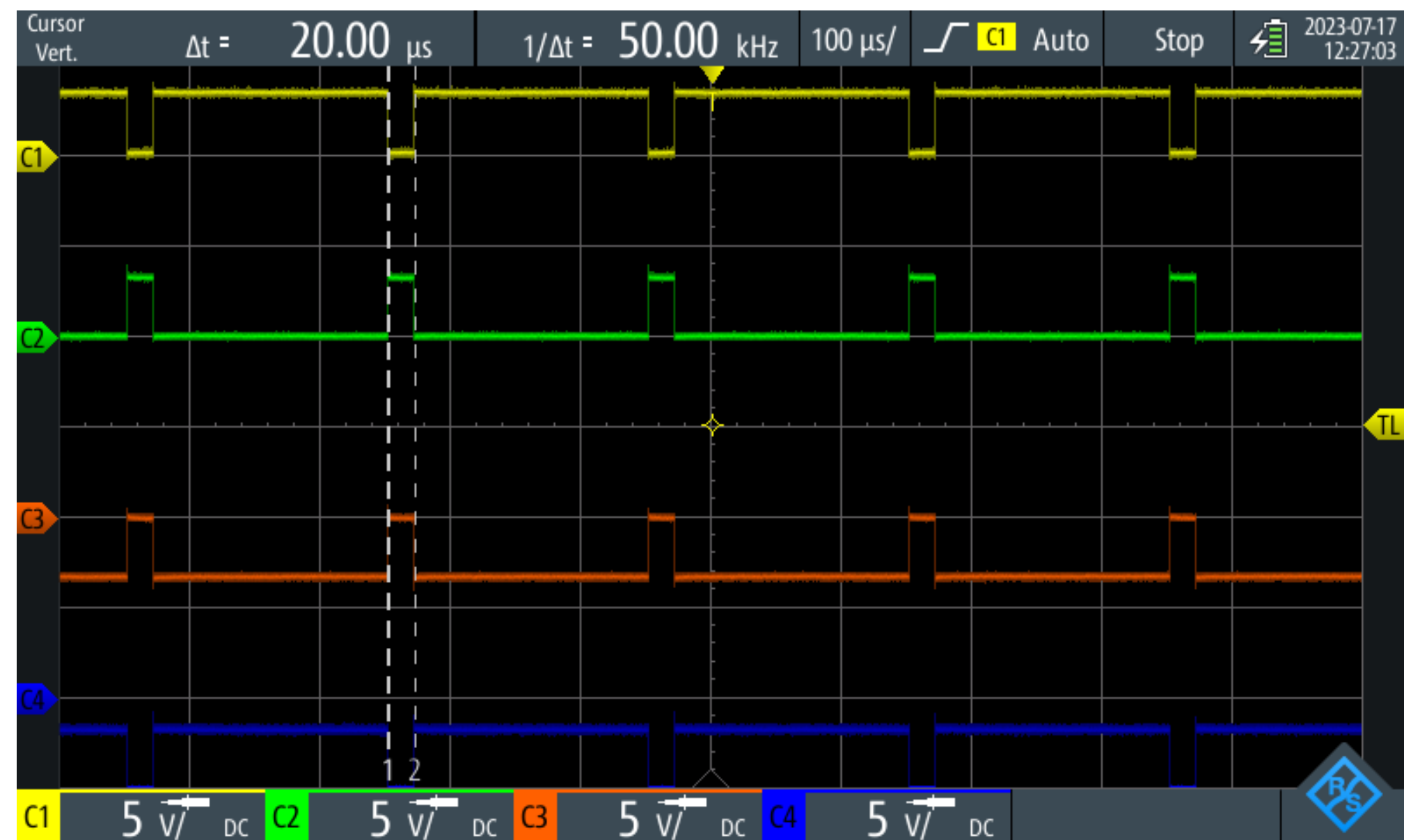
Fonte: Autoria própria.

Figura 12 - Simulação do bloco Bipolar



Fonte: Autoria própria.

**Figura 13** - Bloco bipolar - Pulsos de gate para SW(1:0) = 11 (90% de duty-cycle)

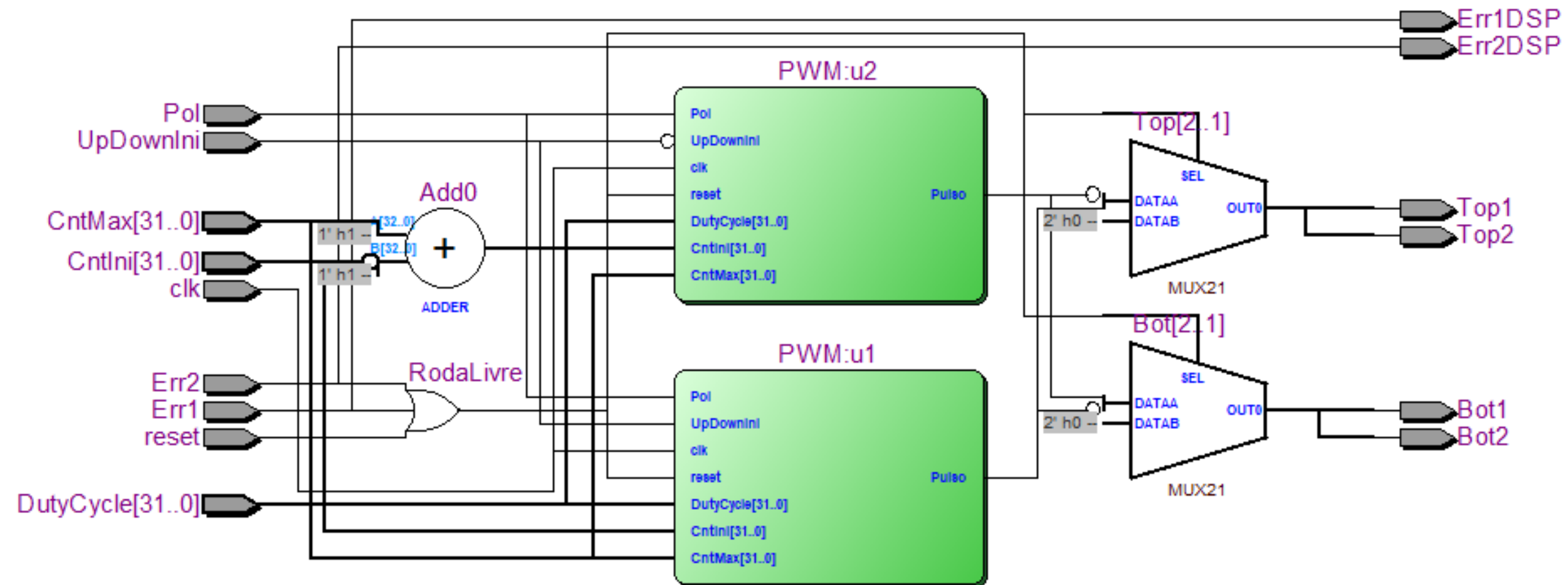


Fonte: Autoria própria.

# **Bloco unipolar**

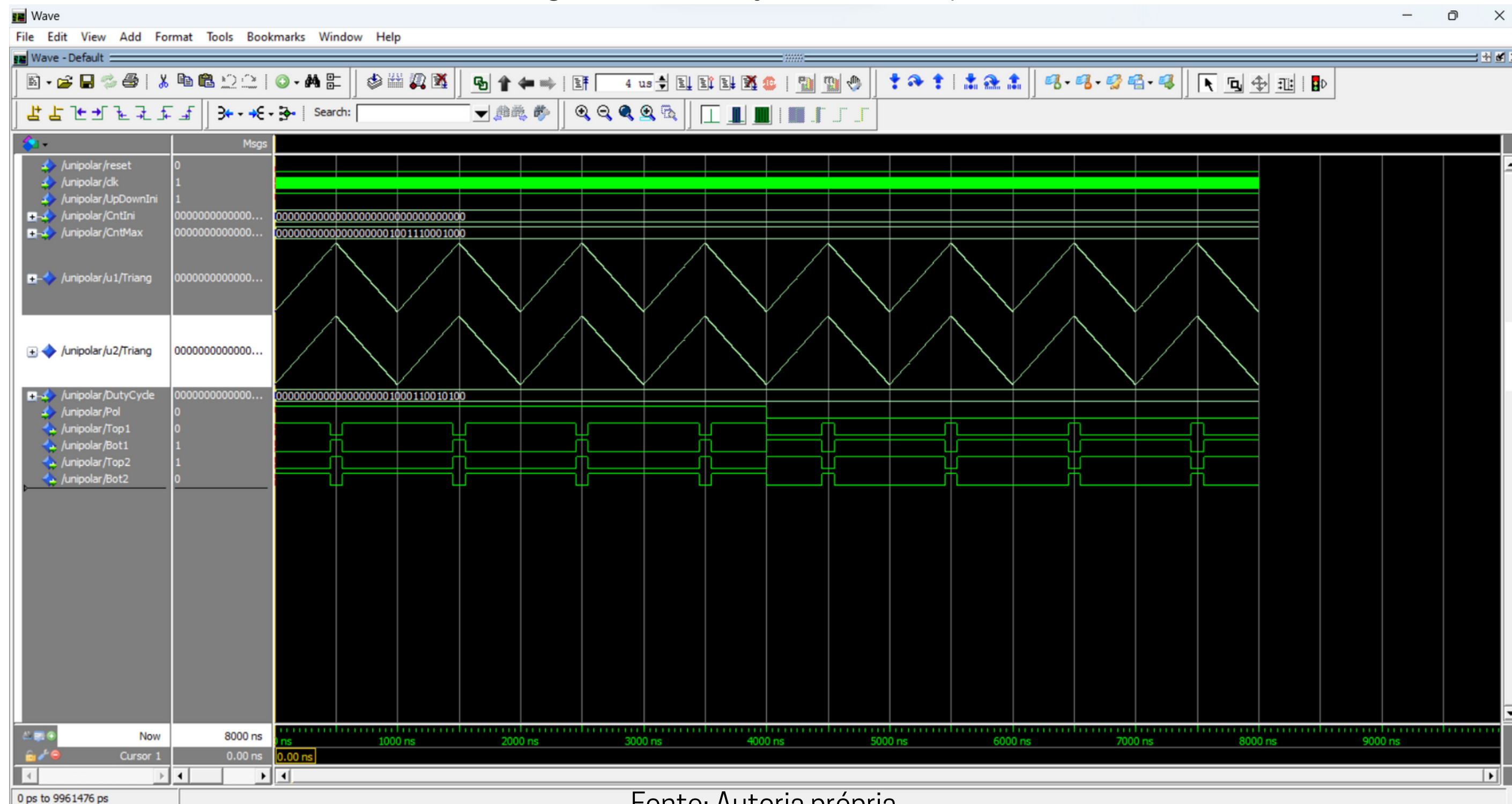
- **Requer duas ondas moduladoras senoidais, de mesma magnitude e frequência, mas defasadas em  $180^\circ$**
- **Sinais de gate não operam de forma complementar**
- **Duas instâncias do bloco PWM acrescido de lógica complementar**
- **Prevê duas entradas de erro dos drivers de IGBTs e duas saídas que podem ser enviadas a um microcontrolador**

**Figura 14** - Circuito RTL do bloco unipolar



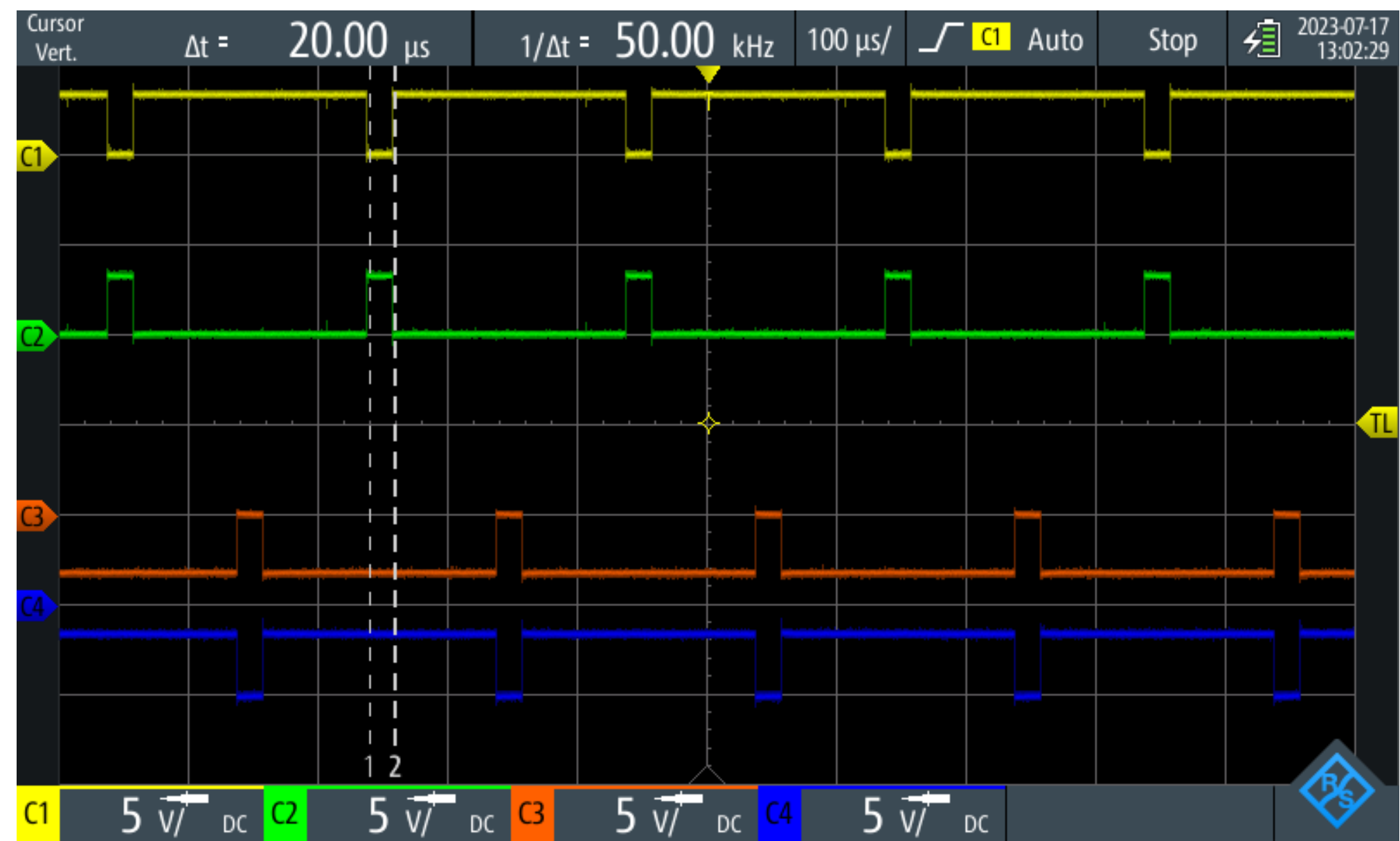
Fonte: Autoria própria.

**Figura 15** - Simulação do bloco Unipolar



Fonte: Autoria própria.

**Figura 16** - Bloco unipolar - Pulsos de gate para SW(1:0) = 11 (90% de duty-cycle)



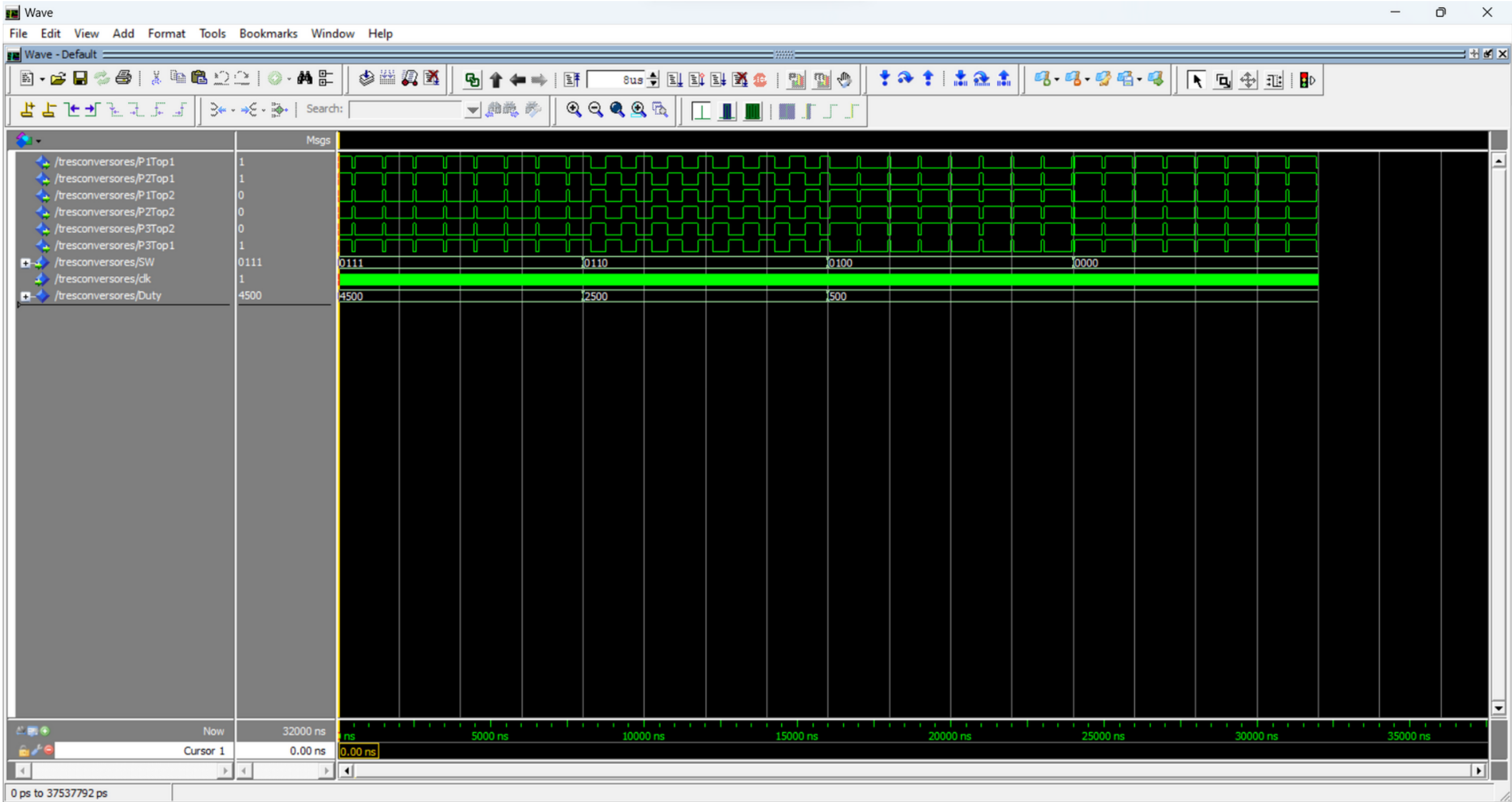
Fonte: Autoria própria.

# Bloco Três Conversores

- Três instâncias do bloco Unipolar
- Defasagens das portadoras triangulares dos blocos PWM: *u1* portadora em  $0^\circ$  to\_unsigned(0,32) e portadora em  $180^\circ$  configurada automaticamente pelo bloco Unipolar; *u2* portadora em  $60^\circ$  to\_unsigned(1667,32) e portadora em  $240^\circ$  configurada automaticamente pelo bloco Unipolar; *u3* portadora em  $120^\circ$  to\_unsigned(3333,32) e portadora em  $240^\circ$  configurada automaticamente pelo bloco Unipolar (Sant'ana, 2018b)

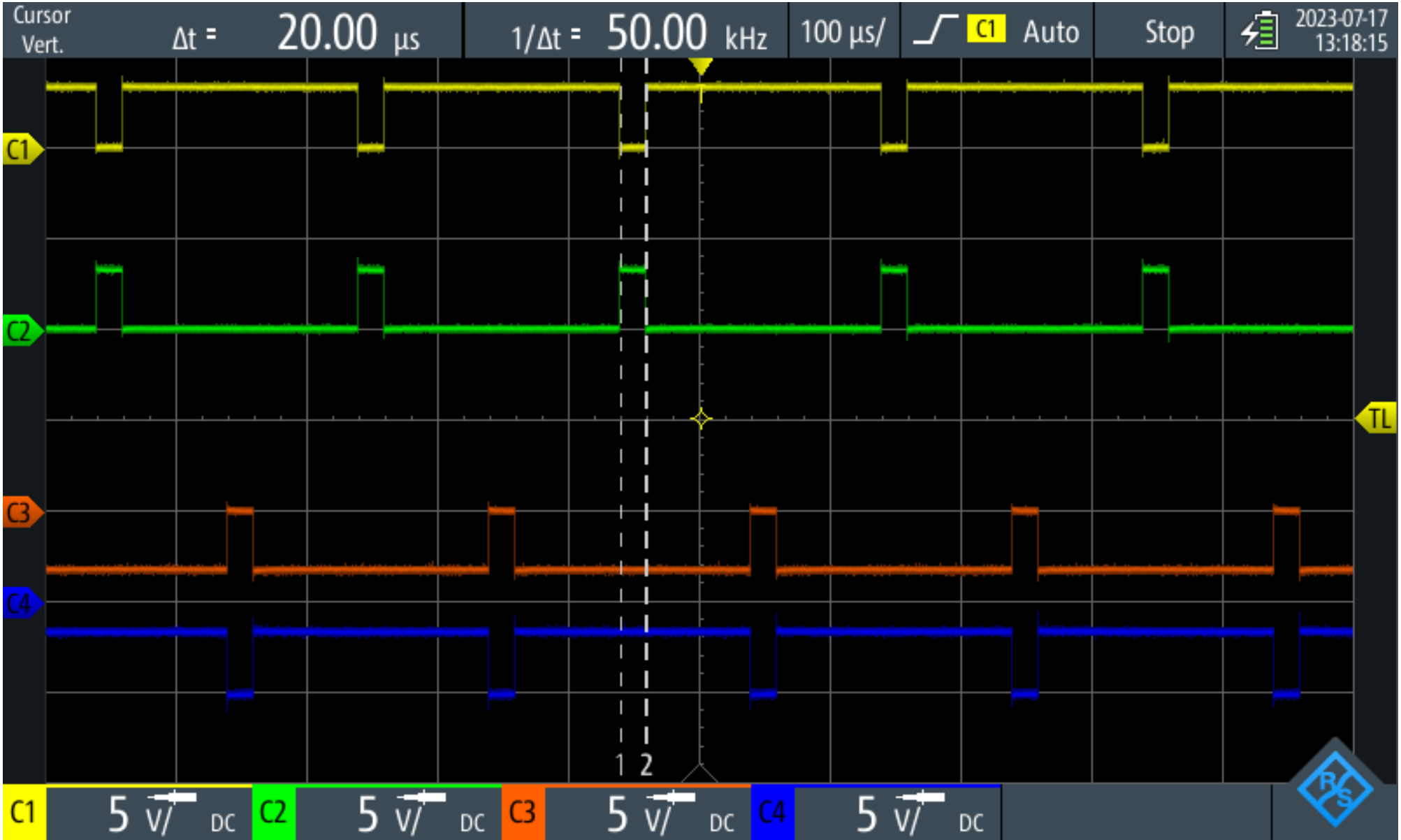


Figura 17 - Simulação do bloco Três Conversores



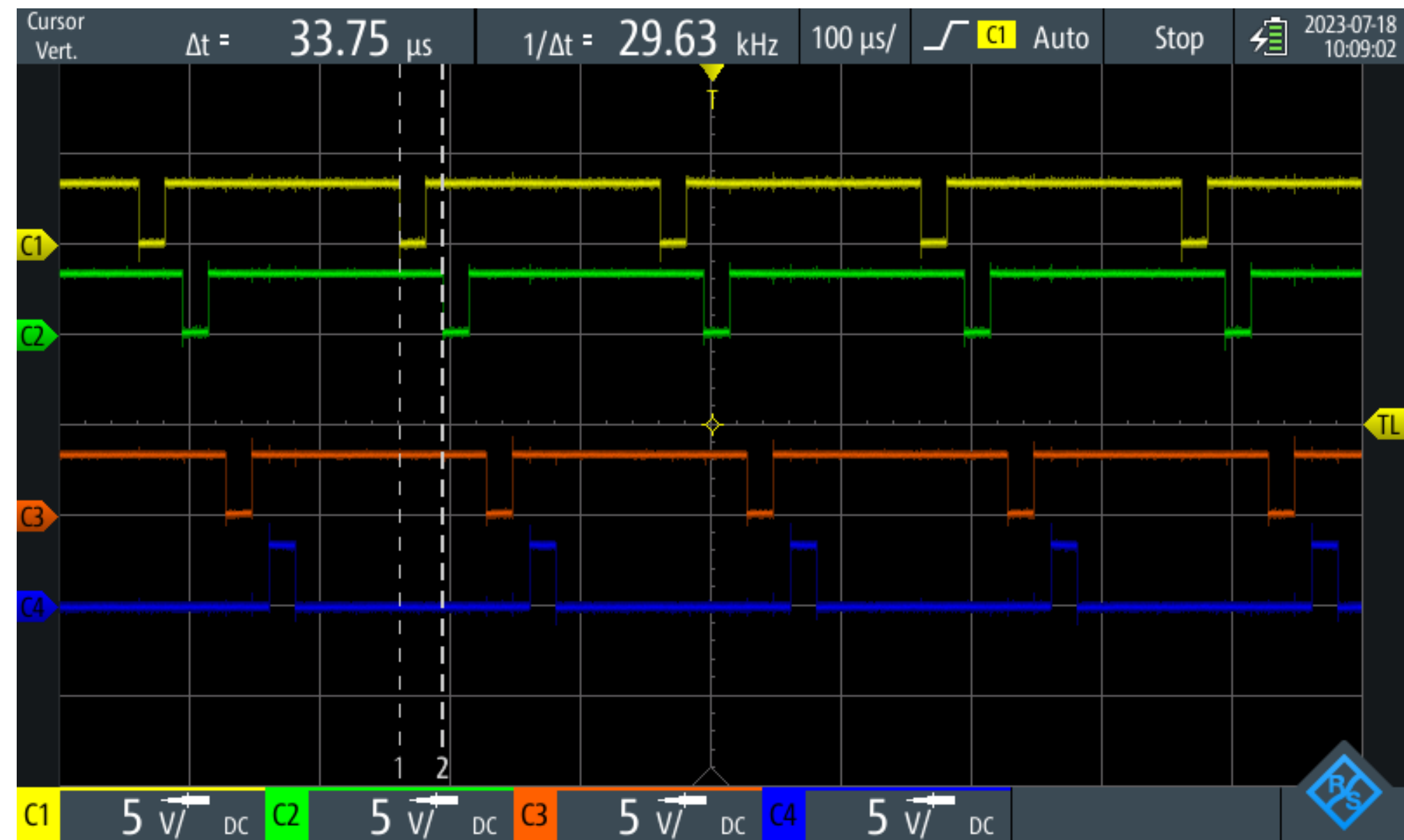
Fonte: Autoria própria.

**Figura 18** - Bloco Três Conversores- Pulsos da ponte H1 para SW(1:0) = 11 (90% de duty-cycle)



Fonte: Autoria própria.

**Figura 19** - Zoom para verificação da defasagem de  $60^\circ$  (diferença de  $33\mu\text{s}$  e o período vale  $200\mu\text{s}$ ) - cursores entre H2T1 e H3T1

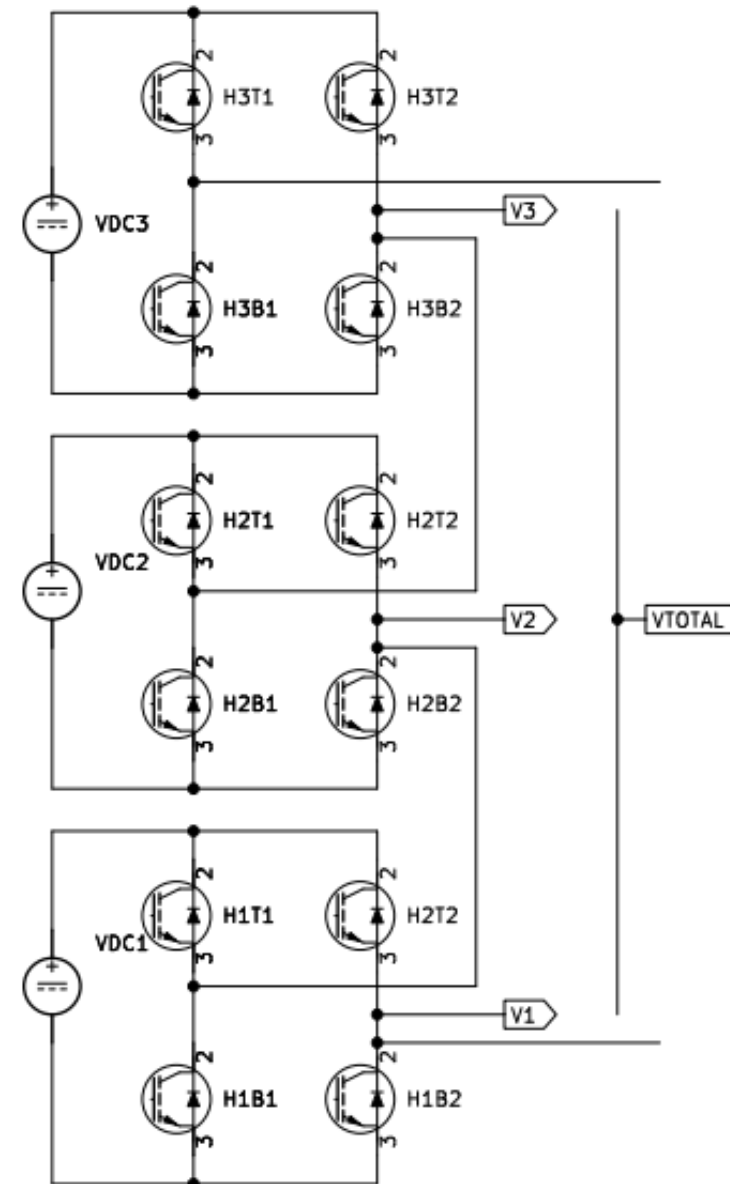


Fonte: Autoria própria.

# Resultados experimentais

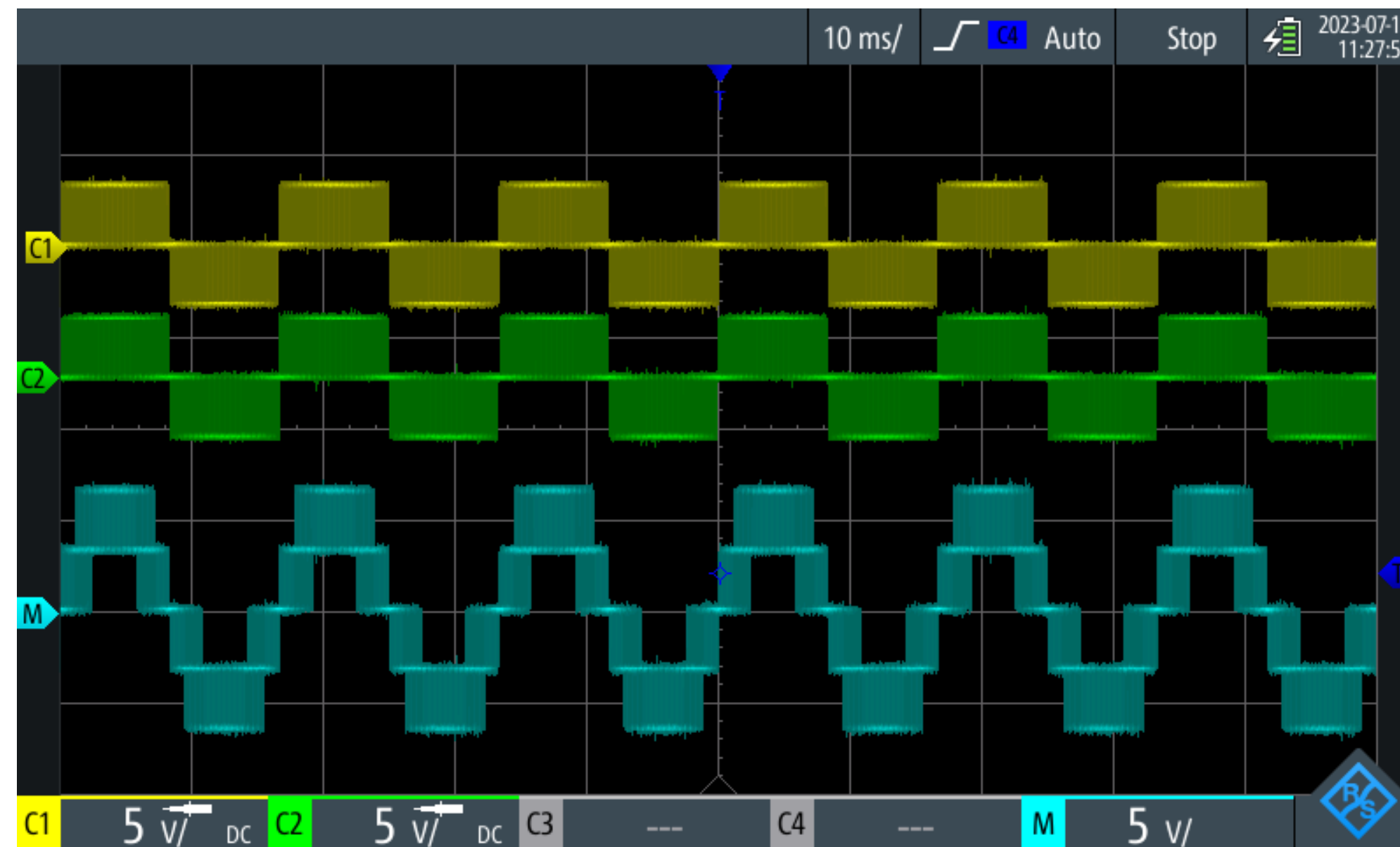
- **Foco nos sinais de controle do conversor**
- **Metodologia “bottom-up”**
- **Dois blocos PWM com defasagens de  $180^\circ$  geram o bloco Unipolar. Com três blocos Unipolar com defasagens de  $60^\circ$  entre cada portadora, obtém-se o PWM para três pontes em cascata**
- **Foi utilizado um core DDS para geração de um sinal senoidal para um teste do core PWM multiníveis**
- **Gravado apenas na memória SDRAM**

**Figura 20** - Três pontes H em cascata para 7 níveis de tensão



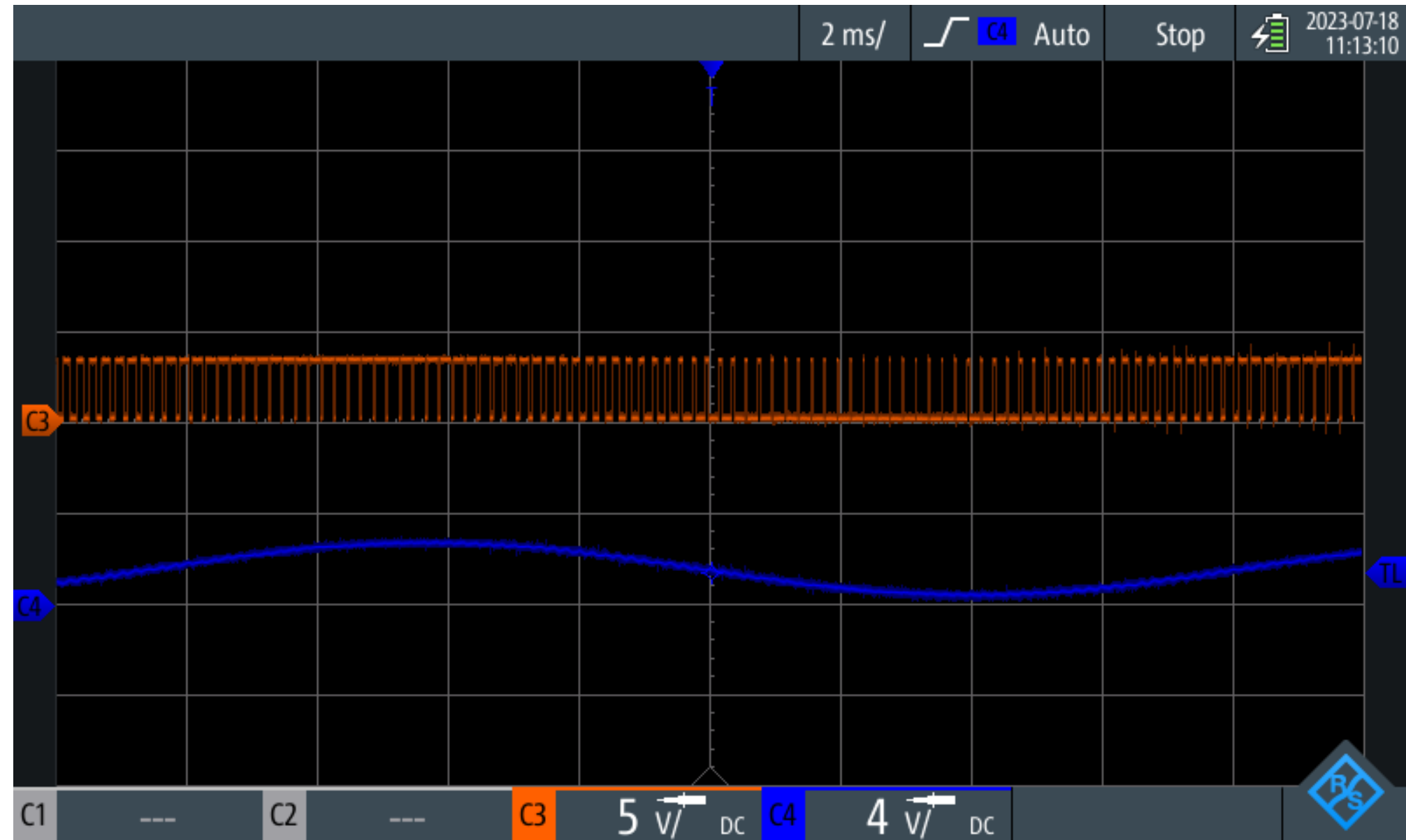
Fonte: Autoria própria (Kicad versão 6.0).

**Figura 21** - Tensões de saída(sinais em amarelo e verde) em duas pontes e soma das tensões em duas pontes(sinal azul)



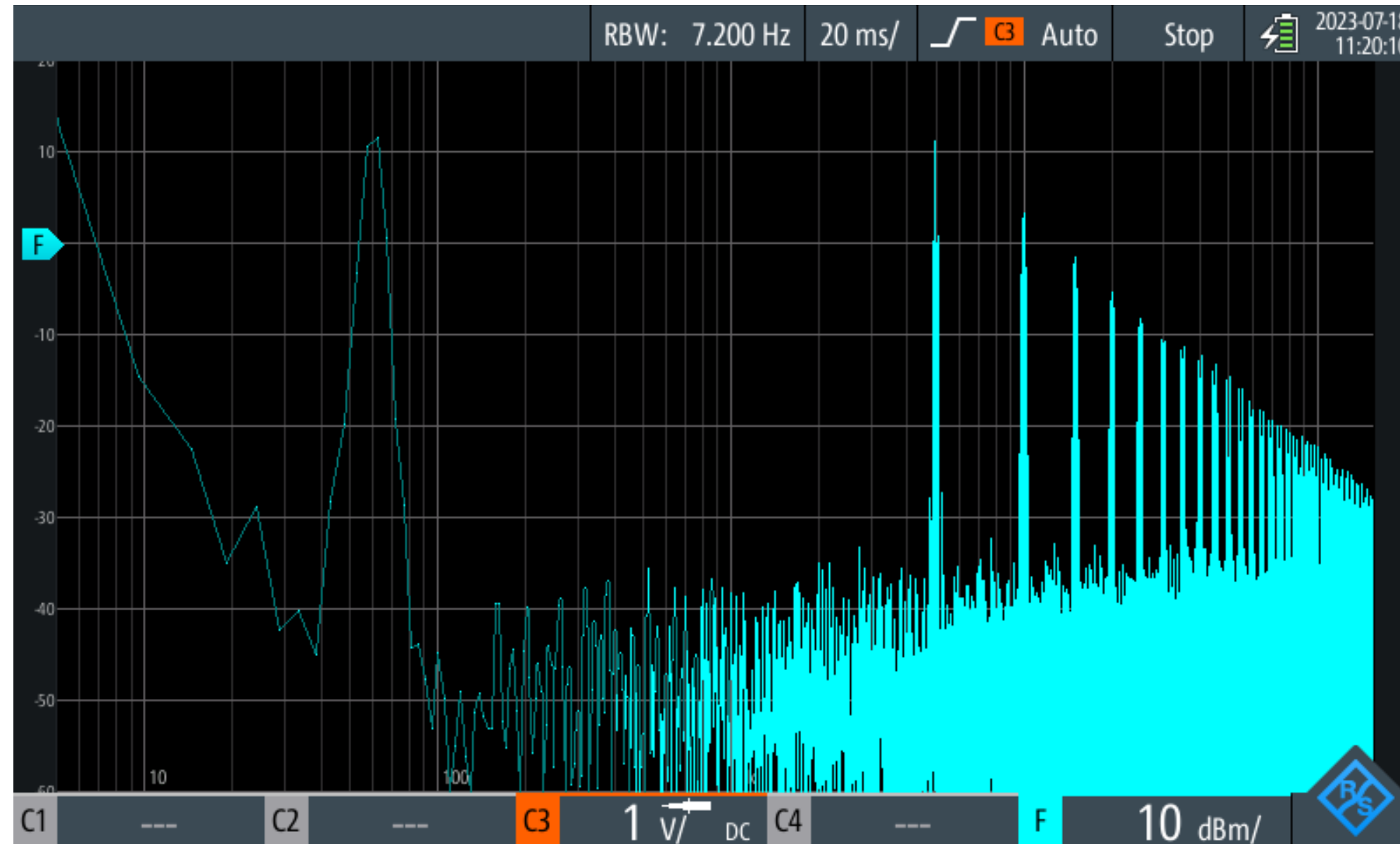
Fonte: Autoria própria.

**Figura 22** - Sinal de saída na ponte H1 e sinal de saída na ponte H1 filtrado)



Fonte: Autoria própria.

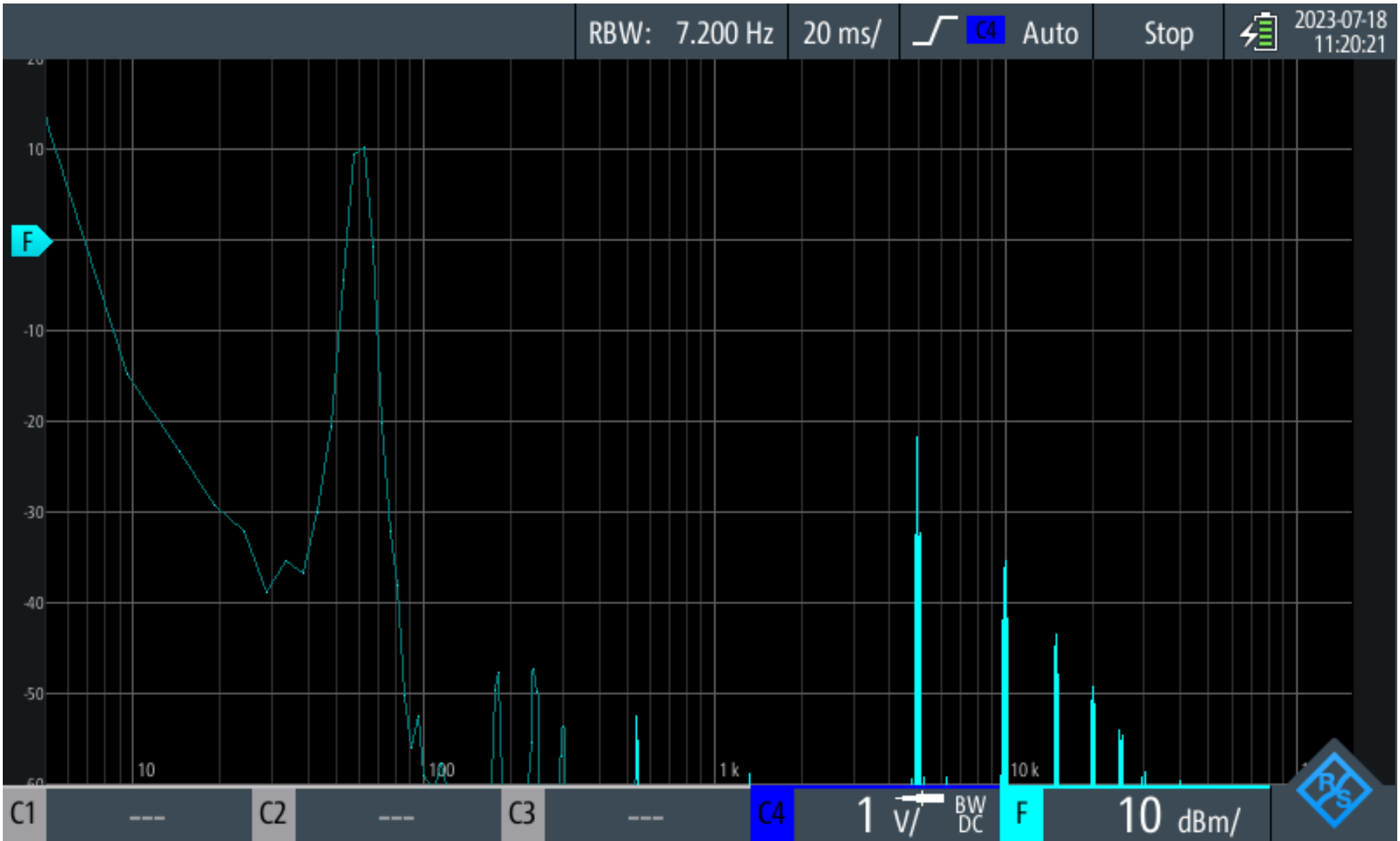
**Figura 23** - Espectro de frequências sem utilização do filtro RC



Fonte: Autoria própria.



**Figura 24** - Espectro de frequências com utilização do filtro RC

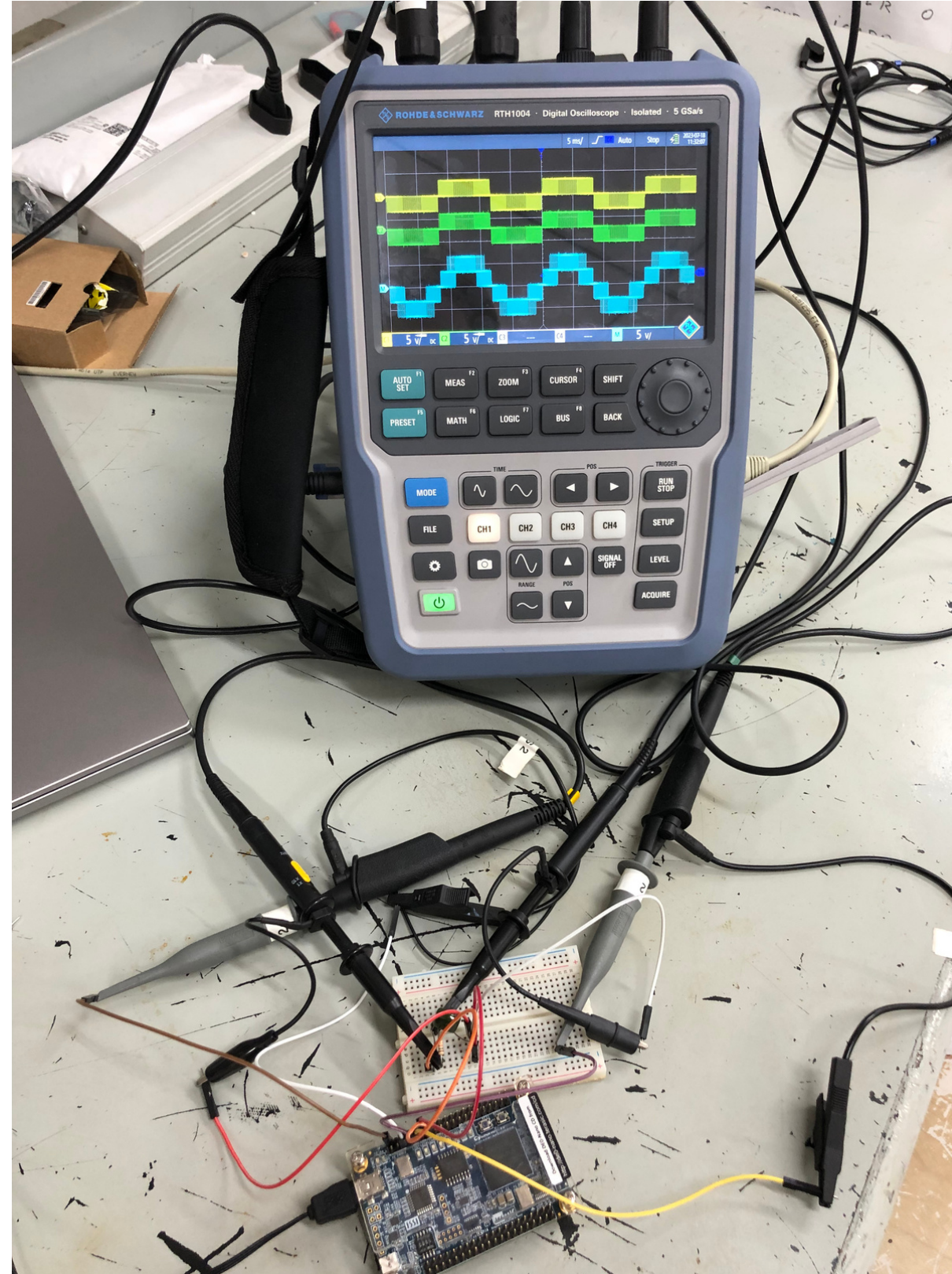


Fonte: Autoria própria.

# Conclusões

- **Apesar de não ter sido possível observar a tensão total das 3 pontes, observou-se a soma das tensões em 2 pontes que geraram 5 níveis de tensão, apesar dos sinais estarem sendo gerados**
- **O sistema poderia ser adaptado para mais pontes, bastando a repetição dos blocos e os cálculos apropriados**
- **Frequência de chaveamento foi medida em apenas uma ponte, não foi possível observar uma frequência de chaveamento resultante seis vezes maior**
- **Realização do trabalho em um FPGA com mais pinos**

**Figura 25** - Bancada de testes



Fonte: Autoria própria.

# Referências

SANT'ANA, W. C. **"2.1 - Desenvolvimento de core PWM por comparação com portadora triangular"**. [S.l.], abril 2018a. Disponível em: <<http://doingtechmyself.blogspot.com/2018/04/desenvolvimento-de-core-pwm.html>>

WU, B.; NARIMANI, M. **High-power converters and AC drivers**. 2. ed. Hoboken, New Jersey: John Wiley and Sons, Inc, 2017.

SANT'ANA, W. C. **"2.4 - PWM de sete níveis para três pontes H em cascata"**. [S.l.], abril 2018b. Disponível em: <<http://doingtechmyself.blogspot.com/2018/04/pwm-sete-niveis-ponte-h-cascata.html>>

SANT'ANA, W. C. **"2.2 - PWM de dois níveis (bipolar) para uma ponte H"**. [S.l.], abril 2018c. Disponível em: <<http://doingtechmyself.blogspot.com/2018/04/pwm-dois-niveis-bipolar.html>>

SANT'ANA, W. C. **"2.3 - PWM de três níveis (unipolar) para uma ponte H"**. [S.l.], abril 2018d. Disponível em: <<http://doingtechmyself.blogspot.com/2018/04/pwm-dois-niveis-bipolar.html>>

BRAGA, H. A.; BARBI, I. **Conversores estáticos multiníveis - uma revisão**. SBA Controle & Automação, vol.11, n.1, p.20-28, Jan., Fev., Mar., Abril, 2000. Disponível em: <<https://www.sba.org.br/revista/vol11/v11a262.pdf>>. Acesso em: 04 set. 2023.

SANT'ANA, W. C. **"2.6 - Gravação de projeto na memória FLASH e testes em bancada com conversor multiníveis a IGBTs"**. [S.l.], junho 2018e. Disponível em: <<http://doingtechmyself.blogspot.com/2018/06/flash-bancada.html>>

SANT'ANA, W. C. et al. **Implementação em fpga de modulador pwm para conversores multiníveis**. CBA 22º Congresso Brasileiro de Automática, CBA 2018f, João Pessoa - PB, 2018. Disponível em : <[https://www.sba.org.br/open\\_journal\\_systems/index.php/cba/article/download/291/253](https://www.sba.org.br/open_journal_systems/index.php/cba/article/download/291/253)>

SANT'ANA, W. C. **"2.5 - Utilização de core DDS para geração de referências senoidais"**. [S.l.], maio 2018g. Disponível em: <<http://doingtechmyself.blogspot.com/2018/05/core-dds-ref-senoidal.html>>

**Muito obrigada!**  
**Perguntas e respostas**