

Interfejs Audio-SDM

Wymagania funkcjonalne

Projekt zakłada stworzenie bloku cyfrowego, który realizuje funkcje przetwarzania sygnałów audio na dwóch niezależnych interfejsach. Moduł ten będzie wyposażony w interfejsy wejściowe i wyjściowe: audio (16-bit, 44.1 kHz) oraz SDM (1-bit, 2.8224 MHz). Kluczowymi komponentami są modulator Sigma-Delta pierwszego rzędu, który przekształca dane z interfejsu audio na strumień SDM, oraz decymator, który odwrotnie przekształca dane SDM na format audio za pomocą filtrów grzebieniowych i dolnoprzepustowego.

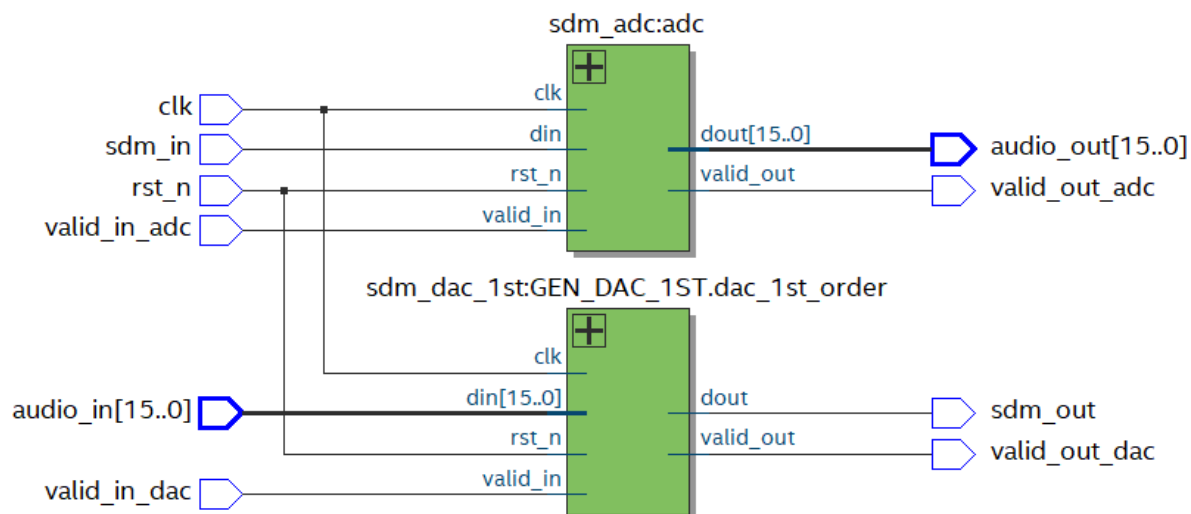
Zaawansowane funkcje bloku obejmują konfigurowalną strukturę modulatora Sigma-Delta (zmienny rząd i liczba bitów wyjściowych), obsługę asynchronicznych zegarów na interfejsach oraz implementację dolnoprzepustowego filtra IIR z możliwością wyboru różnych struktur. Moduł zaprojektowany będzie z myślą o wysokiej precyzji przetwarzania sygnału oraz elastyczności w dostosowaniu do różnych zastosowań.

Moduł na najwyższym poziomie hierarchii

Moduł zawiera 2 niezależne interfejsy wejściowe i wyjściowe:

- interfejs audio (clk: 44.1KHz, dane 16-bitowe, sygnał Data Valid)
- interfejs SDM (taktowanie: 2,8224 MHz, dane 1-bitowe, sygnał Data Valid)

Moduł umożliwia wybór rzędu modulatora poprzez parametr DAC_ORDER.

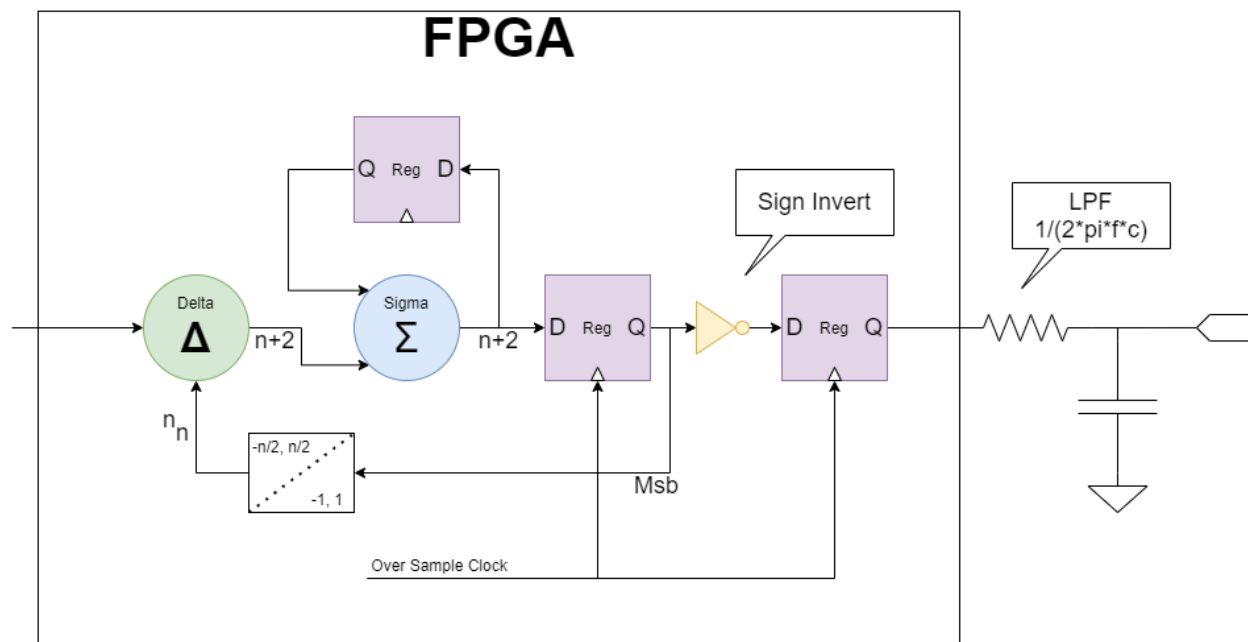


Rys. 1 Schemat modułu na najwyższym poziomie hierarchii

Parametr/Port	Jednostka/szerokość bitowa	Uwagi
DAC_ORDER	-	Wybór rzędu modulatora (1 albo 2)
clk	Hz	Sygnał zegarowy układu (taktowanie 2.8224MHz)
rst_n	1-bit	Sygnał restartujący układ (aktywny stan niski)
audio_in	16-bit	Wejście audio w formacie fixed point Q15 taktowane 44.1kHz
valid_in_dac	1-bit	Sygnał walidacyjny danych wejściowych audio.
sdm_out	1-bit	Wyjście Sigma-Delta taktowane 2.8224MHz
valid_out_dac	1-bit	Sygnał walidacyjny danych wyjściowych SDM
sdm_in	1-bit	Wejście Sigma-Delta taktowane 2.8224MHz
valid_in_adc	1-bit	Sygnał walidacyjny danych wejściowych SDM
audio_out	16-bit	Wyjście audio w formacie fixed point Q15 taktowane 44.1kHz
valid_out_adc	1-bit	Sygnał walidacyjny danych wyjściowych audio.

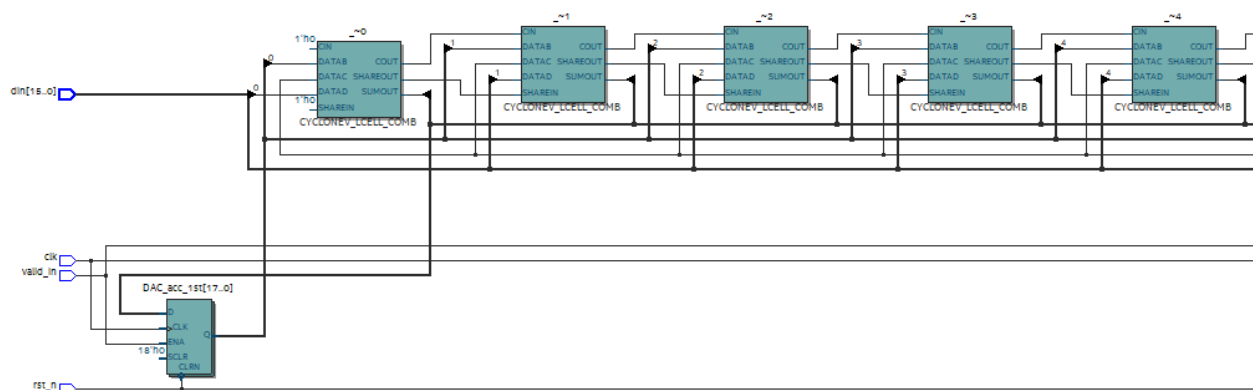
Modulator Sigma-Delta pierwszego rzędu

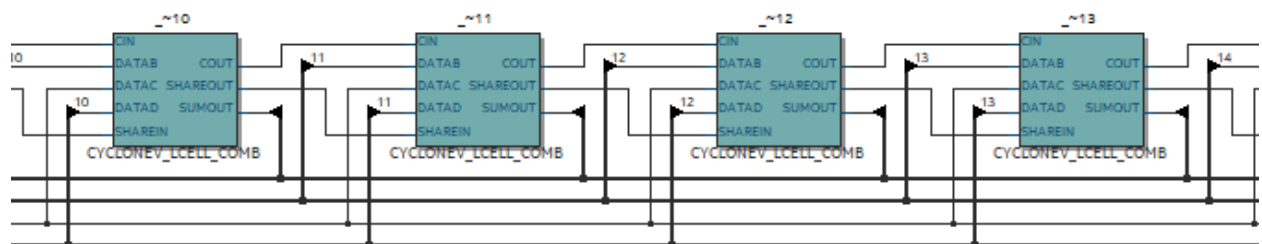
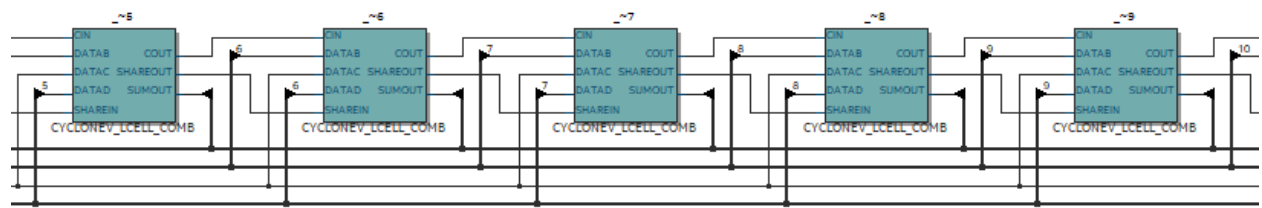
Moduł modulatora sigma-delta pierwszego rzędu został opisany według schematu przedstawionego na Rys. 2

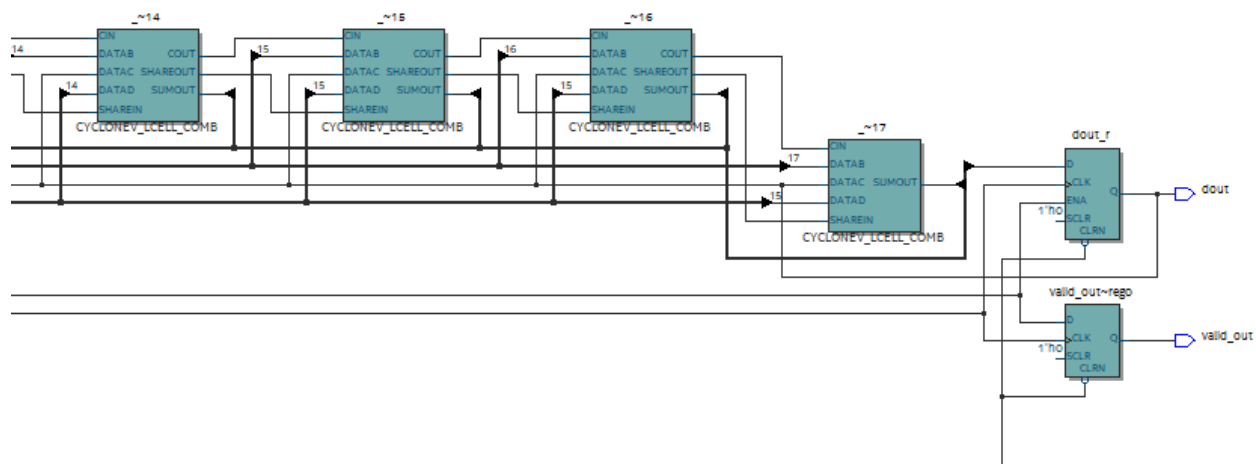


Rys. 2 Schemat blokowy modulatora Sigma-Delta pierwszego rzędu

Układ po syntezie przedstawiono na Rys. 3





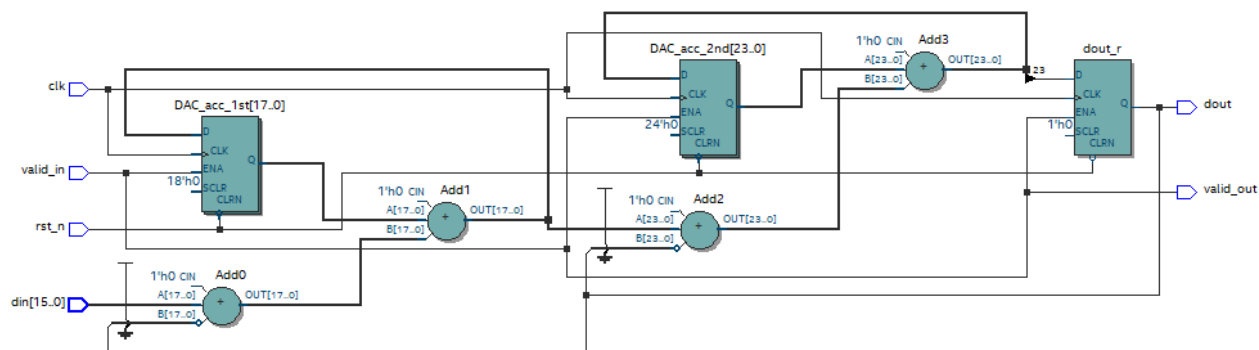


Rys. 3 Schemat modulatora SDM pierwszego rzędu po syntezie

Parametr/Port	Jednostka/szerokość bitowa	Uwagi
DAC_BW	16	Szerokość bitowa modulatora sigma-delta
clk	Hz	Sygnał zegarowy układu (taktowanie 2.8224MHz)
rst_n	1-bit	Sygnał restartujący układ (aktywny stan niski)
din	16-bit	Wejście audio w formacie fixed point Q15 taktowane 44.1kHz
valid_in	1-bit	Sygnał walidacyjny danych wejściowych audio.
dout	1-bit	Wyjście Sigma-Delta taktowane 2.8224MHz
valid_out	1-bit	Sygnał walidacyjny danych wyjściowych SDM

Modulator Sigma-Delta drugiego rzędu

Układ po syntezie przedstawiono na Rys. 5



Parametr/Port	Jednostka/szerokość bitowa	Uwagi
DAC_BW	16	Szerokość bitowa modulatora sigma-delta
OSR	6	Wartość nadpróbkowania w formacie 2^N ($N=6$)
clk	Hz	Sygnał zegarowy układu (taktowanie 2.8224MHz)
rst_n	1-bit	Sygnał restartujący układ (aktywny stan niski)

din	16-bit	Wejście audio w formacie fixed point Q15 taktowane 44.1kHz
valid_in	1-bit	Sygnał walidacyjny danych wejściowych audio.
dout	1-bit	Wyjście Sigma-Delta taktowane 2.8224MHz
valid_out	1-bit	Sygnał walidacyjny danych wyjściowych SDM

Demodulator Sigma-Delta

Ogólna postać demodulatora wygląda następująco:

1. Mapowanie wartości sygnału SDM na format fixed point Q15
 - a) Stan niski sygnału sigma-delta odpowiada wartości audio ok. -1 (w formacie Q15 przypisano wartość 0x8001)
 - b) Stan wysoki sygnału sigma-delta odpowiada wartości audio ok. 1 (w formacie Q15 przypisano wartość 0x7FFF)
2. Filtracja sygnału filtrem dolnoprzepustowym
3. Decymacja 64-krotna

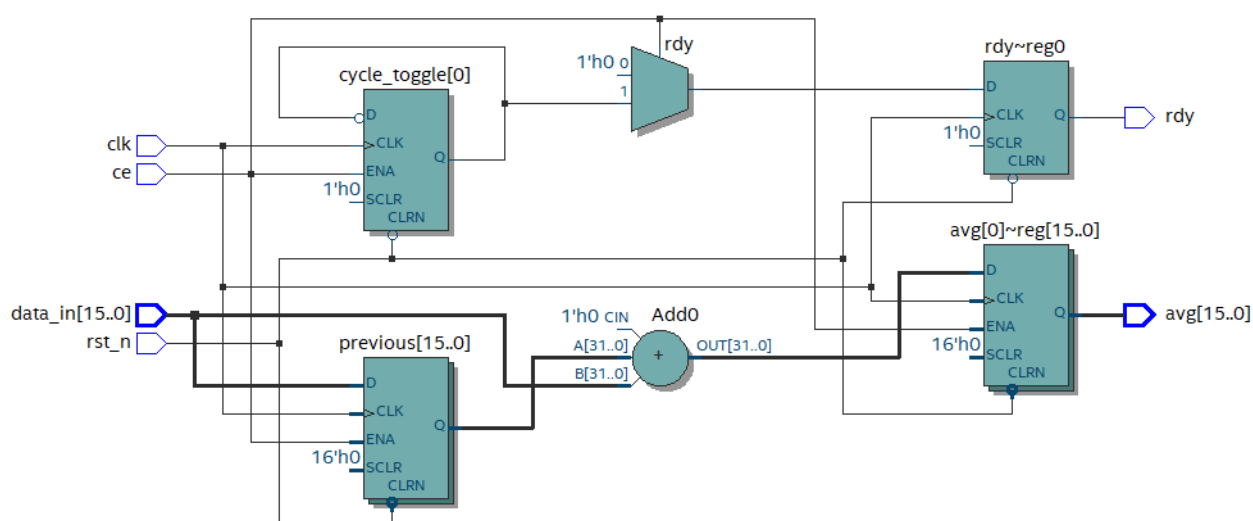
Moduł ten jest szkieletem realizacji według wyżej wymienionego ogólnego schematu konwersji sygnału SDM do postaci Audio.

Parametr/Port	Jednostka/szerokość bitowa	Uwagi
clk	Hz	Sygnał zegarowy układu (taktowanie 2.8224MHz)
rst_n	1-bit	Sygnał restartujący układ (aktywny stan niski)
din	1-bit	Wejście Sigma-Delta taktowane 2.8224MHz
valid_in	1-bit	Sygnał walidacyjny danych wejściowych SDM
dout	16-bit	Wyjście audio w formacie fixed point Q15 taktowane 44.1kHz
valid_out	1-bit	Sygnał walidacyjny danych wyjściowych audio

Filtr uśredniający

Najprostszym sposobem na efektywną filtrację sygnału SDM jest wykorzystanie filtra uśredniającego. Filtr ten oblicza średnią z poprzednich próbek. Zauważono, że do najefektywniejszej realizacji wystarczy wykorzystać filtry z wejściem aktywującym sygnał zegarowy i z sygnałem informującym o gotowym wyniku co 2 cykle zegara – wtedy poza obliczeniem średniej z aktualnej i poprzedniej próbki jednocześnie dwukrotnie decymowany jest sygnał. Kaskadowe połączenie 6 takich filtrów (Rys. 7) pozwala uzyskać średnią z 64 próbek oraz zakładaną 64-krotną decymację sygnału.

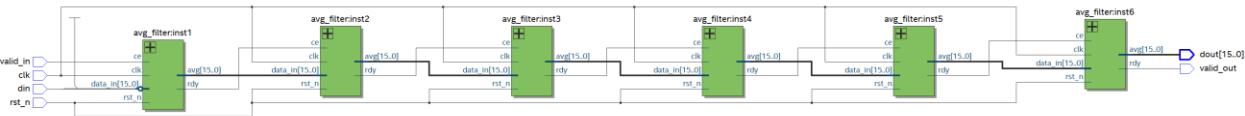
Schemat opisanego układu po syntezie przedstawiono na Rys. 6



Rys. 6 Schemat filtra uśredniającego 2 próbki po syntezie

Parametr/Port	Jednostka/szerokość bitowa	Uwagi
clk	Hz	Sygnał zegarowy układu (taktowanie 2.8224MHz)
rst_n	1-bit	Sygnał restartujący układ (aktywny stan niski)
data_in	16-bit	Wejście sygnału w formacie fixed point Q15
ce	1-bit	Wejście aktywujące sygnał zegarowy
avg	16-bit	Wyjście sygnału w formacie fixed point Q15
rdy	1-bit	Wyjście informujące o gotowym wyniku co 2

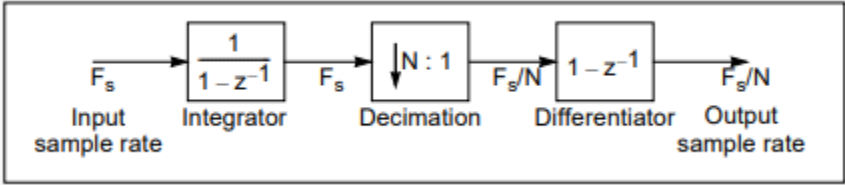
		aktywny cykl sygnału zegarowego
--	--	---------------------------------



Rys. 7 Kaskadowe połączenie filtrów uśredniających

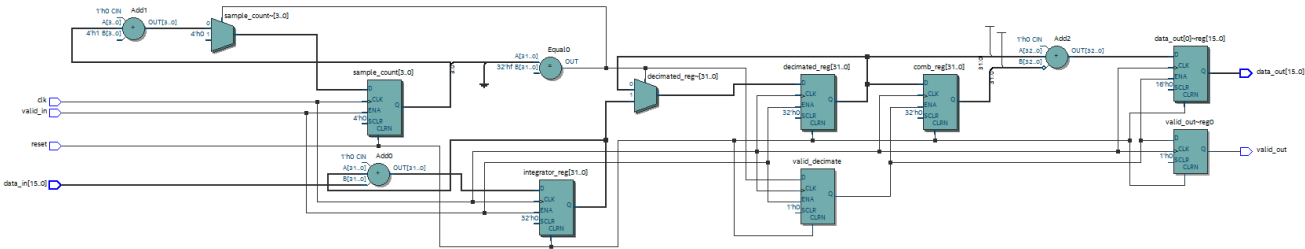
Filtr grzebieniowy z decymacją

Filtr, który działa według schematu na Rys. 8. Jest pierwszym etapem filtracji według artykułu. Decymuje sygnał 16-krotnie.



Rys. 8 Schemat działania modułu

Schemat układu przedstawiono na Rys. 9



Rys. 9 Schemat filtru grzebieniowego z decymacją

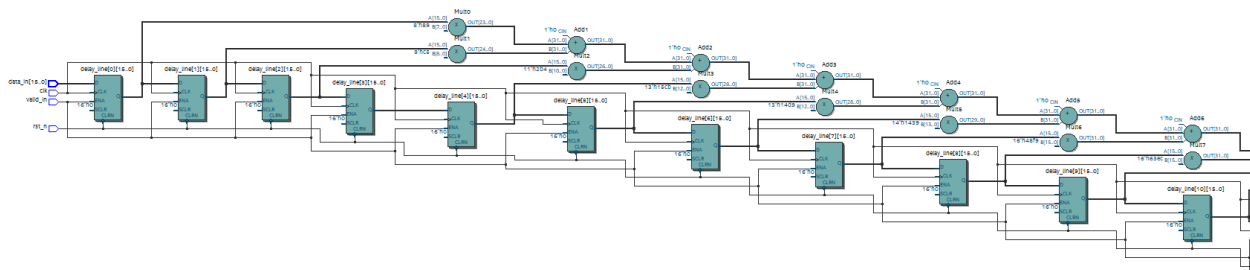
Parametr/Port	Jednostka/szerokość bitowa	Uwagi
DECIMATION_FACTOR	-	Współczynnik decymacji (16)

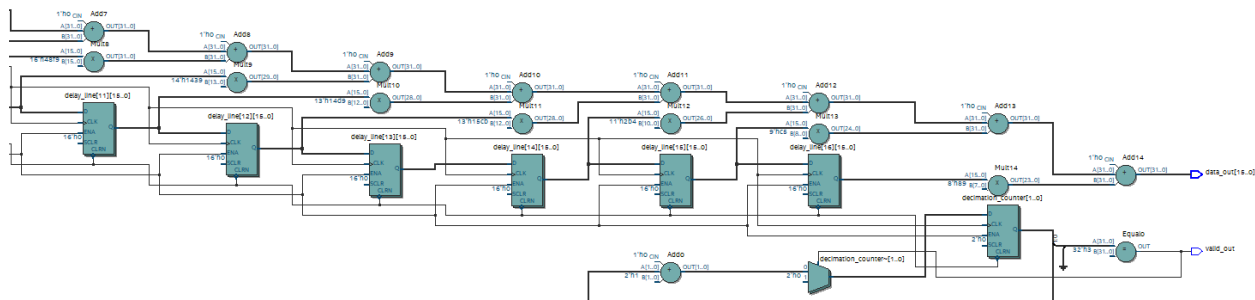
clk	Hz	Sygnał zegarowy układu (taktowanie 2.8224MHz)
rst_n	1-bit	Sygnał restartujący układ (aktywny stan niski)
din	16-bit	Wyjście w formacie fixed point Q15
valid_in	1-bit	Sygnał walidacyjny danych wejściowych
dout	16-bit	Wyjście zdecydowane w formacie fixed point Q15
valid_out	1-bit	Sygnał walidacyjny danych wyjściowych

Filtr FIR z decymacją

Filtr o skończonej odpowiedzi impulsowej stanowi drugi etap filtracji sygnału SDM w celu konwersji do sygnału audio. Sygnał jest najpierw filtrowany, a następnie decymowany. Ze względu na niekompatybilność niektórych elementów SystemVeriloga z programem Icarus napisano dwie wersje filtra – fir_decimator.v z wykorzystaniem składni Veriloga oraz fir_decimator.sv z wykorzystaniem SystemVeriloga jako główna wersja. Filtr decymuje sygnał 4-krotnie.

Schemat układu przedstawiono na Rys. 10





Rys. 10 Schemat filtru FIR z decymacją

Parametr/Port	Jednostka/szerokość bitowa	Uwagi
COEFF_WIDTH	-	Liczba bitów współczynników (16 bitów)
DATA_WIDTH	-	Liczba bitów danych (16 bitów)
TAPS	-	Liczba współczynników (17)
DECIMATION_FACTOR	-	Współczynnik decymacji (4)
clk	Hz	Sygnał zegarowy układu (taktowanie 2.8224MHz)
rst_n	1-bit	Sygnał restartujący układ (aktywny stan niski)
din	16-bit	Wyjście w formacie fixed point Q15
valid_in	1-bit	Sygnał walidacyjny danych wejściowych
dout	16-bit	Wyjście zdecymowane w formacie fixed point Q15
valid_out	1-bit	Sygnał walidacyjny danych wyjściowych