

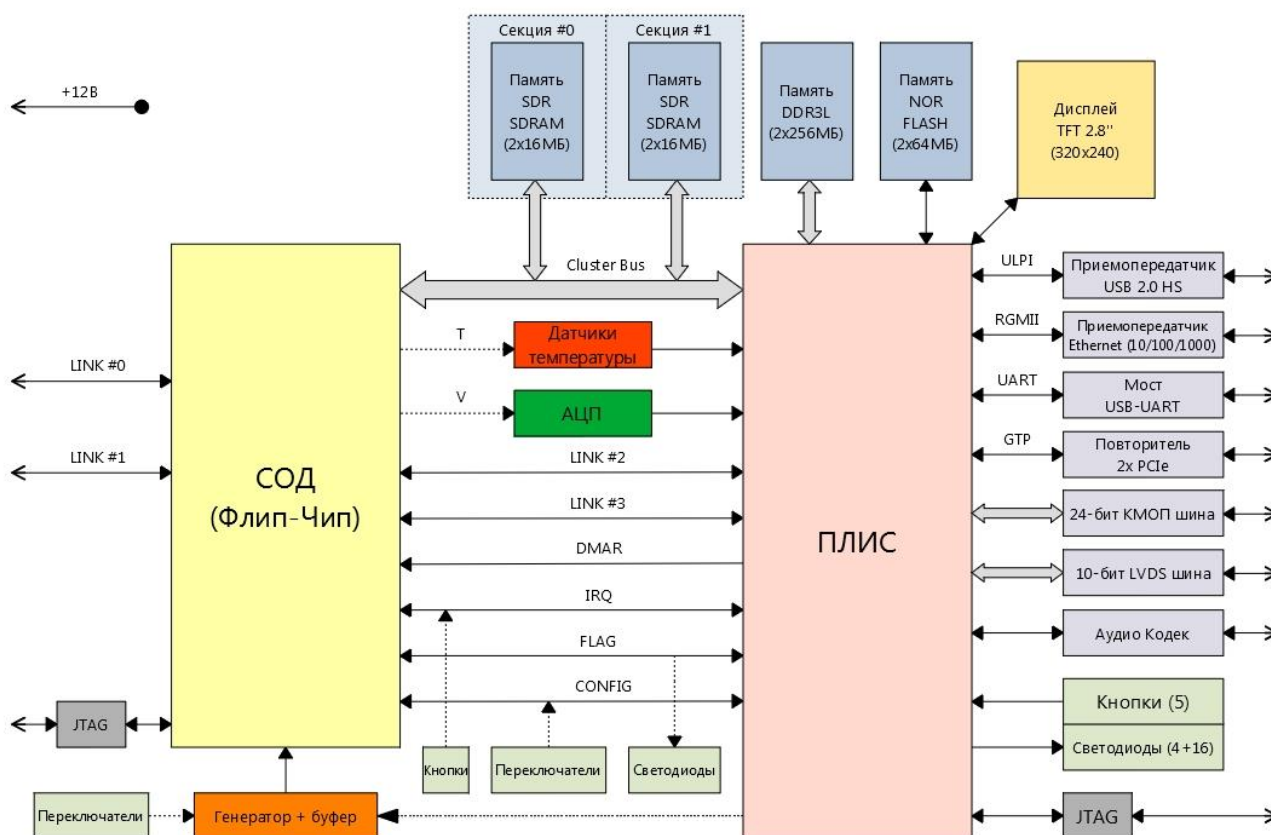
Отладочный модуль MBM-03 x1 МСБ



Руководство пользователя

ek-m-mvm03_ug, 08.07.2019

Структурная схема

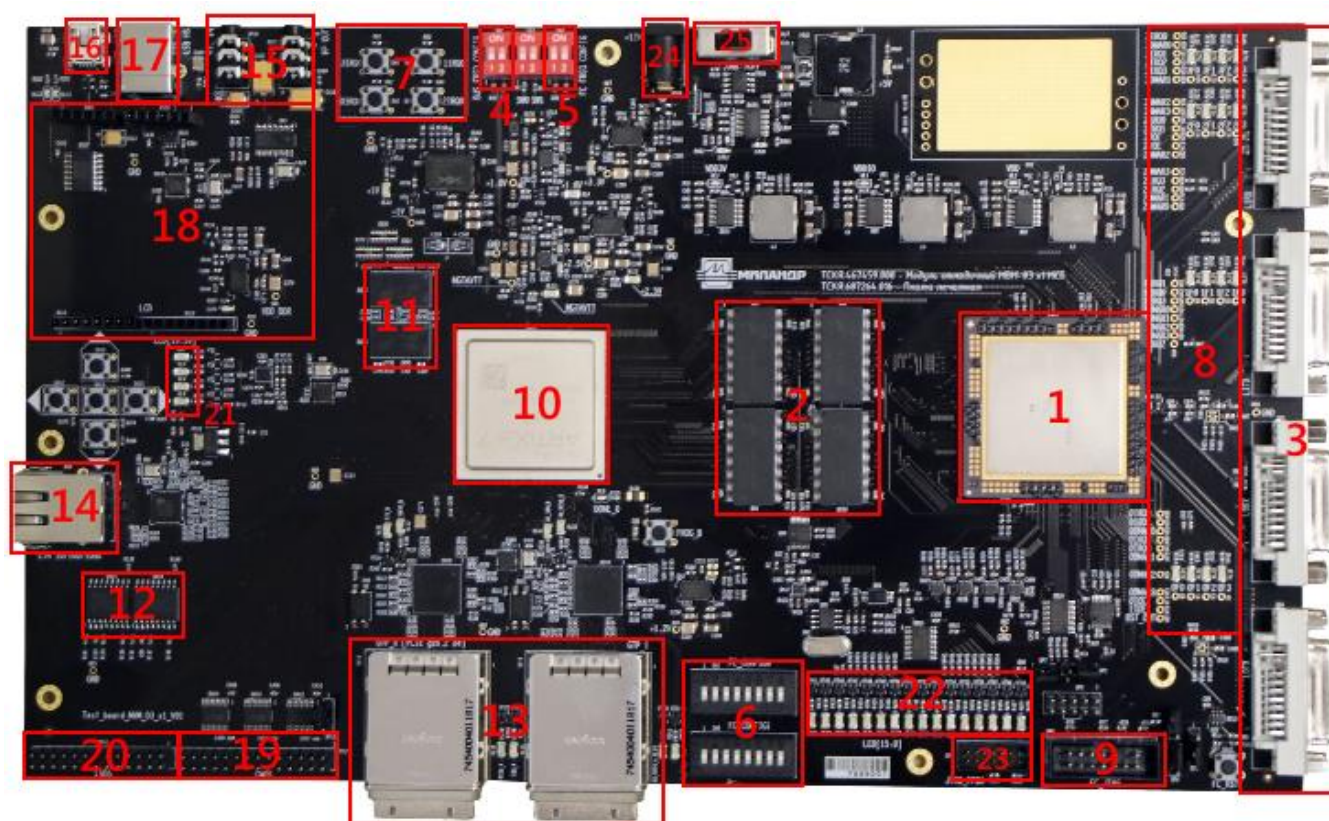


Характеристики

- Внешние разъемы и интерфейсы:
 - Внешнее питание: +12В
 - Два порта связи: DVI-Гнездо
 - Два USB порта: USB "B" и USB mini "A"
 - Один Ethernet: RJ-45
 - Одна шина LVDS: 26-pin вилка, двухрядная с шагом 2.54мм
 - Одна шина CMOS: 28-pin вилка, двухрядная с шагом 2.54мм
 - Два GT-порта: 38-pin типа 74540-0401
 - Два Audio: гнездо, 3.5 мм, трехтерминальный
- Компоненты и функционал:
 - Одна микросборка «Флип-Чип» (MBM-03)
 - Генератор + PLL + Тактовый буфер для тактирования DSP и SDR-памяти, возможность тактирования от FPGA

- Четыре SDR SDRAM микросхемы памяти (16 Мбайт каждая, 64 Мбайт в общем), разделенные на две секции (MSSD0 и MSSD1)
- Кластерная шина в полном объеме подключена к FPGA для возможности эмулирования работы с общей памятью, периферийными устройствами и хост процессором
- Порты связи #0 и #1 выведены на внешние разъемы DVI, #2 и #3 подключены к FPGA
- Переключатели (switch) для выбора частоты внешней шины, частоты ядра и конфигурации загрузки (возможность конфигурирования через FPGA)
- Все сигналы IRQ подключены к FPGA, сигналы IRQ0 продублированы на кнопки
- Все сигналы FLAG и DMAR подключены к FPGA, все сигналы FLAG продублированы на LED
- Супервизор питания и кнопка сброса FC с возможностью сброса от FPGA
- JTAG-разъем для программирования и отладки
- Разъем для программирования EEPROM
- Одна микросхема FPGA (XC7A200T-2FFG1156)
 - Две DDR3L микросхемы памяти (256 Мбайт каждая, 512 Мбайт в общем)
 - Две NOR-Flash памяти (64 Мбайт каждая) для хранения конфигурации и общего пользования
 - Четыре датчика для отслеживания температуры каждого ядра FC
 - Три АЦП для контроля напряжений питания FC
 - Два GTP порта (4-lane каждый) выведены через redriver на внешние разъемы
 - Один Ethernet PHY (с поддержкой 10/100/1000 Mbps, RGMII)
 - Аудио кодек для подключения микрофона и наушников
 - Преобразователь USB <=> UART
 - USB High-Speed PHY (Device, ULPI)
 - Два тактовых генератора PCIe для тактирования FPGA и GTP портов
 - TFT дисплей 2.8" 320x240
 - Пять кнопок общего назначения
 - Внешняя двунаправленная 24-разрядная CMOS шина с выбором внутреннего или внешнего опорного напряжения
 - Внешняя двунаправленная 10-разрядная (10 диф. пар) LVDS шина
 - Четыре "быстрых" LED + шестнадцать LED (IO Expander)
 - JTAG-разъем для программирования и отладки

Внешний вид и основные элементы



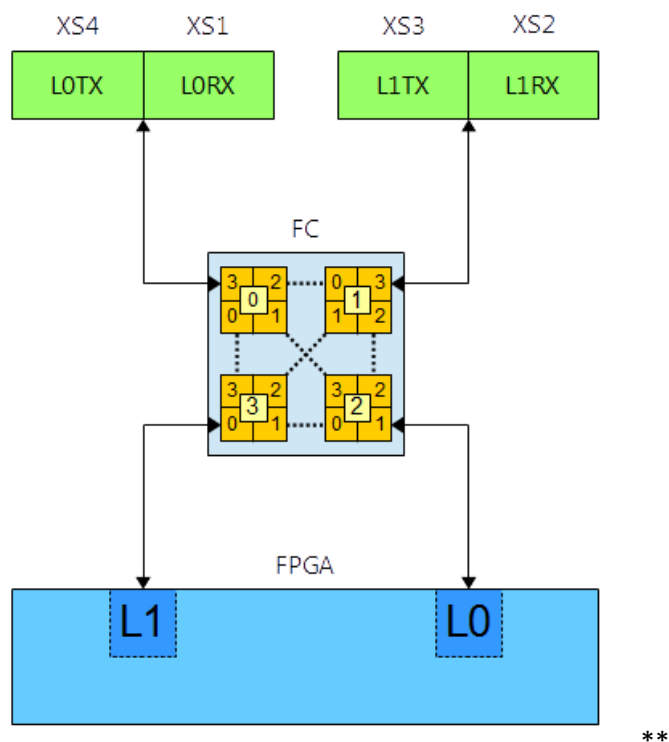
- 1) Микросборка СОД (Флип-Чип)
- 2) Память SDR SDRAM
- 3) Внешние DVI-разъемы Link-портов
- 4) Переключатель выбора частоты кластерной шины
- 5) Переключатель выбора частоты ядра процессора
- 6) Переключатели конфигурации процессора (Strap pins)
- 7) Кнопки запуска прерываний процессора (IRQ)
- 8) Светодиоды состояния FLAG регистра процессоров, контактные точки сигналов DMAR, IRQ, таймера
- 9) Разъем JTAG для программирования и отладки процессоров
- 10) ПЛИС
- 11) Память DDR3
- 12) Конфигурационная и пользовательская Flash-память
- 13) Разъемы GT (GTP)
- 14) Разъем RJ-45 (Ethernet)
- 15) Аудио-разъемы
- 16) Разъем USB-Mini (USB-UART)
- 17) Разъем USB-B (USB HS)
- 18) Разъемы для установки TFT-дисплея
- 19) КМОП-шина
- 20) LVDS-шина
- 21) Светодиоды с FPGA
- 22) Светодиоды с I/O Expander
- 23) JTAG разъем для программирования и отладки ПЛИС
- 24) Разъем питания +12В
- 25) Переключатель включения питания

Демонстрационный проект ПЛИС

Демонстрационный проект содержит следующие блоки:

- 1) Софт-процессор (Microblaze), который в свою очередь выполняет:
 - Настройку частоты кластерной шины (зависит от переключателей '5')
 - Настройку частоты ядра DSP (зависит от переключателей '4')
 - Сброс DSP
 - Инициализация дисплея
 - Инициализация АЦП напряжений DSP
 - Инициализация датчиков температуры DSP
 - Мониторинг температур и напряжений DSP и отображение их значений на дисплее
- 2) Блок внешней памяти (ddr3_hier)
- 3) Блок управления TFT (tft_hier)
- 4) Блок настройки опорной частоты для FPGA и GT (clk_config_hier)
- 5) Loopback для USB-UART
- 6) Блок для управления и контроля DSP, приемопередатчики Link-портов (L0 – подключен к UDP-мосту, L1 – работает в режиме петли), разведенные на частоту приема до 300МГц включительно и частоту передачи 300МГц (dsp_hier)
- 7) UDP/IP-LINK мост: tmac+udp/ip+bridge (udp_bridge_hier). Мост имеет следующие настройки: локальный ip-адрес 192.168.0.10, локальный порт 1234, MAC-адрес FF:FF:FF:FF:FF:FE, маска подсети 255.255.255.0. При передаче от Link порта в UDP отправляет датаграммы на ip-адрес 192.168.0.11 и порт 1234.
- 8) Приложены все необходимые constraint-файлы (в том числе описаны все выводы)

Структура подключения Link-портов



** Желтым обозначен ID процессора, оранжевым – номер Link-порта

Конфигурация частот кластерной шины и ядра

Положение переключателей SA2 (BUS_FREQ_CONFIG) отвечает за настройку частоты кластерной шины (BF), переключателей SA4 (FC_FREQ_CONFIG) – частоту ядра (CF). Конфигурация происходит один раз при запуске ПЛИС.

2	1	BF, MHz	CF, MHz
OFF	OFF	40	200
OFF	ON	60	300
ON	OFF	80	400
ON	ON	100	450

Конфигурация загрузки DSP

За конфигурацию загрузки на отладочной плате отвечают переключатели FC_CONFIG0 (SA1) и FC_CONFIG1 (SA9), отображенные на плате под пунктом '6'. FC_CONFIG0 - настройка загрузки из EPROM-памяти, FC_CONFIG1 – настройка прерывания и ширины шины Link-порта. В таблице ниже приведены варианты загрузки и соответствующее положение переключателей. Примечание: работоспособность того или иного режима зависит от поддержки такового загрузчиком.

Режим	Положение переключателей [8:1]**
Загрузка всех DSP из EPROM	'z z z z - - - -'
Загрузка DSP ID0 из EPROM, DSP ID1-3 извне	'z z z z z z z -'
Загрузка DSP ID0-3 извне	'+ z z z z z z z +'

** Переключатели трехпозиционные: -, + и z (среднее положение)

Для FC-CONFIG1 установка режима тривиальнее: переключатели 1-4 отвечают за сигнал T0E (ширина шины), 5-8 – за сигнал BM (включение прерывание). Соответственно, '-' на переключателе устанавливает на выводе низкий уровень, '+' в свою очередь, высокий.

Демонстрационный проект DSP

Демонстрационный проект выполняет следующие функции:

- 1) Настройка кластерной шины
- 2) Настройка Link-портов в режим Loopback
- 3) Настройка таймера для изменения FLAG регистра в зависимости от ID

Так же прилагаются два dxe-файла: bootloader_prom и flash-driver. Первый – загрузчик программы из PROM, второй – драйвер программирования PROM стандартными средствами Visual DSP.