

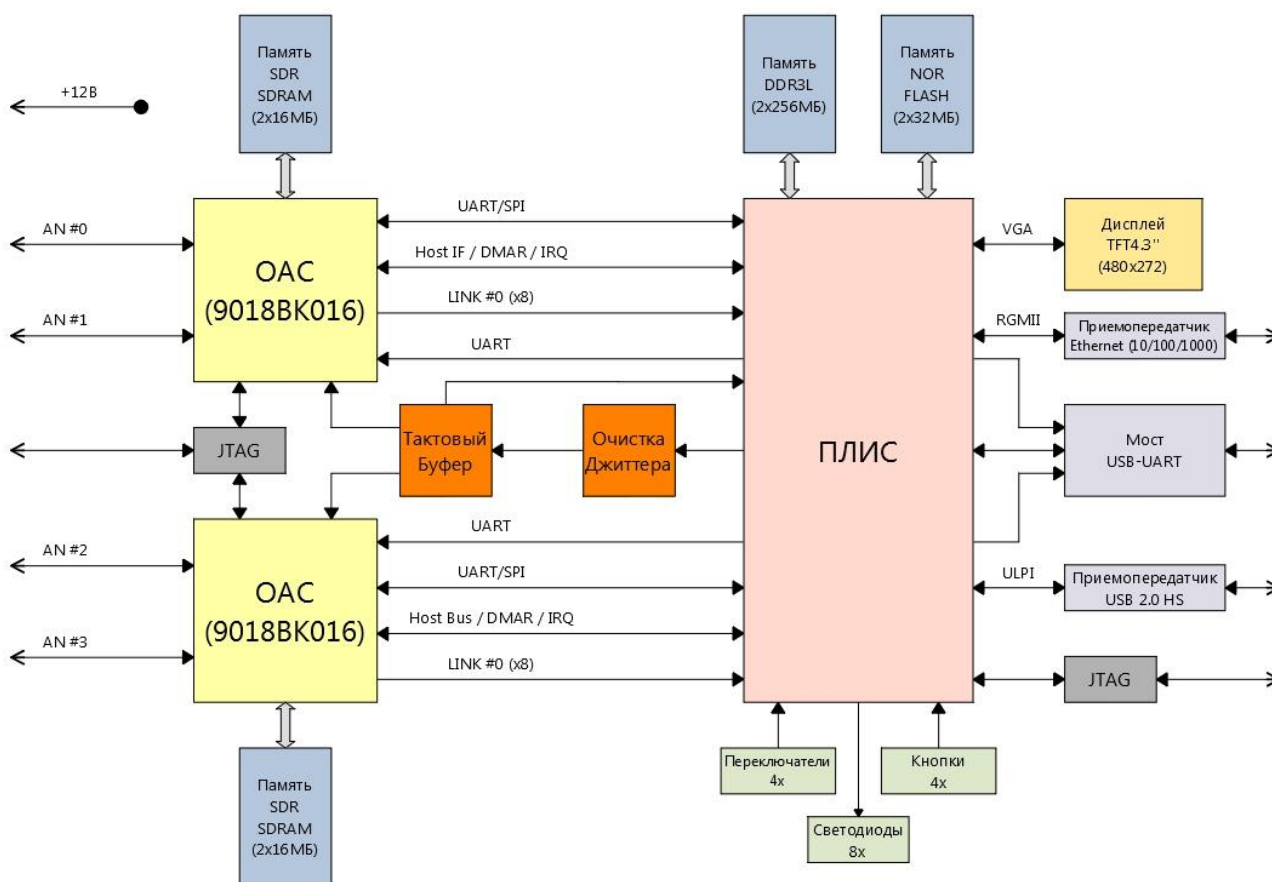
Отладочный модуль 9018BK016 (ОАС) x2 МСБ



Руководство пользователя

ek-m-oas2_ug, 29.07.2019

Структурная схема

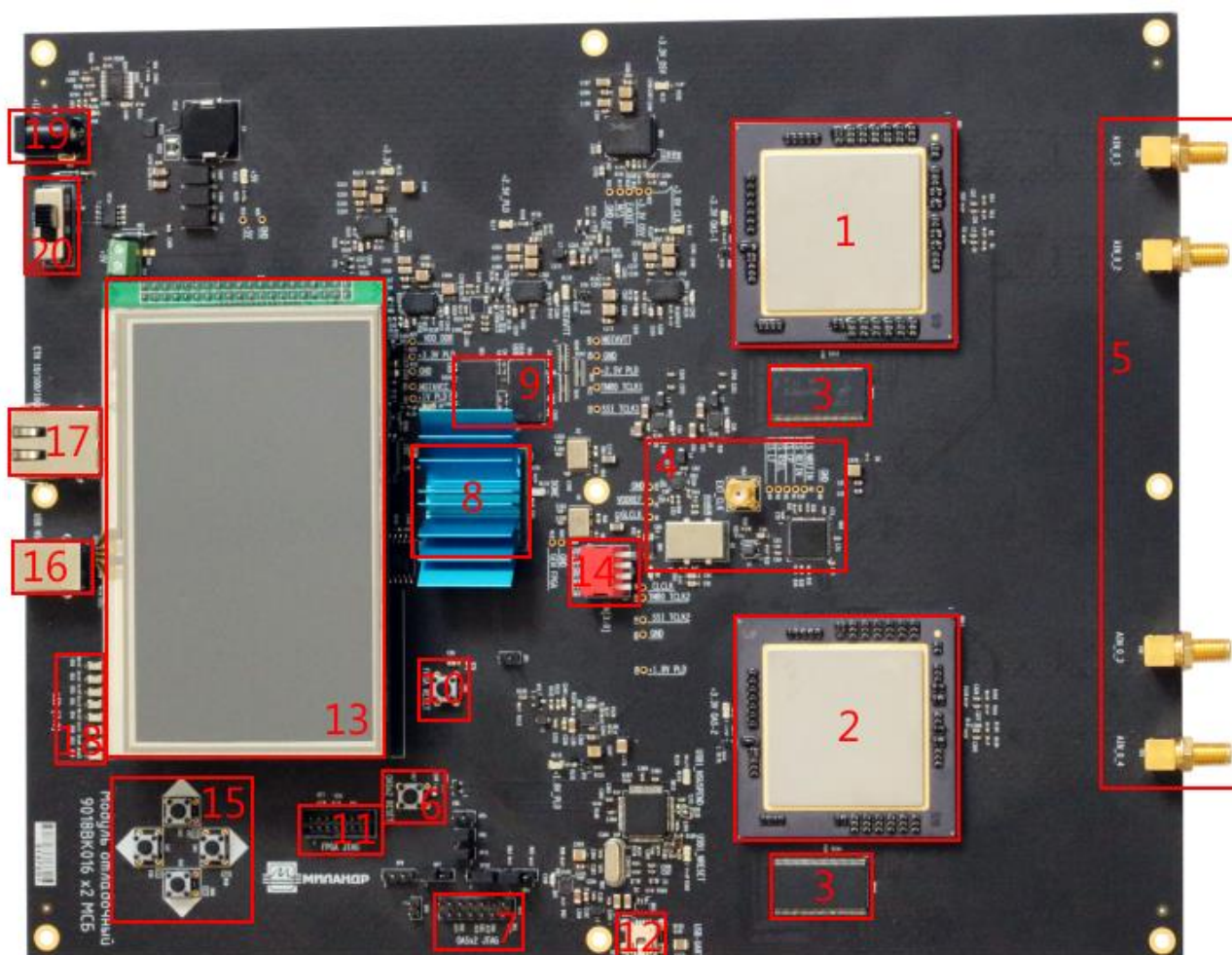


Характеристики

- Внешние разъемы и интерфейсы:
 - Внешнее питание: +12В
 - Четыре аналоговых входа
 - Два USB порта: USB "B" и USB mini "A"
 - Один Ethernet: RJ-45
- Компоненты и функционал:
 - Две микросборки «Осведомленность» (9018BK016)
 - Тактовый буфер для тактирования DSP и АЦП, возможность тактирования от FPGA или с внешнего разъема
 - Четыре SDR SDRAM микросхемы памяти (16 Мбайт каждая, 32 Мбайт на микросборку)
 - Порт связи #0 разрядностью 8 бит подключен к FPGA
 - Сигналы IRQ и DMAR подключены к FPGA
 - Host-интерфейсы подключены к FPGA
 - Один UART и один SPI подключены к FPGA
 - Еще один UART выведен наружу через мост UART-USB

- Кнопка сброса DSP с возможностью сброса от FPGA
- JTAG-разъем для программирования и отладки
- Одна микросхема FPGA (XC7A200T-2FBG484)
- Две DDR3L микросхемы памяти (256 Мбайт каждая, 512 Мбайт в общем)
- Две NOR-Flash памяти (32 Мбайт каждая) для хранения конфигурации и общего пользования
- Jitter Cleaner для очистки тактового сигнала АЦП и DSP
- Один Ethernet PHY (с поддержкой 10/100/1000 Mbps, RGMII)
- Один UART выведен наружу через мост UART-USB
- USB High-Speed PHY (Device, ULPI)
- TFT дисплей 4.3" 480x272
- Четыре кнопки общего назначения
- Четыре переключателя общего назначения
- Восемь светодиодов
- JTAG-разъем для программирования и отладки

Внешний вид и основные элементы



- 1) Микросборка ОАС (9018BK016) №1
- 2) Микросборка ОАС (9018BK016) №2
- 3) Память SDR SDRAM
- 4) Подсистема формирования тактовой частоты АЦП (jitter cleaner + буфер/разветвитель)
- 5) SMA разъемы аналоговых входов
- 6) Кнопка сброса (reset) микросборок
- 7) Разъем JTAG для программирования и отладки процессоров
- 8) ПЛИС
- 9) Память DDR3
- 10) Кнопка сброса (reset) ПЛИС
- 11) Разъем JTAG для программирования и отладки ПЛИС
- 12) Разъем USB-Mini преобразователя USB-UART
- 13) TFT-дисплей
- 14) Пользовательские переключатели
- 15) Пользовательские кнопки
- 16) Разъем USB HighSpeed, тип B
- 17) Разъем RJ-45 Gigabit Ethernet
- 18) Пользовательские светодиоды
- 19) Разъем питания
- 20) Переключатель питания

Демонстрационный проект ПЛИС

Демонстрационный проект содержит следующие блоки:

- 1) Софт-процессор (Microblaze), который в свою очередь:
 - Настройка PLL и тактового разветвителя
 - Аппаратный сброс DSP
 - Подача строба синхронизации для когерентного захвата
 - Получение по Link-портам захваченных данных по четырем каналам
 - Отображение на дисплее захваченных данных во временной области, а также характеристики сигналов: Vrms, SNR и PCC
 - Для включения/выключения отображения канала используется переключатель `14` (нижнее положение – канал включен, верхнее - отключен)
- 2) Блок внешней памяти (ddr3_hier)
- 3) Блок управления TFT (tft_hier)
- 4) Контроллер PLL (HMC1031)
- 5) Контроллер разветвителя (AD9520)
- 6) Блок управления, синхронизации и передачи DSP (dsp_hier):
 - Приемники Link-портов (200 МГц) и DMA (link_hier)
 - Когерентный синхронизатор (syncron)
 - Блок ввода/вывода DSP (dsp_ioctl)
- 7) UDP/IP-LINK мост: tmac+udp/ip+bridge (udp_bridge_hier). Мост имеет следующие настройки: локальный ip-адрес 192.168.0.10, локальный порт 1234, MAC-адрес FF:FF:FF:FF:FF:FE, маска подсети 255.255.255.0. Работает в режиме loopback. Возможно одностороннее подключение Link-приемников к блоку ULB (UDP-Link Bridge). При передаче отправляет датаграммы на ip-адрес 192.168.0.11 и порт 1234.
- 8) Приложены все необходимые constraint-файлы (в том числе описаны все выводы)

Демонстрационный проект DSP

Демонстрационный проект выполняет следующие функции:

- 1) Настройка параллельной шины
- 2) Настройка АЦП в режиме DMAR (по внешнему запросу) для когерентной работы на нулевой частоте гетеродина (без DDC).
- 3) При успешном захвате данных АЦП рассчитывается SNR для каждого канала. Далее отправляются пакеты с данными по Link-портам в ПЛИС.

Так же прилагается загрузчик программы из PROM bootloader_prom.dxe.