



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM 235

LOJİK DEVRE TASARIM LABORATUVARI

Hafıza

LAB 0x5 Deney Raporu

Lojik Devreler ve Tasarım Laboratuvarı

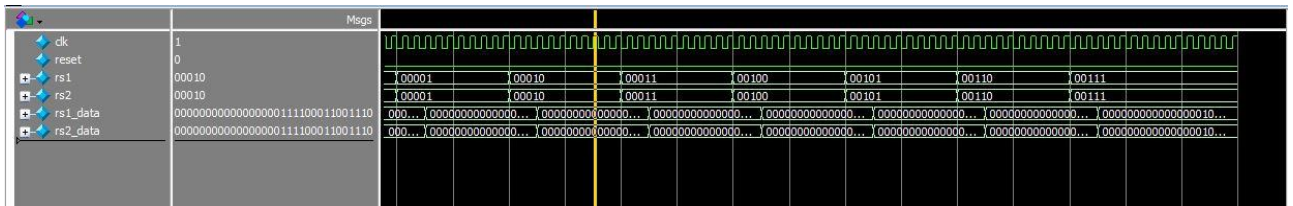
| |
|------------------------------------|
| Hazırlayanlar |
| 1) 1801022024 – M. Cemal Eryiğit |
| 2) 1801022077 – Burak Kamil Çiftci |

1.1 Teorik Araştırma

Deneye başlamadan önce SystemVerilog dilinde hafıza oluşturma ve bu hafızadan data okuma hakkında araştırmalar yapılmış ve gereken bilgilere sahip olunmuştur.

1.2 Deneyin Yapılışı

Bu deneyde okuma işlemi yapılacak olan hafıza oluşturulmuştur ve sonrasında belirli adreslere göre veriler çekilip hafızadan okuma işlemi tamamlanmıştır. Hafızada bulunan rs1_reg'in tuttuğu değerin ataması rs1_data_reg portuna, rs2_reg'in tuttuğu değerin ataması rs2_data_reg portuna yapılmıştır. Önceden oluşturulan .mem dosyası içerisindeki veriler hafızada depolanmıştır ve registerların bu verileri belirtilen iki portun arasına aktarmasıyla okuma sağlanmıştır.



Şekil 1 örnek kısım için okuma

1.3 Deney Kodu

```
/* Hazırlayanlar:

* M.Cemal Eryigit
* Burak Kamil Ciftci
* ELM235 2021 Bahar Lab5 - Problem 1
*/

module lab5_g24_p1 ( input logic clk, reset, input logic we,
input logic [4:0] waddr, input logic [31:0] wdata, input logic [4:0] rs1,
input logic [4:0]rs2, output logic [31:0] rs1_data, output logic [31:0]
rs2_data
);
```

```

logic we_reg;

logic [4:0] waddr_reg;

logic [31:0] wdata_reg;

logic [4:0] rs1_reg;

logic [4:0] rs2_reg;

logic [31:0] rs1_data_reg;

logic [31:0] rs2_data_reg;


logic [31:0] mem[0:31];


initial begin
$readmemh("a.mem",mem);
end


always_ff @(posedge clk) begin
if (we) begin mem[waddr_reg] <= wdata;
end

we_reg <= we;

waddr_reg<= waddr; wdata_reg<=wdata; rs1_reg<=rs1; rs2_reg<=rs2;
rs1_data<=rs1_data_reg; rs2_data<=rs2_data_reg;

rs1_data_reg=mem[rs1_reg];
rs2_data_reg=mem[rs2_reg];
end

endmodule

```

```

/* Hazirlayanlar:

```

```

* M.Cemal Eryigit

```

```

* Burak Kamil Ciftci
* ELM235 2021 Bahar Lab5 - Problem 1
*/

`timescale 1ns/1ps
module tb_lab5_g24_p1();
logic clk, reset;
logic [4:0] rs1;
logic [4:0] rs2;
logic [31:0] rs1_data;
logic [31:0] rs2_data;

lab5_g24_p1      dut0      (.rs1_data(rs1_data),.rs2_data(rs2_data),
    .clk(clk),.reset(reset), .rs1(rs1),.rs2(rs2));

always begin
clk=0; #10;
clk=1; #10;
end

initial begin
reset=1; #10;
reset=0;
end

initial begin
rs1=5'b00000;
rs2=5'b00000; #100;
rs1=5'b00001;
rs2=5'b00001; #100;
rs1=5'b00010;

```

```
rs2=5'b00010; #100;

rs1=5'b00011;

rs2=5'b00011; #100;

rs1=5'b00100;

rs2=5'b00100; #100;

rs1=5'b00101;

rs2=5'b00101; #100;

rs1=5'b00110;

rs2=5'b00110; #100;

rs1=5'b00111;

rs2=5'b00111; #100;

#50;

$stop;

end

1. endmodule
```

Veriler Modelsim üzerine a.mem adlı dosyadan çekildi. Dosya formatı hexadecimaldır.

a.mem

```
1564
AD56
78CE
FF46
14BA
2AA9
0012
ADEF
```