

## Struttura fisica di un calcolatore

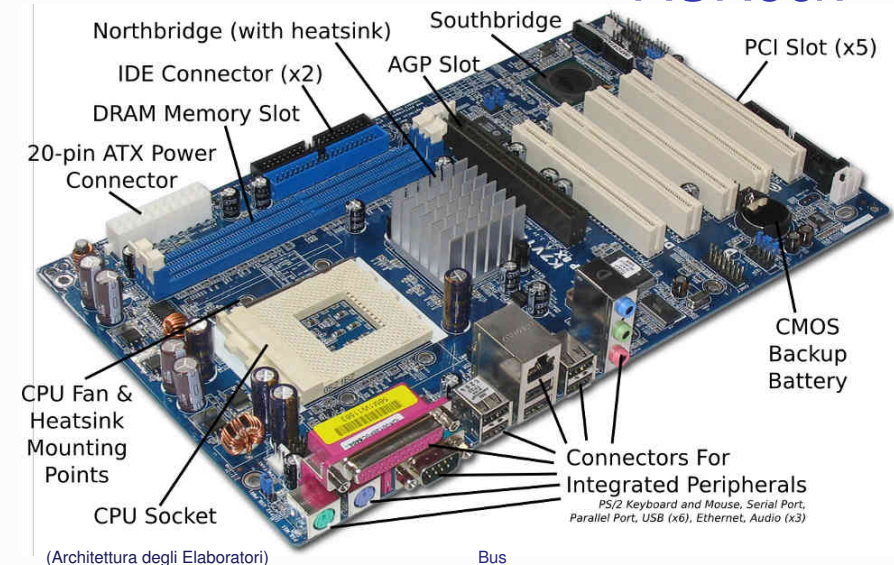
La CPU risiede su una **scheda madre**, un **circuito stampato** contenente:

- bus
- integrati per il controllo dei bus (bridge, chipset)
- alcuni circuiti di controllo e relative connessioni a periferiche (USB, tastiera, modem)
- un insieme di connettori per
  - memorie (moduli DIMM)
  - controllori per altre periferiche (schede video, audio, schede di rete, ...)
  - bus di collegamento ai dischi (magnetici, ottici)
  - circuito di alimentazione

• componenti discreti (resist., condensatori)

1 / 67

## Esempio di motherboard: ASRock



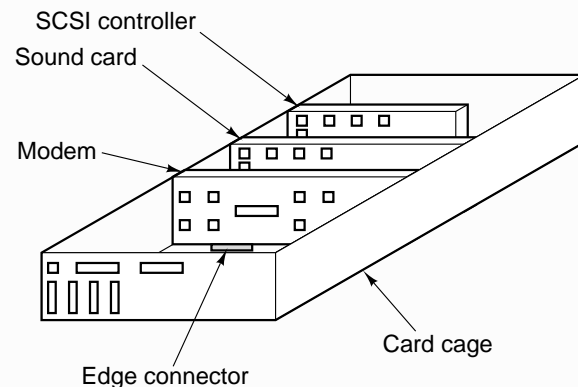
(Architettura degli Elaboratori)

Bus

2 / 67

## Oltre alla scheda madre:

- schede di memoria,
- schede controllori,
- memoria disco
- alimentatore, circuiti di raffreddamento, case.

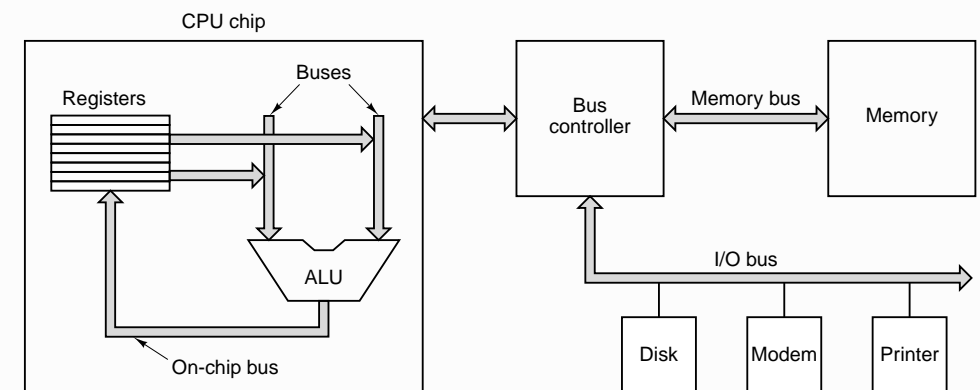


(Architettura degli Elaboratori)

Bus

3 / 67

## Struttura logica, semplificata

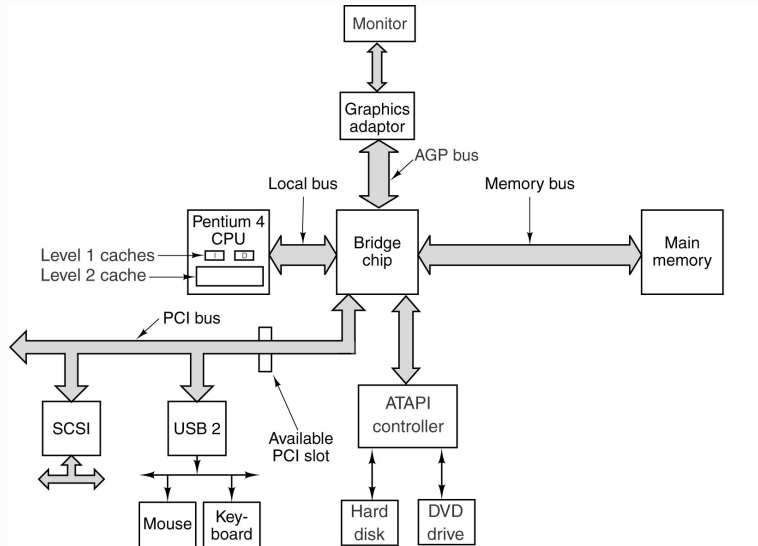


(Architettura degli Elaboratori)

Bus

4 / 67

## Struttura logica: reale

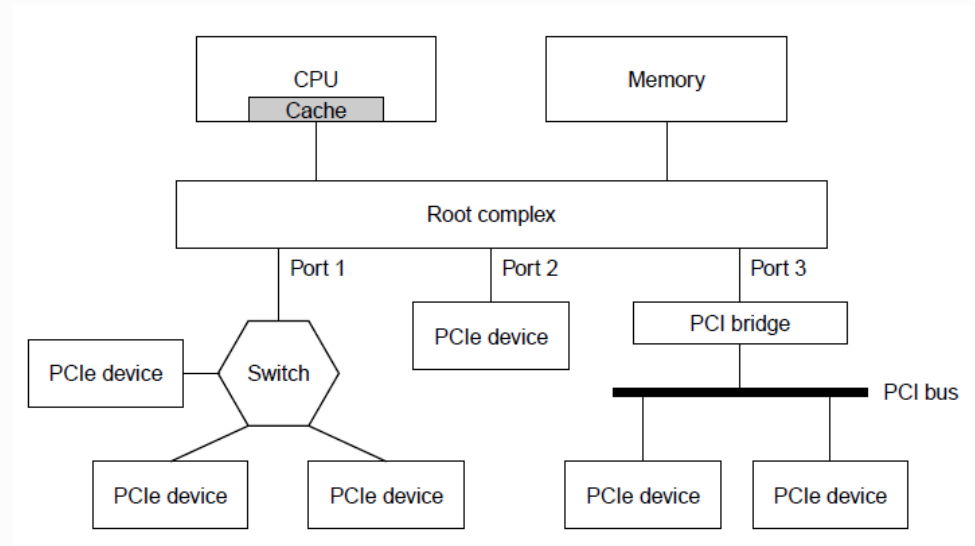


(Architettura degli Elaboratori)

Bus

5 / 67

## Struttura logica: recente



(Architettura degli Elaboratori)

Bus

6 / 67

## BUS

Processore, memoria, controllori periferiche collegati attraverso un sistema complesso di bus.

Bus:

- Insieme di collegamenti tra due o più dispositivi.
- Economico: più dispositivi usano le stesse linee.
- Flessibile: è semplice aggiungere nuovi dispositivi
- Per migliorare le prestazioni e gestire dispositivi con velocità diversa, si usano più bus.

(Architettura degli Elaboratori)

Bus

7 / 67

## Protocolli

Oltre agli aspetti fisici (**collegamenti**), un bus è caratterizzato dai suoi **protocolli**: regole di comunicazione.

- alcuni privati: CPU, CPU - Memoria;
- altri pubblici: CPU - I/O, BUS esterni.  
Con o senza royalty.

Bus storicamente importanti: Omnibus (PDP-8), Unibus (PDP-11), PC IBM (PC/XT), ISA (PC/AT), PCI, PCI-Express (PC - workstation), Nubus (Macintosh), SCSI, USB (periferiche esterne).

(Architettura degli Elaboratori)

Bus

8 / 67

## Caratteristiche dei bus

### Aspetti fisici, elettrici:

Un insieme di connessioni: da alcune unità ad alcune centinaia di collegamenti.

- interni a un circuito integrato: tracce di alluminio, rame;
- su circuiti stampati: tracce di rame;
- esterni al calcolatore: insieme di fili.

Segnale differenziale: per diminuire i disturbi, due fili interallacciati per ogni singolo bit.

## Connessione dispositivo bus

Più dispositivi su una stessa connessione, solo un dispositivo deve inviare il segnale

- dispositivi **tri-state** (buffer invertente - non invertente)
- **open-collector**: wired-OR

Necessità di **amplificatore** il segnale: bus **driver** - bus **receiver** - bus **transceiver**

## Frequenza di funzionamento

Bus trasmette sequenze di dati. **Frequenza del bus**: rapidità con cui si passa da un dato al successivo.

Più alta la frequenza maggiori le prestazioni del bus (**banda passante**).

Massima banda passante teorica =  
 $\text{frequenza} \times \text{numero di linee dati (bit/sec)}$ .

La banda passante reale è minore a causa di fasi di inattività e di coordinamento e sincronizzazione tra i vari dispositivi.

## Bus skew

Limiti fisici all'aumento della frequenza:

- alte frequenze creano disturbi,
- i ritardi del segnale diventano evidenti,
- **bus skew** problematico.

Bus skew: segnali su linee diverse viaggiano a velocità diverse, segnali allineati in partenza vengono ricevuti non allineati.

Per evitare errori: periodo del bus maggiore del bus skew - **limite alla frequenza**.

Soluzione: **bus seriali**, PCI-Express, USB, FireWire.

## Segnali

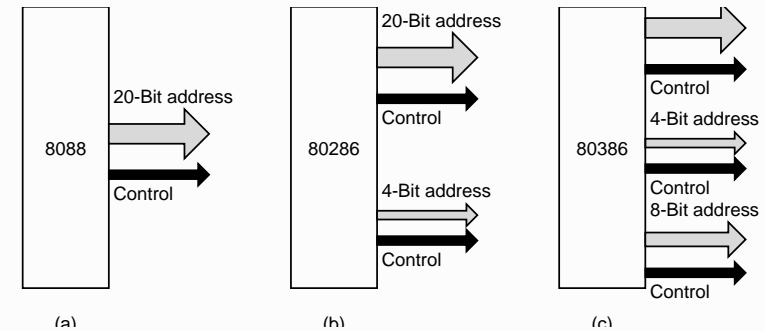
Le linee del bus si dividono in:

- **dati**;
- **indirizzi**: identificano locazioni di memoria, o registri di dispositivi;
- **controllo, comandi**, informazioni sul funzionamento del bus.

Maggior numero di linee: più informazione (più spazio indirizzabile) - maggiori costi.

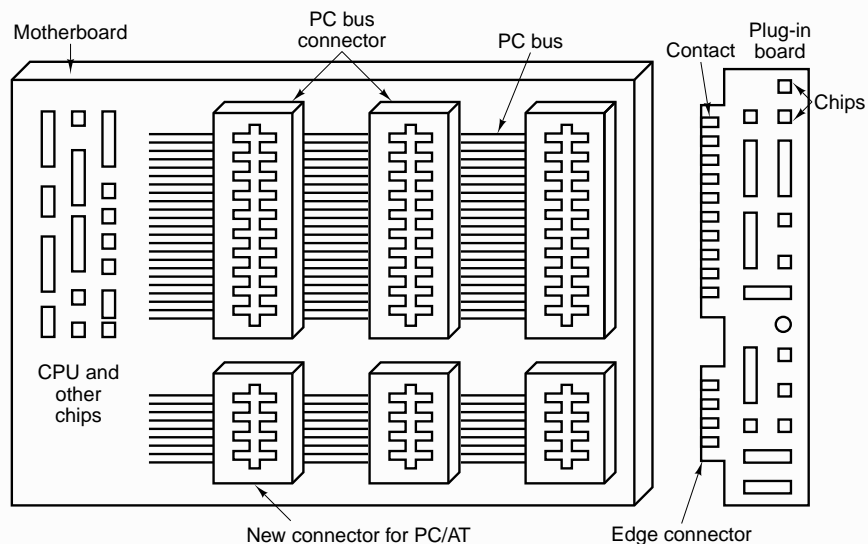
## Numero di segnali

Nuove versioni di bus hanno spesso più linee (Es: ISA, PCI, SCSI).



**Multiplexed bus**: stesse linee utilizzate per segnali diversi. Esempio: dati e indirizzi.

## Schede estese



## Codici di correzione degli errori

Necessari perché una comunicazione sul bus può generare errori (anche se poco frequenti).

- bus paralleli: bit di parità (su linee dedicate),
- bus seriali: codici di controllo, inviate alla fine di un pacchetto di dati.

## Protocolli di comunicazione

Una **transazione** sul bus prevede le seguenti fasi:

- un dispositivo prende il controllo del bus,
- invia una richiesta di comunicazione ad un secondo dispositivo,
- la richiesta viene soddisfatta dal secondo dispositivo,
- il bus viene liberato per un'altra comunicazione.
- **Master**: dispositivo che prende il controllo del bus, inizia l'interazione.
- **Slave**: dispositivo che risponde al master.

## Master o slave

In comunicazioni diverse, un dispositivo può essere a volte master, a volte slave.

Esempi:

Transizione	Master	Slave
Lettura, scrittura	CPU	Memoria
Inizio I/O	CPU	Controllore
Operazione DMA	Controllore	Memoria
Acquisizione operandi	Coprocessore	CPU

## Arbitraggio del bus

Scelta del dispositivo master.

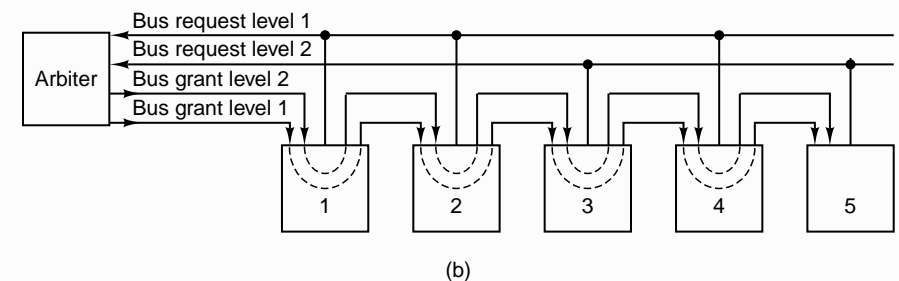
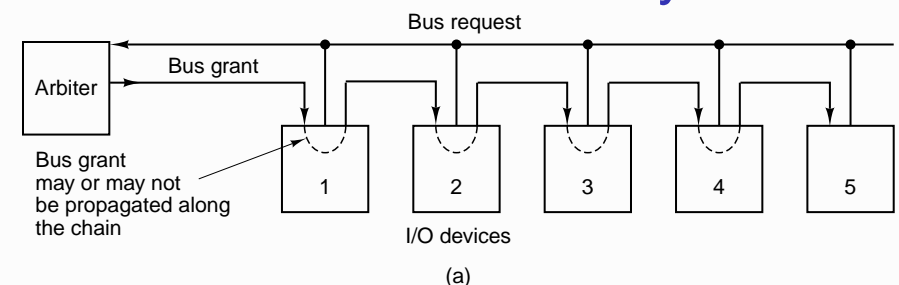
Meccanismi:

- **centralizzati**: un circuito fa da **arbitro**, i dispositivi fanno richiesta all'arbitro l'accesso al bus;
- **decentralizzati**: nessun arbitro, scelta master mediante protocollo distribuito tra i dispositivi collegati al bus.

Criteri per l'arbitraggio:

- **priorità** tra dispositivi: si privilegiano i dispositivi più importanti;
- **fairness** (equità): ogni dispositivo deve poter accedere, prima o poi, al bus.

## Daisy chain



## Daisy chain

Un esempio di arbitraggio centralizzato.

I passi del protocollo:

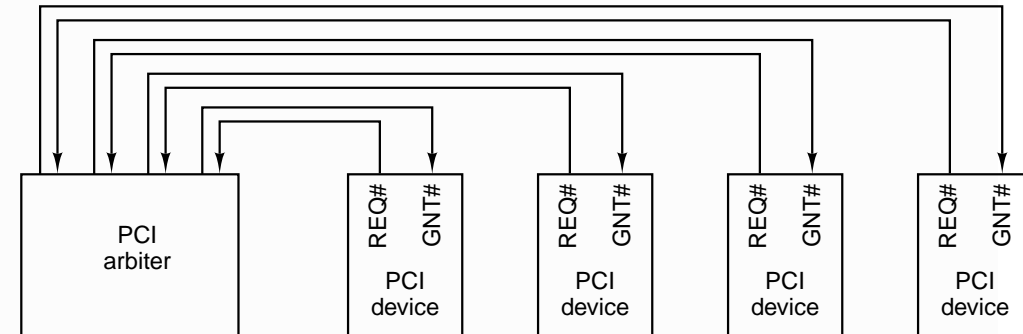
- richiesta del bus: linea di richiesta, wired-OR,
- arbitro: se il bus è libero, emette un token,
- il token passa tra i dispositivi, sino a raggiungere uno tra i dispositivi che hanno richiesto il bus.

**Semplice** ma **poco flessibile**:

- priorità determinata dalla posizione,
- non soddisfa i criteri di fairness.

**Maggiore flessibilità** con più linee di richiesta - grant.

## Arbitraggio bus PCI

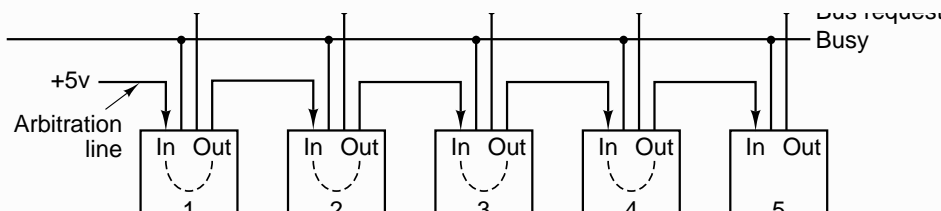


**Costoso**: due linee per ogni dispositivo.

**Flessibile**: l'arbitro ha un controllo completo della situazione.

## Arbitraggio decentralizzato

Simile al daisy chain:



Linee: bus occupato, richiesta, grant (arbitration).

- si attende bus disponibile, assenza di richieste,
- si attiva linea richiesta, si annulla la linea di grant,
- se linea di grant attiva, si usa il bus.

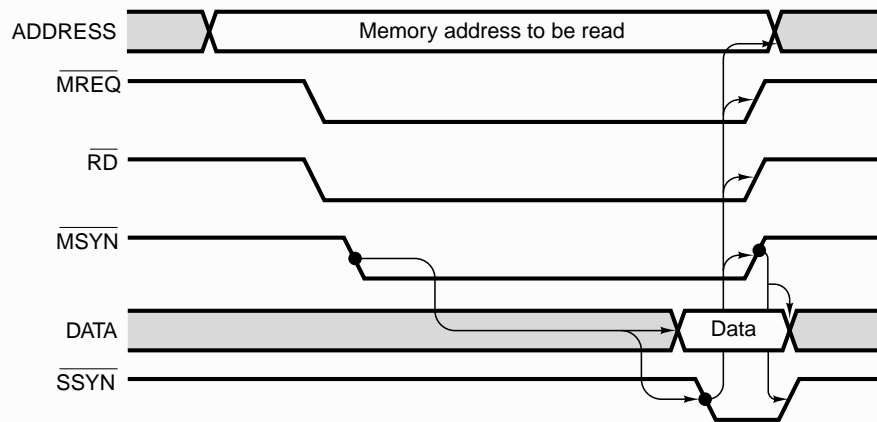
## Arbitraggio decentralizzato

Altri protocolli:

- bus SCSI:  
una linea di richiesta per dispositivo
- rete Ethernet:  
nessun arbitraggio iniziale  
si rilevano conflitti (sovrapposizioni)  
si annulla la comunicazione e, dopo un ritardo casuale, si riprova.



## Esempio di comunicazione:



(Architettura degli Elaboratori)

Bus

29 / 67

## Transazioni: cicli di bus

In una comunicazione sul bus, si possono realizzare diverse operazioni

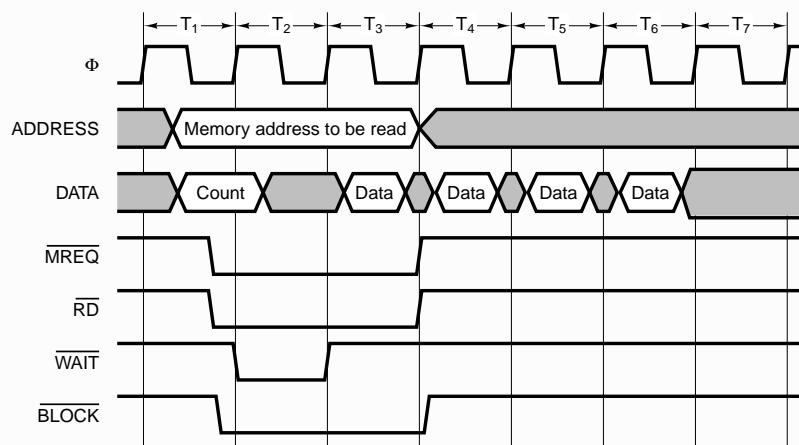
- tipicamente: lettura o scrittura di un registro, locazione di memoria
- lettura - scrittura di un **blocco** di dati;
- **read-modify-write** lettura e immediata scrittura di una locazione (gestione risorse condivise);
- **interrupt** richiesta e invio vettore di interrupt;
- **configurazione e test** dei controllori.

(Architettura degli Elaboratori)

Bus

30 / 67

## Esempio: lettura blocco dati

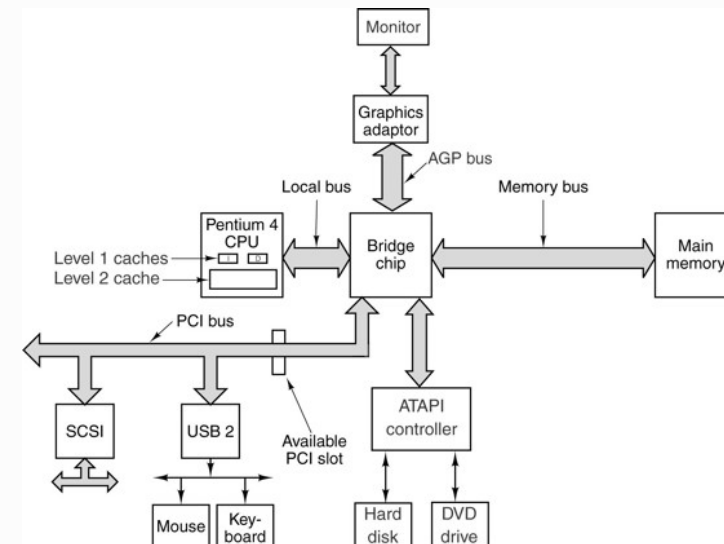


(Architettura degli Elaboratori)

Bus

31 / 67

## Struttura logica di un PC



(Architettura degli Elaboratori)

Bus

32 / 67



## Tipi di bus

Diversi bus per le diverse esigenze.

Alcuni bus con un grossa banda passante, costosi e con restrizioni fisiche.

- Bus locale – (Front side bus)
- Bus di memoria
- Bus della cache: back-side bus.

## Bus pubblici

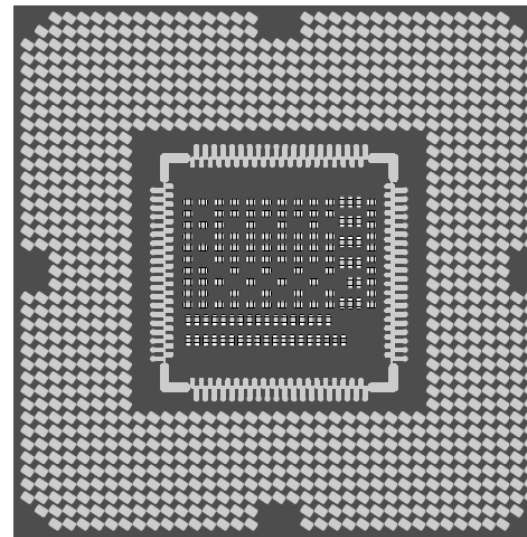
- Bus di sistema **PCI**: bus principale per la connessione dei controllori.
- Bus per la connessione di specifici controllori: **ISA, ATA, SCSI**.
- Bus per dispositivi esterni: **SCSI, USB, FireWire**.
- Connessione tra PCI Bridge e scheda video con **AGP** (Accelerated Graphics Port)

## Connessioni della CPU

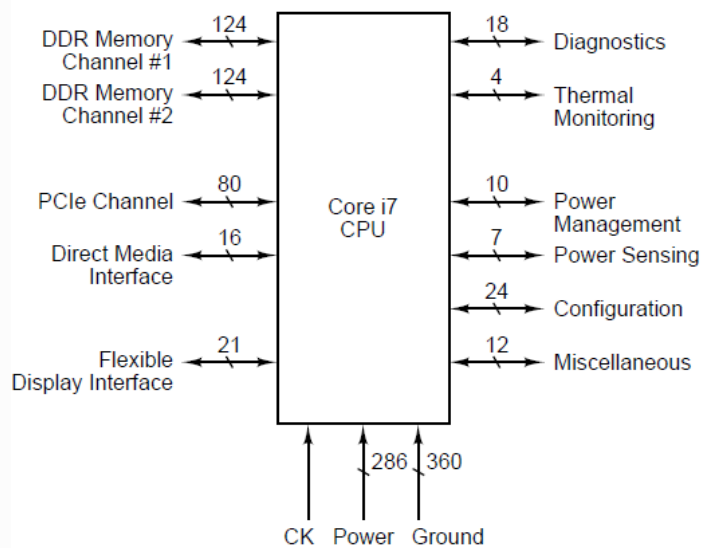
Un numero elevato di connessioni, qualche centinaio.

- Principalmente appartenenti al “front side bus”
  - indirizzi,
  - dati,
  - arbitraggio,
  - controllo degli errori.
- Centinaia connessioni di alimentazione e massa: elevata intensità di corrente, eliminazione dei disturbi.
- Configurazione, diagnostica, controllo della temperatura.

## Pedinatura fisica del Core i7



## Connessioni del Core i7



(Architettura degli Elaboratori)

Bus

37 / 67

## Front-side bus

Nel Core i7 manca il front-side bus: collegamento unico del processore con il resto del sistema.

- Collega CPU – chipset (North-bridge). Proprietario, specifico per quel particolare processore.
- Veloce 133 — 400MHz. In un singolo ciclo di clock 2 o 4 transazioni possibili. 32-64 linee di data.
- Migliori prestazioni si ottengono con bus seriali: HyperTransport (AMD), QuickPath Interconnect QPI (Intel) (o connessione direttamente processore – memoria).

(Architettura degli Elaboratori)

Bus

38 / 67

## Connessioni del Core i7 (Lynnfield)

Il front-side bus sostituito da:

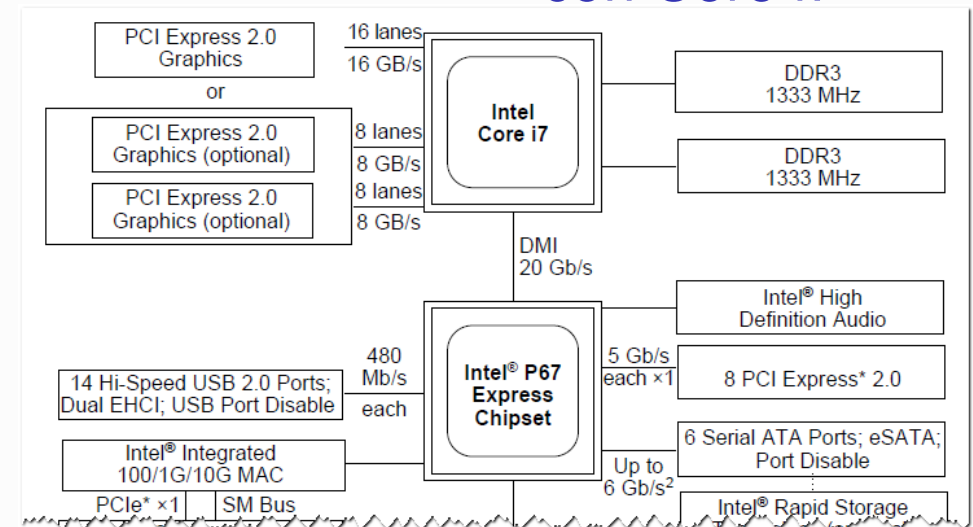
- 2 bus per connessione a due banchi di memoria DDR3 SDRAM; ciascuno con 64 bit dati, 666 MHz con DDR (due transazione per ciclo di clock) 20GB/s
- 1 bus per la connessione al scheda grafica: bus PCIe (16x), 16 GB/s;
- 1 bus Direct Media Interface bus proprietario, simil PCIe per connessione al South Bridge a cui si collegano le restanti periferiche 20 GB/s.

(Architettura degli Elaboratori)

Bus

39 / 67

## Struttura logica di un PC con Core i7

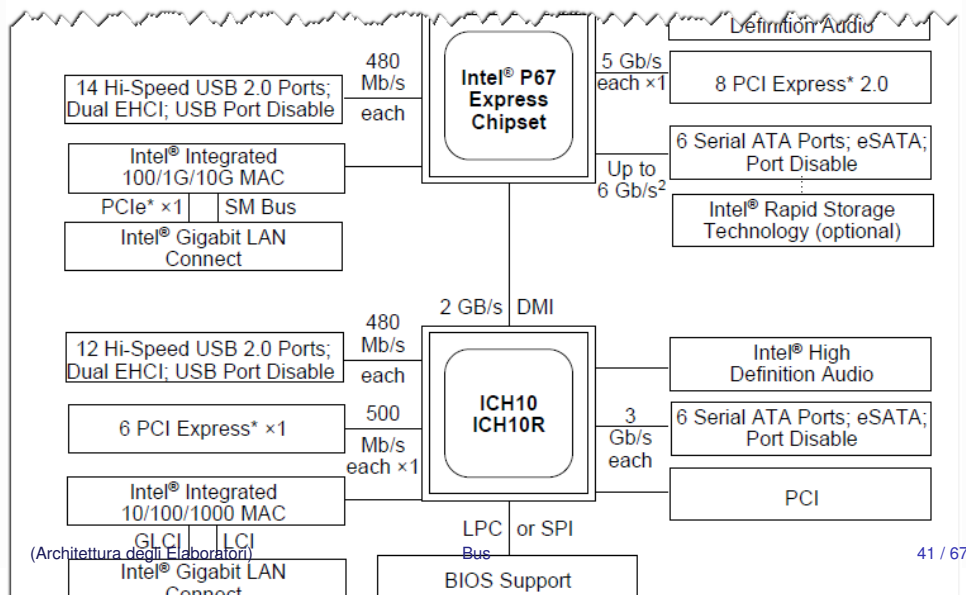


(Architettura degli Elaboratori)

Bus

40 / 67

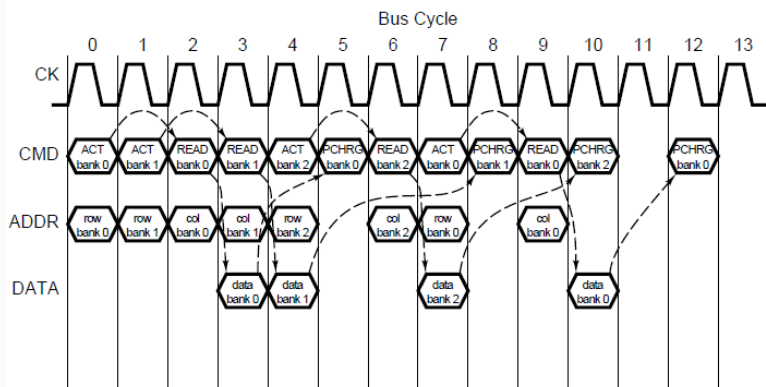
## Struttura logica di un PC con Core i7



41 / 67

## Pipeline sulla memoria

3 gruppi di segnali: comando, indirizzi, dati; possono operare su transazioni diverse:



(Architettura degli Elaboratori)

Bus

43 / 67

## Bus della memoria DDR3

Per velocizzare gli accessi si usa una pipeline.

L'accesso ai dati diviso in 3 fasi:

- **ACTIVATE** si prepara la lettura, un riga (della matrice di celle) viene letta e copiata in un registro.
- **READ - WRITE** si accede, in modo veloce, a parole, multiple, della riga corrente.
- **PRECHARGE** la riga corrente viene chiusa, ci si prepara ad una nuova lettura.

La memoria DDR è divisa in banchi (tipicamente 8), fino a 4 banchi possono lavorare in parallelo.

(Architettura degli Elaboratori)

Bus

42 / 67

## ISA (Industry Standard Architecture)

Bus di sistema dei primi PC, evoluzione dei bus PC bus e PC/AT bus, (8086, 80286).

Contiene 64 + 36 linee:

20 + 4 linee indirizzi

8 + 8 linee dati

Sincrono con clock a 8.33 MHz.

I bus IDE, ATA sono una sua diretta derivazione.

A volte presente per legacy nei PC attuali, o sostituito dal bus LPC Bus che lo simula a livello software.

(Architettura degli Elaboratori)

Bus

44 / 67

# PCI (Peripheral Component Interconnect)

Bus di sistema PC, (ma anche Apple, Sun)

Intel 1992 – in sostituzione bus ISA (EISA – VESA) – brevetti pubblici – Consorzio PCI (PCI SIG).

Diverse versioni: PCI, PCI 2.0, PCI 2.1, PCI 2.2, PCI-X, PCI-X DDR

- 32 – 64 linee dati - indirizzi (sovrapposte) (multiplexed)
- clock a 33 – 66 – 133 – 266 MHz
- alimentazione 5 – 3,3 volt

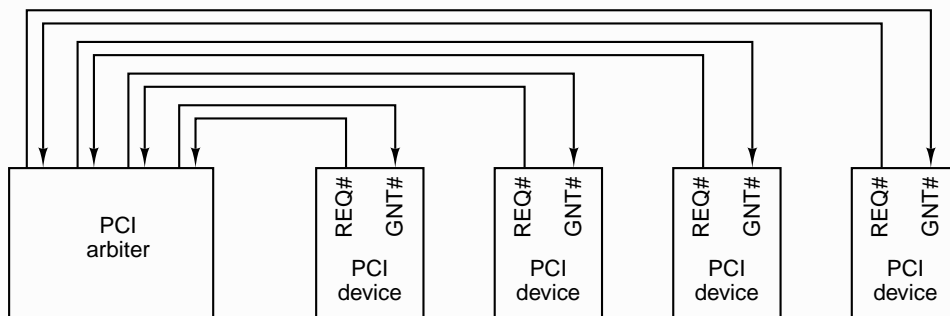
# Bus PCI

Diversi tipi di scheda:

- numero di piedini;
- tensione (5 - 3,3 volt) (selezione: meccanica);
- frequenze (selezione: tensione su un piedino);

## Arbitraggio

Centralizzato con schema parallelo



Arbitro nel bridge.

## Arbitraggio

- Vantaggi: velocità
- Svantaggi: numero di fili

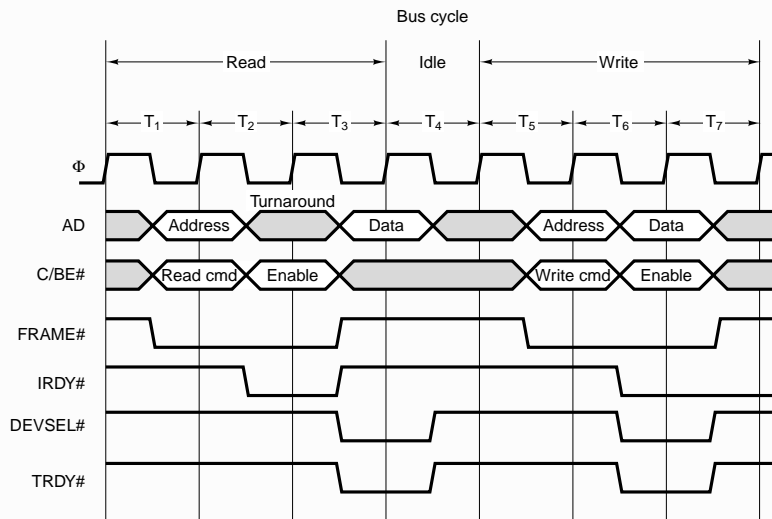
REQ# = Richiesta — GNT# = Grant assegnazione.

Politica di arbitraggio: libera, non vincolata dalle specifiche PCI.

Il master può usare il bus per più cicli se la linea di grant rimane abilitata.

Terminologia: Initiator (master), Target (slave).

## Transazioni. Es.: lettura - scrittura



(Architettura degli Elaboratori)

Bus

49 / 67

## Segnali: Master

**CLK**: clock

**AD**: 32 linee – indirizzi e dati (address, data) - MS

**PAR**: bit di parità - MS

**C/BE**: 4 linee – tipo di comando indicazione bit significativi - M

**FRAME**: indica C/BE attivi - M

**IRDY**: indica Master disponibile a leggere dati, o correttezza dei dati - M

**IDSEL**: per lettura configurazione dispositivo - M

(Architettura degli Elaboratori)

Bus

50 / 67

## Segnali: Slave

**DEVSEL**: slave disponibile - S

**TRDY**: lettura OK - slave pronto - S

**STOP**: slave vuol terminare transazione - S

Altri segnali:

**PERR**: ricevitore errore di parità

**SERR**: errore di sistema o di parità.

**REQ - GRN**: richiesta bus - assegnazione bus

**RST**: reset del sistema

(Architettura degli Elaboratori)

Bus

51 / 67

## Segnali ausiliari

**REQ64**: richiesta transizione a 64 bit - M

**ACK64**: ok transazione a 64 bit - S

**AD**: 32 linee extra - MS

**PAR**: parità bit extra

**C/BE**: 4 linee extra per comando - indicazione bit

**LOCK**: lock per transizione multiple

**SBO - SDONE**: snooping per DMA, sistemi multiprocessore

**INT**: 4 linee - richiesta di interrupt

**M66EN**: selezione frequenza di funzionamento.

(Architettura degli Elaboratori)

Bus

52 / 67

# PCI Express

Evoluzione del bus PCI.

Motivazioni, obiettivi.

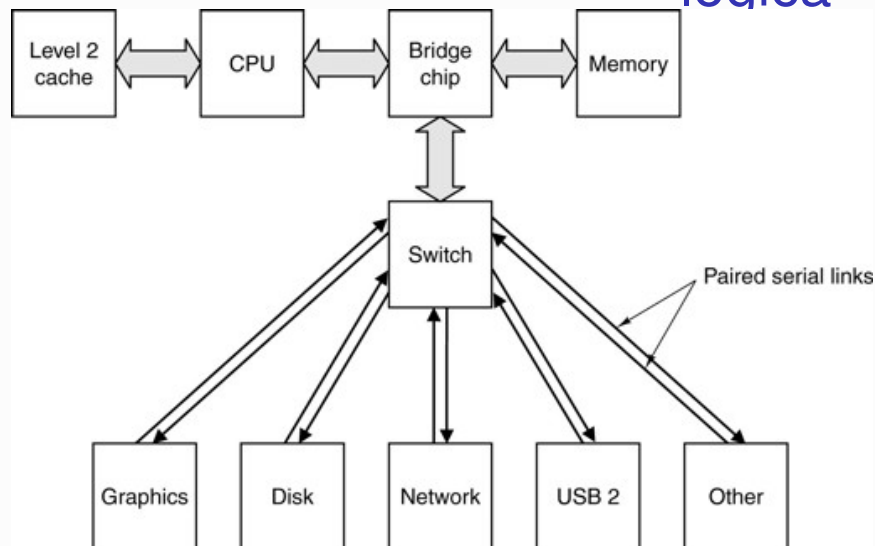
- La tecnologia del bus PCI ha raggiunto i suoi limiti: è difficile aumentare la frequenza e la banda passante (bus skew).
- Avere un unico bus per tutte le periferiche: eliminare bus: AGP, ATA (bus dischi magnetici), bus della memoria.
- Avere un bus fisicamente più compatto, con minori vincoli di lunghezza, connettere direttamente hard disk esterni.

# PCI Express (PCIe)

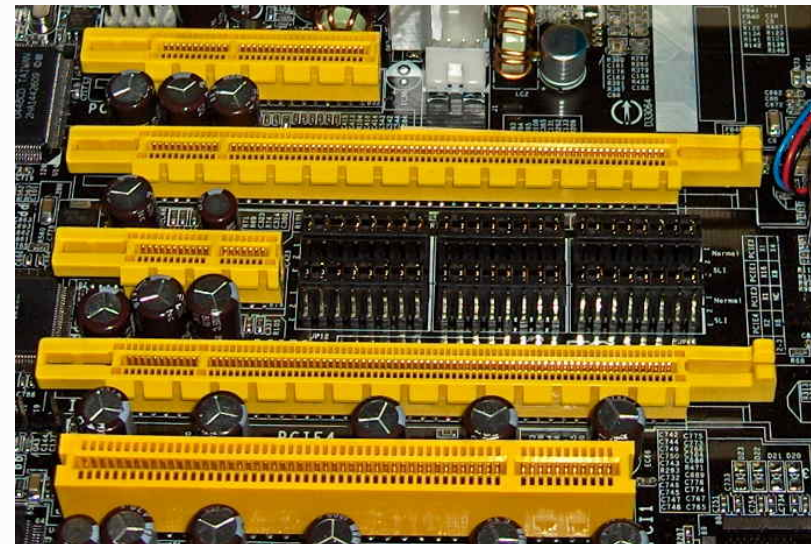
Strutturalmente molto diverso dal PCI.

- **bus seriale**: una line di input e una di output, banda 2.5 Gb/s → 10Gb/s,
- **connessione punto a punto**: collegamento indipendente per ogni dispositivo, configurazione a stella: switch.
- dispositivi con più connessioni: 2 - 4 - 8 - 12 - 16 - 32, i dati distribuiti in byte su più linee,
- trasmissione date a pacchetto (sequenze di bit).

## PCI Express, struttura logica



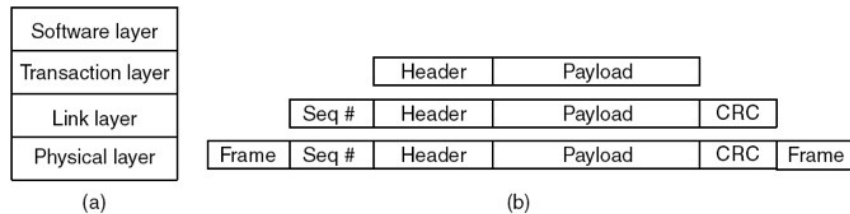
## Slot di connessione





# PCI Express, livelli di comunicazione

Vari aspetti, livelli nella comunicazione, e segnali correlati.



(Architettura degli Elaboratori)

Bus

57 / 67

# PCI Express

## Livello fisico

- compatibilità tra slot e schede di ampiezza diversa.
- segnale differenziale: due linee intrecciate, meno sensibile alle interferenze.
- bit di clock,  $8 \Rightarrow 10$  bit;

## Livello di trasmissione

- Trasmissione a pacchetti.
- Correzione degli errori
- Sistema di acknowledgement.
- Gestione dell'interrupt.

(Architettura degli Elaboratori)

Bus

58 / 67

# PCI Express

## Livello di transazione

- sistema di crediti per sincronizzare la trasmissione.
- PCIe perché conserva il livello logico del bus PCI, stesso tipo di transazioni, compatibili a livello di sistema operativo.

## Diffusione

Nelle schede madri, coesistono bus PCI-Express, PCI (e ISA).

PCI-Express ha sostituito il bus AGP.

**Thunderbolt:** bus dispositivi esterni, (PCI Express + Display Port)

(Architettura degli Elaboratori)

Bus

59 / 67

# Universal Serial Bus: USB

Bus per il collegamento di periferiche (lente)

Sviluppato nel '95 da un consorzio:

USB Implementers Forum (USB-IF)

(Apple, HP, Intel, Microsoft, Nec, Philips).

## Obiettivi:

- economico;
- uso semplice e flessibile:
  - un unico bus per molte periferiche non necessarie dispositivi di controllo e porte dedicate,
  - facilmente espandibile,
  - connessioni a caldo;
- supporto dispositivi tempo reale (audio).

(Architettura degli Elaboratori)

Bus

60 / 67

## Diverse versioni:

- cavo: 4 fili: 2 fili per ingresso o uscita (half-duplex, differenziale), 1 massa, 1 file di alimentazione (5V), bus seriale;  
USB 3, + 5 fili: 1 massa, 2 input, 2 output (full-duplex, differenziale).
- larghezza di banda:
  - USB 1.0: 1.5 Mb/s (mega bit al secondo);
  - USB 1.1: 12 Mb/s (1998);
  - USB 2.0: 480 Mb/s (2001);
  - USB 3.0: 4.8 Gb/s (2010).

## Struttura della rete

Ad albero, fino a 127 nodi.

- **radice** root hub - connesso bus PCI (o al South-Bridge)
- **nodi** hub di espansione - USB bay - permettono di estendere il numero di connessioni
- **foglie** periferiche: tastiere, mouse, scanner, web-cam, lettori CD - DVD;
- esistono anche “sharing hubs”.

## Collegamento a caldo

- root hub identifica l'evento;
- interrupt, chiamata al sistema operativo;
- interrogazione dispositivo: tipo di dispositivo, banda richiesta;
- assegnazione indirizzo unico (1-127).

## Comunicazione

- Connessione da root a dispositivo: le periferiche non comunicano tra loro.
- Comunicazione distribuita su diverse pipe logiche (condotte virtuali):  
fino a 16 input + 16 output per dispositivo, pipe diverse trasmettono tipi di dato diversi.



# Comunicazione

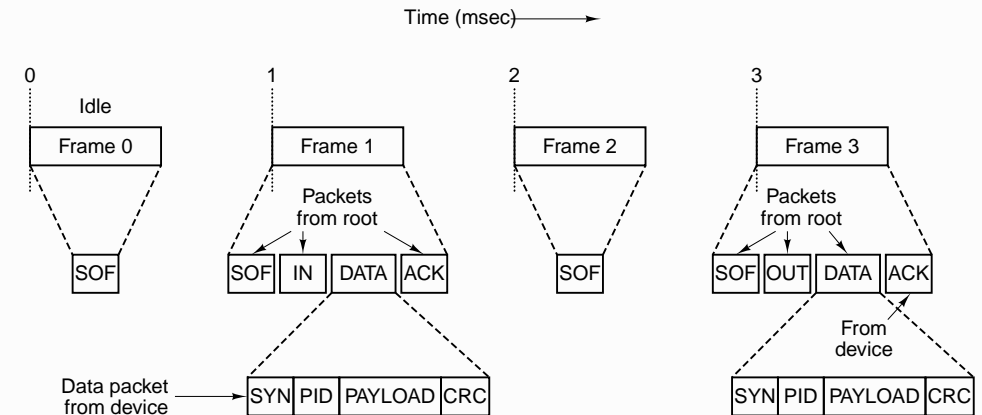
Divisa in **frame** (pacchetto di dati)

esattamente ogni msec root hub invia un frame (per mantenere la sincronizzazione tra gli orologi interni):

4 tipi di frame (comunicazione)

- **control** comandi al dispositivo - diagnostica,
- **bulk** dati,
- **isochronous** dispositivi tempo reale,
- **interrupt** simulazione interrupt.

# Esempio



# Struttura del frame

diviso in sottopacchetti.

- **token** da root a dispositivo - controllo della comunicazione: SOF, IN, OUT, SETUP;
- **data** dati - nelle due direzioni - formato: sincronizzazione, tipo, dati, controllo
- **handshake** ACK, NAK, STALL
- **special**