



UNIVERSIDADE
ESTADUAL DE LONDRINA



Processador ARM Cortex M3

STM32F**10XXX**

*Sistema de Barramento, Memória, CRC,
Power e Backup*

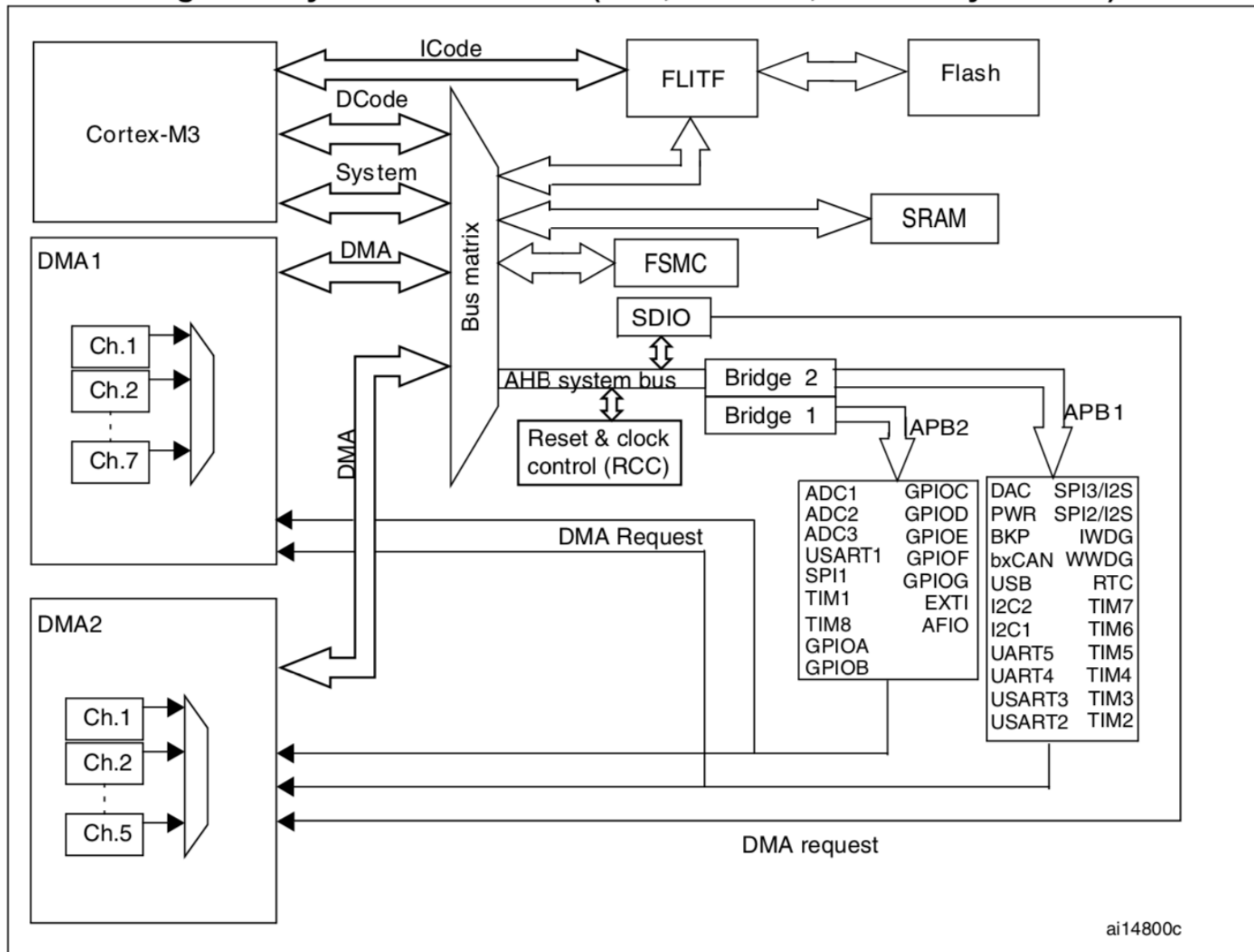
Prof. Francisco Granziera JR

granziera@uel.br

Organização

- Esta seção irá tratar de uma miscelânea de assuntos referente a periféricos:
 - Barramentos e memória;
 - Unidade de Cálculo CRC (CRC);
 - Power system (PWR);
 - Backup system (BKP);
- Os próximos assuntos serão:
 - Reset e Controle de Clock (RCC);
 - Controlador de Eventos/Interrupções Externas (EXTI)

Barramentos internos



Descrição dos Barramentos

- **BusMatrix**

- O BusMatrix administra a arbitragem de acesso entre o barramento do núcleo do sistema e o barramento do DMA;
- A arbitragem utiliza um *algoritmo Round Robin*;
- Em linhas de conexões o BusMatrix é composto por 5 mestres (CPU DCode, System bus, Ethernet DMA, DMA1 and DMA2 bus) e três escravos (FLITF, SRAM e pontes AHB, APB (2x));
- Em outros dispositivos o BusMatrix é composto por 4 mestres (CPU DCode, System bus, DMA1 bus and DMA2 bus) e 4 escravos (FLITF, SRAM, FSMC and AHB2APB bridges);
- Periféricos AHB estão conectados ao barramento do sistema através do BusMatrix para permitir acesso ao DMA.

Descrição dos Barramentos

- **DCode bus**

- Conecta o barramento de *carga de literais* e acesso de depuração do núcleo Cortex[®]-M3 à interface de dados da memória Flash.

- **System bus**

- Este barramento conecta o barramento do sistema de barramentos do Cortex[®]-M3 (periféricos) ao BusMatrix que administra a arbitragem entre o núcleo e o DMA;

- **DMA bus**

- Este barramento conecta a interface mestre AHB do DMA ao BusMatrix que administra o acesso do CPU Dcode e DMA às memórias SRAM, Flash e periféricos;

Descrição dos Barramentos

- **AHB/APB bridges (APB)**
 - As duas pontes AHB/APB proveem conexões síncronas plenas entre o barramentos AHB e dois APB; APB1 tem velocidade limitada a 36 MHz, APB2 opera até 72 MHz (dependendo do dispositivo);
 - Após cada reset todos os *clocks* dos periféricos são DESATIVADOS (exceto da SRAM e FLITF). Antes de utilizar um periférico é necessário habilitar seu clock em um dos seguintes registradores: **RCC_AHBENR**, **RCC_APB2ENR** ou **RCC_APB1ENR**;
 - Quando um acesso de 16- ou 8-bits é realizado em um registrador em APB, o acesso é transformado em um acesso de 32-bits: a *ponte duplica os dados* de 16- ou 8-bits para alimentar o vetor 32-bits.

Unidade de Cálculo CRC

- A **unidade de cálculo de CRC** (*cyclic redundancy check*) é utilizada para obter um código de 32-bits de um gerador polinomial fixo;
- Entre outras aplicações, técnicas baseadas em CRC são utilizadas para *verificar integridade na transmissão ou armazenamento de dados*;
- No padrão EN/IEC 60335-1 é disponibilizado uma maneira de verificar integridade da memória Flash. A unidade de cálculo de CRC ajuda a computar uma *assinatura do software durante a execução, a ser comparada com uma assinatura de referência gerada anteriormente e armazenada em uma dada posição de memória*.

Facilidades do CRC

- Utiliza o polinômio CRC-32 (Ethernet):
0x4C11DB7

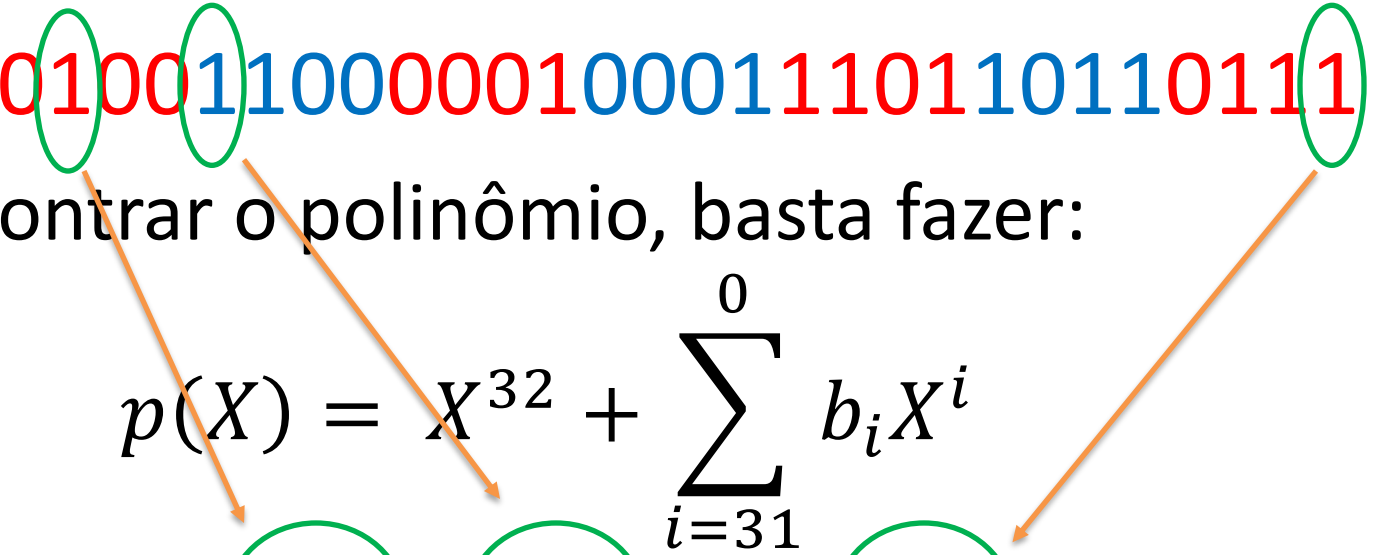
$$X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} \\ + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$$

- Possui único registrador de I/O de 32 bits;
- Cálculo do CRC feito em **4 ciclos de clock AHB** (HCLK) ;
- Registrador de propósito geral de 8 bits (para armazenamento temporário).

Um pouco mais sobre CRCs

0x04C11DB7 =

0b00000100110000010001110110110111



Para encontrar o polinômio, basta fazer:

$$p(X) = X^{32} + \sum_{i=31}^0 b_i X^i$$

$$p(X) = X^{32} + X^{26} + X^{23} + \dots + 1$$

Um pouco mais sobre CRCs

Exemplo de cálculo do CRC: considere um polinômio CRC-3: $p(X) = X^3 + X + 1$ e uma sequência de 14 bits (mensagem a ser transmitida): **11010011101100**.

O CRC-3 são 3 bits que serão inseridos ao final da mensagem para servir de verificação:

11010011101100 XXX

Para calcular no braço, primeiramente, ache o binário equivalente ao CRC: $p(X) = X^3 + X + 1$
= **1011**

Um pouco mais sobre CRCs

Comece zerando o CRC inicial adicionado (equivale a deslocar a mensagem 3 bits para esquerda):

110100111011000000

1011

011000111011000000

1011

001110111011000000

A informação e os bits do polinômio (divisor) fazer uma ex-or bit-a-bit.

Ao resultado é novamente aplicado o polinômio, e assim sucessivamente até que o dividendo seja totalmente zero.

Um pouco mais sobre CRCs

00111011101100000

1011

00010111101100000

1011

00000001101100000

1011

00000000110100000

00000000110100000

1011

00000000011000000

1011

00000000001110000

1011

000000000000101000

Um pouco mais sobre CRCs

00000000000000101000

1011

000000000000000000100

110100111011000000

11010011101100100

100

Quando o dividendo é totalmente zero, os últimos 3 bits (resto) será o CRC)

Agora, basta adicionar o CRC-3 à informação inicial e tem-se o pacote para transmissão.

Quando a informação é recebida no destinatária, basta refazer a divisão agora com os $14 + 3 = 17$ bits. Se o resultado for tudo zero, significa que está tudo OK.

Um pouco mais sobre CRCs

11010011101100100

1011

01100011101100100

1011

00111011101100100

1011

00010111101100100

1011

00000001101100100

1011

00000000110100100

00000000110100100

1011

00000000011000100

1011

00000000001110100

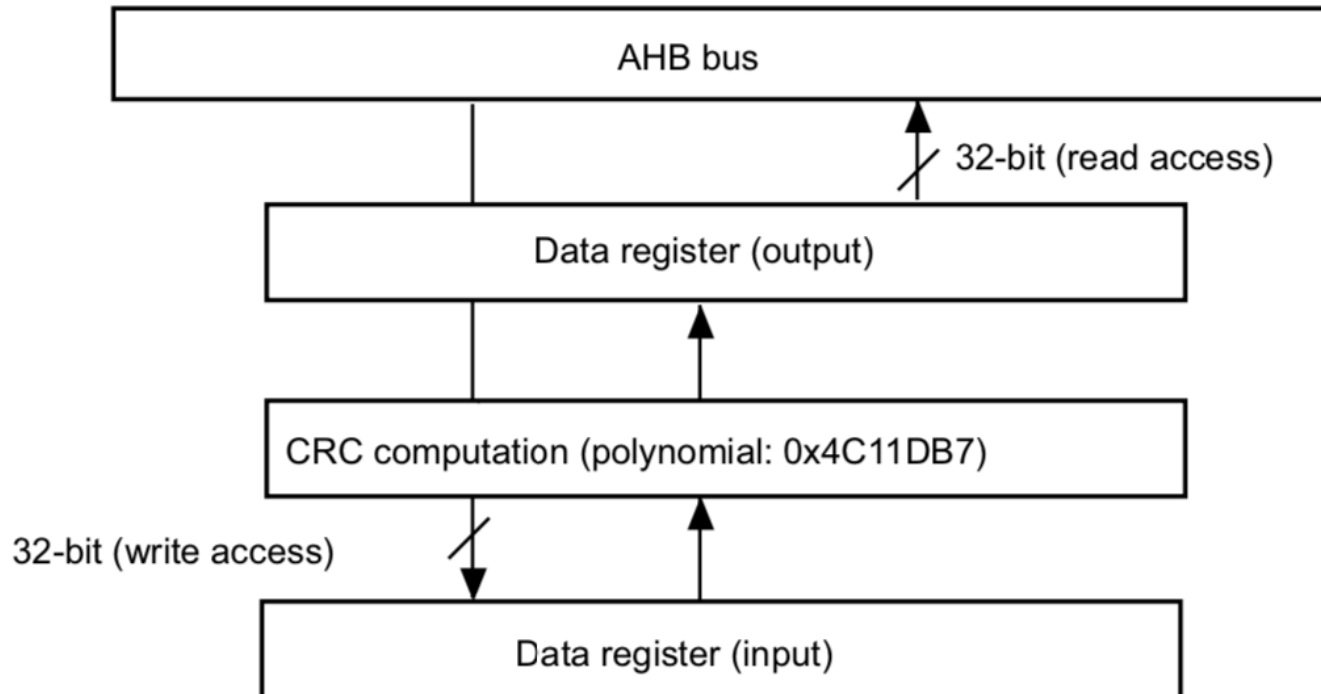
1011

00000000000101100

1011

0000000000000000000

Voltando a unidade CRC...



Descrição Funcional CRC

- A unidade de cálculo do CRC consiste de único registrador de 32 bits:
 - É utilizado como entrada para novos dados (quando escrito);
 - Mantém o resultado do CRC anterior (quando lido);
 - Cada operação de escrita no registrador cria automaticamente a combinação do valor prévio com o que está entrando;
 - A operação de escrita é bloqueada até o final da atualização do CRC;
 - O registrador do CRC pode ser resetado para 0xFFFFFFFF utilizando o bit RESET do registrador CRC_CR. Esta operação não afeta o conteúdo do CRC_IDR.

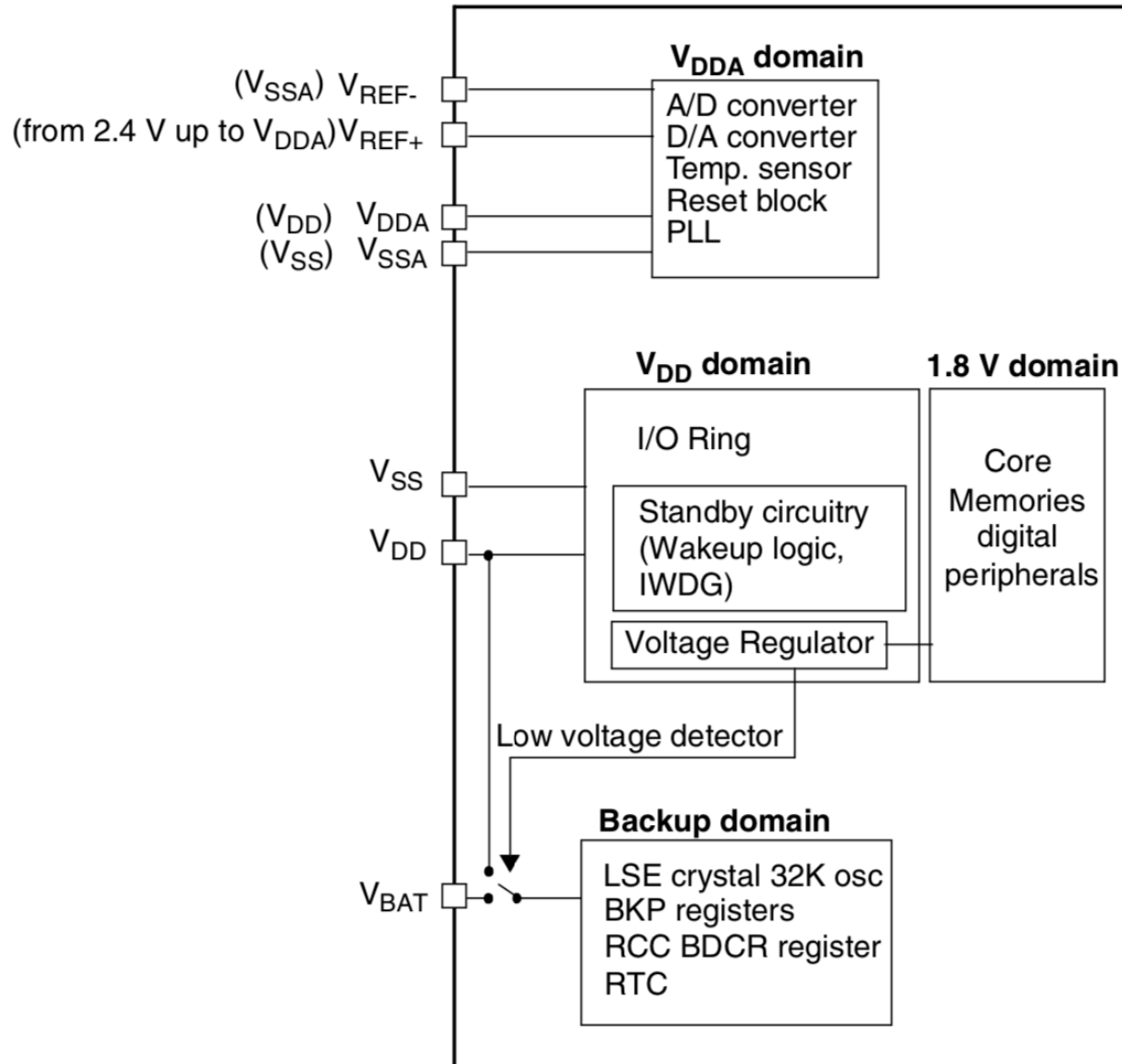
Registradores do CRC

- A unidade CRC possui dois registrador de dados e um de controle:
 - **Data Register (CRC_DR): 32-bits R/W:** Utilizado como um registrador de entrada quando escrito. Contém o valor prévio de CRC calculado quando lido.
 - **Independent Data Register (CRC_IDR): 32/8-bits** pode ser utilizado para armazenar temporariamente um byte. Não é afetado pelo reset do CRC.
 - **Control Register (CRC_CR): 32/1-bit:** Apenas o bit 0 é ativo. Reseta o cálculo do CRC setando o CRC_DR para 0xFFFFFFFF. Este bit só pode ser setado e é limpo por hardware automaticamente.

Resumo dos Regs do CRC

Offset	Register	31-24	23-16	15-8	7	6	5	4	3	2	1	0
0x00	CRC_DR	Data register										
	Reset value	0xFFFF FFFF										
0x04	CRC_IDR	Reserved			Independent data register							
	Reset value				0x00							
0x08	CRC_CR	Reserved										RESET
	Reset value											0

Cortex-M3 / Power Control



Cortex-M3 / Power Control

- Esta família de processadores (da ST) requiere de 2 a 3,6 V para operar corretamente (VDD).
- Um regulador integrado é utilizado para produzir 1,8 V para os circuitos digitais internos.
- O RTC (real-time clock) e os registradores de backup podem ser alimentados por meio de VBAT quando VDD é desligado (ou ausente).
- Para aumentar a precisão na conversão os ADC e DAC possuem uma fonte independente a qual pode ser filtrada e blindada de ruído separadamente na PCB.
 - A alimentação para o ADC e DAC é disponibilizada no pino VDDA.
 - Um ground de alimentação isolado é provido no pino VSSA.
 - De acordo com o número de pino do package do CI, VREF- deve ser ligado a VSSA.

Cortex-M3 / Power Control

- Quando o package do microcontrolador possui 64 pinos ou menos, VDDA e VSSA são conectados a VREF+ e VREF- respectivamente.

Cortex-M3 / Power Control

- Para reter o conteúdo dos registradores de backup e manter o RTC funcionando na ausência de VDD, o pino VBAT pode ser conectado a uma fonte alternativa ou uma bateria;
- O VBAT alimenta o RTC, o oscilador LSE e os pinos I/O de PC13 a PC15;
- O chaveamento para VBAT é controlado pelo PDR (Power Down Reset), sistema este que incluso no bloco de Reset;
- Se nenhuma bateria externa é utilizada, recomenda-se conectar VBAT externamente em VDD com um capacitor de 100 nF (desacoplamento).

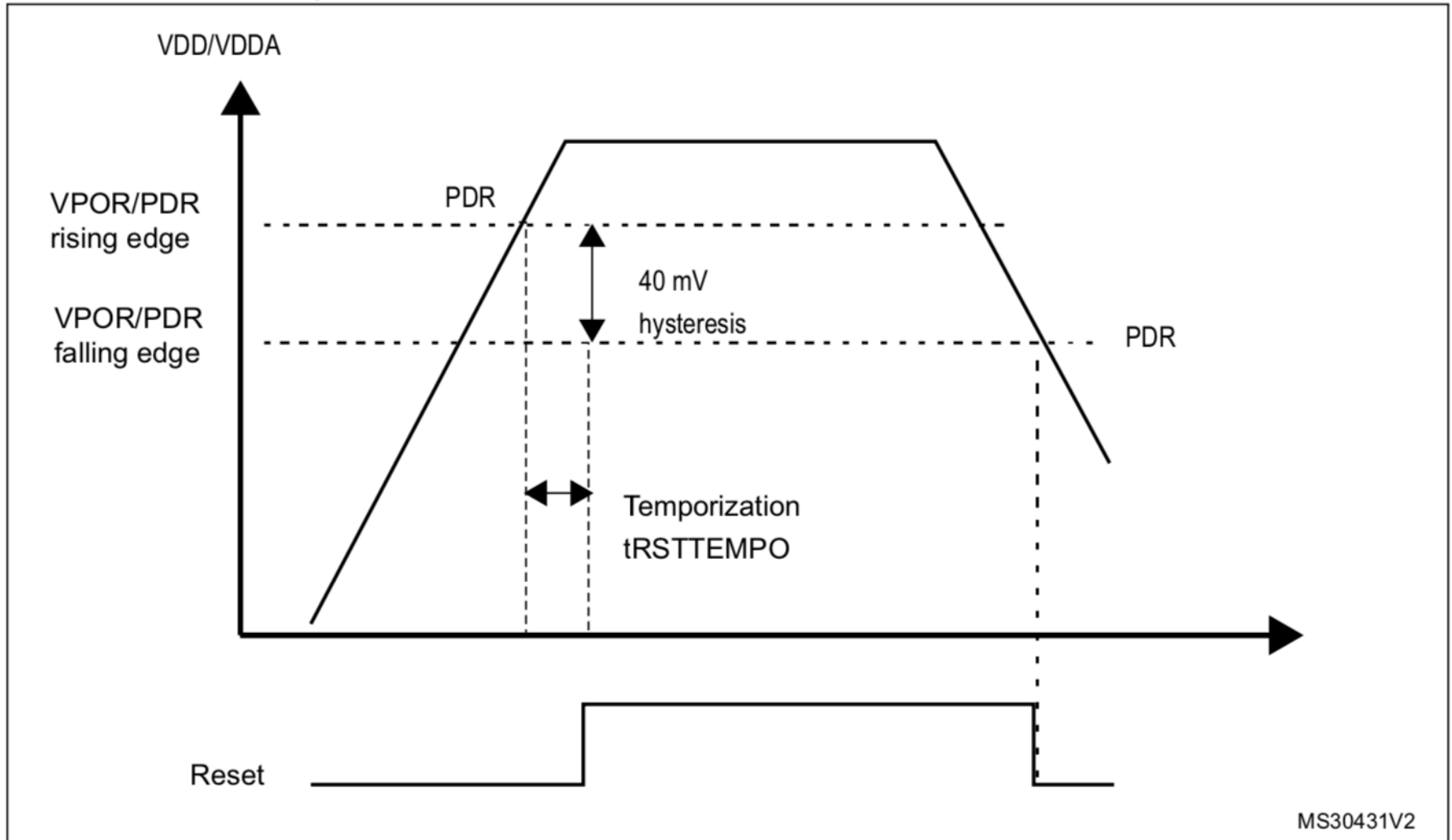
Power Control: regulador de tensão

- O regulador de tensão está sempre habilitado após o reset. Ele trabalha em três diferentes modos dependendo dos modos de aplicação;
 - No modo RUN o regulador provê alimentação plena de 1.8 V (núcleo, memórias e periféricos digitais).
 - No modo STOP o regular supre em baixa potência 1.8 V preservando conteúdo dos registradores e da SRAM;
 - No modo Standby, o regulador é desligado. Os conteúdos dos registradores e da SRAM são perdidos exceto da circuitaria de Standby e o domínio de Backup.

Supervisor do Power Supply

- POR/PDR: power-on-reset/power-down-reset:
 - O dispositivo possui circuitaria de POR/PDR integrada que permite operação adequada a partir de 2 V;
 - O dispositivo permanece em modo de Reset quando VDD/VDDA está **abaixo de um limiar específico**, sem necessidade de circuitos externos;
 - *Microcontroladores mais antigos não possuíam circuito de POR / PDR e era necessário em alguns casos um chip externo para executar esta função.*

Supervisor do Power Supply



Detector de Tensão Programável (PVD)

- O PVD é um recurso que permite detectar e até mesmo gerar uma interrupção quando a tensão estiver acima/abaixo do limiar de tensão especificado pelos bits PLS[2:0] do registrador **PWR_CR** (Power Control Register);
- PVD é habilitado setando o bit **PVDE**.
- A flag **PVDO** presente no **PWR_CSR** indica se VDD/VDDA é maior (ou menor) que o limiar de PVD. Este evento internamente conectado line16 EXTI e pode gerar uma interrupção se habilitada para tanto;
- A interrupção pode ser acionada tanto quando PVD sobe acima do limiar ou quando cai abaixo do limiar dependendo da configuração da borda (subida/descida);

Modos Low-Power

- Por definição, o microcontrolador está em modo RUN após um Reset.
- Diversos modos Low-Power estão disponíveis para economizar energia quando a CPU não precisa estar rodando em modo pleno. Ex.: em ***while*** (1) { } apenas aguardando interrupções.
- *É importante conhecer os modos Low-Power para escolher entre o melhor compromisso de consumo, curto tempo de inicialização após ligar (startup time) e as fonte de WakeUP (para acordar o micro quando estiver em low-power).*

Modos Low-Power

- Dispositivos STM32F10xxx possuem três modos Low-power:
 - Modo **SLEEP** (clock da CPU desligado, todos periféricos incluindo os do núcleo, como NVIC, SysTick, etc. continuam ativos);
 - Modo **STOP** (todos os clocks parados);
 - Modo **Standby** (1.8V desligado)
- Além disso, o consumo de energia em Modo RUN pode ser reduzido:
 - *Baixando* a velocidade do clock dos sistemas em geral;
 - *Desligando* os clocks dos periféricos em APB e AHB quando eles não estiverem em uso.

Modos Low-Power

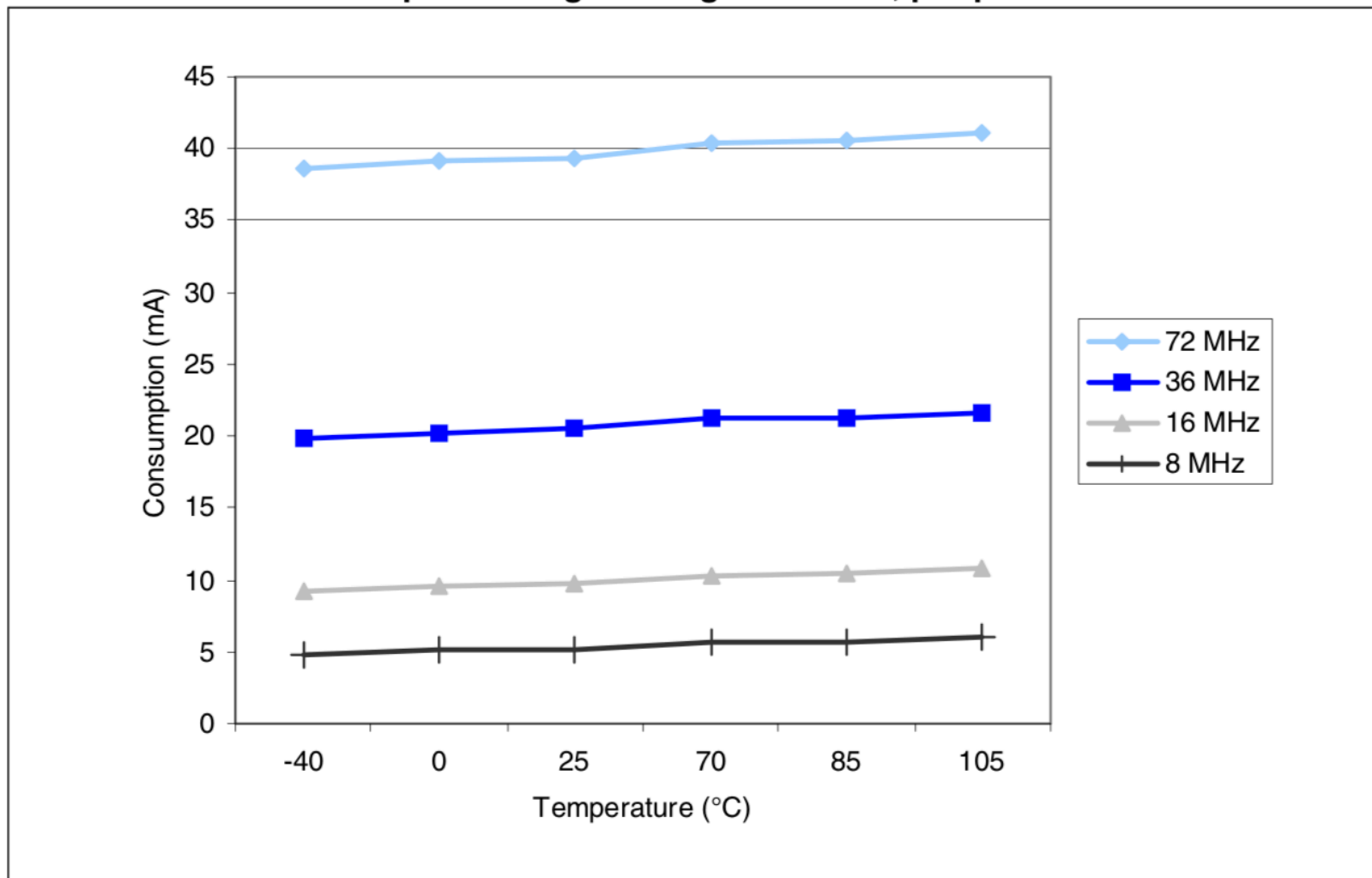
Mode name	Entry	Wakeup	Effect on 1.8V domain clocks	Effect on V _{DD} domain clocks	Voltage regulator
Sleep (Sleep now or Sleep-on -exit)	WFI	Any interrupt	CPU clock OFF no effect on other clocks or analog clock sources	None	ON
	WFE	Wakeup event			
Stop	PDDS and LPDS bits + SLEEPDEEP bit + WFI or WFE	Any EXTI line (configured in the EXTI registers)	All 1.8V domain clocks OFF	HSI and HSE oscillators OFF	ON or in low-power mode (depends on <i>Power control register (PWR_CR)</i>)
Standby	PDDS bit + SLEEPDEEP bit + WFI or WFE	WKUP pin rising edge, RTC alarm, external reset in NRST pin, IWDG reset			OFF

WFI e WFE são instruções assembly

Baixando os *clocks* do sistema

- No modo RUN as velocidades dos clocks de sistema (veremos posteriormente SYSCLK, HCLK, PCLK1, PCLK2) podem ser reduzidas programando os registradores *prescalers*.
- Os registradores dos *prescalers* podem ser utilizados para reduzir o clock dos periféricos antes de entrar no Modo SLEEP.

Figure 16. Typical current consumption in Run mode versus frequency (at 3.6 V) - code with data processing running from RAM, peripherals enabled



Note a proporcionalidade entre a taxa do clock e o consumo em mA.

Administração dos *clocks* dos periféricos

- No Modo RUN o HCLK e PCLKx para cada periférico e memórias podem ser *parados* para reduzir o consumo de energia.
- Para uma redução adicional no Modo SLEEP os clocks dos periféricos podem ser *desabilitados* executando as instruções **WFI** ou **WFE**.
- Este controle do *clock* pode ser feito pelo registradores **RCC_AHBENR**, **RCC_APB1ENR** **RCC_APB2ENR**. Que habilitam os clocks em AHB, APB1 e APB2 (serão explicados posteriormente).

Descrição do Modo SLEEP

- Para entrar no Modo **SLEEP** basta executar as instruções assembly **WFI** (Wait For Interrupt) ou **WFE** (Wait For Event);
- Existem duas opções para o Modo **SLEEP** e elas são selecionadas por meio do bit **SLEEPONEXIT** contido no registrador de controle;
- No Modo **SLEEP** todos os pinos permanecem no mesmo estado do Modo RUN.

Sleep-on-exit	Description
Mode entry	<p>WFI (wait for interrupt) while:</p> <ul style="list-style-type: none"> – SLEEPDEEP = 0 and – SLEEPONEXIT = 1 <p>Refer to the Cortex[®]-M3 System Control register.</p>
Mode exit	Interrupt: refer to Section 10.1.2: Interrupt and exception vectors .
Wakeup latency	None

Sleep-now mode	Description
Mode entry	<p>WFI (Wait for Interrupt) or WFE (Wait for Event) while:</p> <ul style="list-style-type: none"> – SLEEPDEEP = 0 and – SLEEPONEXIT = 0 <p>Refer to the Cortex[®]-M3 System Control register.</p>
Mode exit	<p>If WFI was used for entry: Interrupt: Refer to Section 10.1.2: Interrupt and exception vectors</p> <p>If WFE was used for entry Wakeup event: Refer to Section 10.2.3: Wakeup event management</p>
Wakeup latency	None

Descrição do Modo STOP

- O Modo STOP é um DEEP SLEEP com restrição de clocks. O regulador de tensão pode ser configurado para Normal ou Low-power.
- No Modo STOP todos os clocks alimentados pelo 1.8 V do reg. Interno irão parar, o PLL, HSI, HSE, oscilador RC interno são desativados. O conteúdo da SRAM e registradores são preservados.
- No modo STOP todos pinos de I/O são mantidos no mesmo estado que estavam no Modo RUN.

Descrição do Modo STOP

Stop mode	Description
Mode entry	<p>WFI (Wait for Interrupt) or WFE (Wait for Event) while:</p> <ul style="list-style-type: none">– Set SLEEPDEEP bit in Cortex[®]-M3 System Control register– Clear PDDS bit in Power Control register (PWR_CR)– Select the voltage regulator mode by configuring LPDS bit in PWR_CR <p>Note: To enter Stop mode, all EXTI Line pending bits (in Pending register (EXTI_PR)), all peripheral interrupt pending bits, and RTC Alarm flag must be reset. Otherwise, the Stop mode entry procedure is ignored and program execution continues.</p>
Mode exit	<p>If WFI was used for entry:</p> <p>Any EXTI Line configured in Interrupt mode (the corresponding EXTI Interrupt vector must be enabled in the NVIC). Refer to Section 10.1.2: Interrupt and exception vectors.</p> <p>If WFE was used for entry:</p> <p>Any EXTI Line configured in event mode. Refer to Section 10.2.3: Wakeup event management</p>
Wakeup latency	HSI RC wakeup time + regulator wakeup time from Low-power mode

Descrição do Modo Standby

- O Modo Standby permite atingir o menor consumo de energia.
- Ele é um DEEP SLEEP com regulador 1.8 V desligado. Logo, o PLL, HSI e HSE são desligados também. O conteúdo da SRAM e dos Registradores são perdidos!
- Somente o regs de Backup e a circuitaria de Standby são mantidas.

Descrição do Modo Standby

Standby mode	Description
Mode entry	WFI (Wait for Interrupt) or WFE (Wait for Event) while: <ul style="list-style-type: none">– Set SLEEPDEEP in Cortex[®]-M3 System Control register– Set PDDS bit in Power Control register (PWR_CR)– Clear WUF bit in Power Control/Status register (PWR_CSR)– No interrupt (for WFI) or event (for WFI) is pending
Mode exit	WKUP pin rising edge, RTC alarm event's rising edge, external Reset in NRST pin, IWDG Reset.
Wakeup latency	Reset phase

Auto-wakeup (AWU)

Registradores do Power

- O módulo de Power possui apenas dois registradores:
 - Power control register (**PWR_CR**): com apenas 8/32 bits implementados;
 - Power control/status register (**PWR_CSR**): com apenas 4/32 bits implementados.

PWR_CR

Address offset: 0x00

Reset value: 0x0000 0000 (reset by wakeup from Standby mode)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							DBP	PLS[2:0]		PVDE	CSBF	CWUF	PDDS	LPDS	
							rw	rw	rw	rw	rw	rc_w1	rc_w1	rw	rw

Bits 31:9 Reserved, must be kept at reset value..

Bit 8 **DBP**: Disable backup domain write protection.

In reset state, the RTC and backup registers are protected against parasitic write access.
This bit must be set to enable write access to these registers.

0: Access to RTC and Backup registers disabled

1: Access to RTC and Backup registers enabled

Note: If the HSE divided by 128 is used as the RTC clock, this bit must remain set to 1.

Bits 7:5 **PLS[2:0]**: PVD level selection.

These bits are written by software to select the voltage threshold detected by the Power Voltage Detector

000: 2.2V

001: 2.3V

010: 2.4V

011: 2.5V

100: 2.6V

101: 2.7V

110: 2.8V

111: 2.9V

Bit 4 **PVDE**: Power voltage detector enable.

This bit is set and cleared by software.

0: PVD disabled

1: PVD enabled

Bit 3 **CSBF**: Clear standby flag.

This bit is always read as 0.

0: No effect

1: Clear the SBF Standby Flag (write).

Bit 2 **CWUF**: Clear wakeup flag.

This bit is always read as 0.

0: No effect

1: Clear the WUF Wakeup Flag **after 2 System clock cycles**. (write)

Bit 1 **PDDS**: Power down deepsleep.

This bit is set and cleared by software. It works together with the LPDS bit.

0: Enter Stop mode when the CPU enters Deepsleep. The regulator status depends on the LPDS bit.

1: Enter Standby mode when the CPU enters Deepsleep.

Bit 0 **LPDS**: Low-power deepsleep.

This bit is set and cleared by software. It works together with the PDDS bit.

0: Voltage regulator on during Stop mode

1: Voltage regulator in low-power mode during Stop mode

PWR_CSR

Address offset: 0x04

Reset value: 0x0000 0000 (not reset by wakeup from Standby mode)

Additional APB cycles are needed to read this register versus a standard APB read.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							EWUP	Reserved					PVDO	SBF	WUF
							rw						r	r	r

Bit 8 **EWUP**: Enable WKUP pin

This bit is set and cleared by software.

0: WKUP pin is used for general purpose I/O. An event on the WKUP pin does not wakeup the device from Standby mode.

1: WKUP pin is used for wakeup from Standby mode and forced in input pull down configuration (rising edge on WKUP pin wakes-up the system from Standby mode).

Note: This bit is reset by a system Reset.

Bits 7:3 Reserved, must be kept at reset value.

Bit 2 **PVDO**: PVD output

This bit is set and cleared by hardware. It is valid only if PVD is enabled by the PVDE bit.

0: V_{DD}/V_{DDA} is higher than the PVD threshold selected with the PLS[2:0] bits.

1: V_{DD}/V_{DDA} is lower than the PVD threshold selected with the PLS[2:0] bits.

Note: The PVD is stopped by Standby mode. For this reason, this bit is equal to 0 after Standby or reset until the PVDE bit is set.

Bit 1 **SBF**: Standby flag

This bit is set by hardware and cleared only by a POR/PDR (power on reset/power down reset) or by setting the CSBF bit in the [Power control register \(PWR_CR\)](#)

0: Device has not been in Standby mode

1: Device has been in Standby mode

Bit 0 **WUF**: Wakeup flag

This bit is set by hardware and cleared by hardware, by a system reset or by setting the CWUF bit in the [Power control register \(PWR_CR\)](#)

0: No wakeup event occurred

1: A wakeup event was received from the WKUP pin or from the RTC alarm

Note: An additional wakeup event is detected if the WKUP pin is enabled (by setting the EWUP bit) when the WKUP pin level is already high.

Registradores de Backup

- Os registradores de Backup são 42 regs. De 16 bits (84 bytes) para uso geral.
- Eles são implementados no domínio do backup que permanece alimentado por VBAT quando o VDD é desligado (ou indisponível).
- Eles não resetam quando o dispositivo acorda de um Standby, nem pelo reset de sistema ou por um Off/On.
- Além disso, os registros de controle do BKP são utilizados para administrar o Tamper e calibração do RTC.

Registradores de Backup

- Após um reset o acesso aos registradores de backup e RTC é desabilitado e o BKP é protegido contra alguma escrita acidental. Para habilitar o acesso aos registradores de Backup e ao RTC, proceda como segue:
 - Habilite o clock de interface do Power e do Backup por meio dos bits PWREN e BKPEN no registrador RCC_APB1ENR.
 - Sete o bit DBP do registrador PWR_CR para habilitar o acesso aos registradores de Backup e RTC.

BPK features

- 20 ou 84 bytes de uso livre (depende do código exato do componente);
- Registrador de Status/Control para administrar a detecção do Tamper com capacidade para interrupção;
- Registrador de calibração para armazenar o valor que calibra o RTC;
- Possibilidade de uso do PC13 para o clock de calibração do RTC, Pulso de Alarme do RTC ou pulso de segundo (quando PC13 não é usado no para o Tamper).

BPK features

- 20 ou 84 bytes de uso livre (depende do código exato do componente);
- Registrador de Status/Control para administrar a detecção do Tamper com capacidade para interrupção;
- Registrador de calibração para armazenar o valor que calibra o RTC;
- Possibilidade de uso do PC13 para o clock de calibração do RTC, Pulso de Alarme do RTC ou pulso de segundo (quando PC13 não é usado no para o Tamper).

BPK features

- O pino de Tamper gera um evento quando pino muda de 0/1 ou 1/0 (depende de TPAAL bit do BKP_CR);
- Uma detecção de evento de Tamper reseta TODOS dos registradores de Backup;
- Para evitar perda de possíveis eventos, o sinal usado para detecção de borda esta em AND com o Tamper Enable afim de evitar eventos espúrios antes de se habilitar o pino de Tamper.

BPK features

- O pino de Tamper gera um evento quando pino muda de 0/1 ou 1/0 (depende de TPAAL bit do BKP_CR);
- Uma detecção de evento de Tamper reseta TODOS dos registradores de Backup;
- Para evitar perda de possíveis eventos, o sinal usado para detecção de borda esta em AND com o Tamper Enable afim de evitar eventos espúrios antes de se habilitar o pino de Tamper.
- Tamper é habilitado pelo bit TPE (do registrador **BKP_CR**);

BPK features

- Para ligar interrupção do evento de Tamper basta setar o bit TPIE do registrador BKP_CSR;
- Após um evento de Tamper ter sido detectado (e a flag limpa) o pino do Tamper deve ser desabilitado e reabilitado antes de reescrever os registradores de backup.
- *Nota: a detecção do Tamper ainda está ativa quando VDD é desligado. Para evitar o reset indesejável dos registradores de backup o pino do Tamper deve ser colocado externamente no nível correto (pull-up ou pull-down no pino).*

Calibração do RTC

- Para propósito de medida, o clock do RTC dividido por 64 pode ser colocado no pino PC13. Para habilitar esta função basta setar o bit CCO do registrador BKP_RTCCR.
- O clock pode ser
- The clock can be desacelerado por até 121 ppm por meio dos bits CAL[6:0].
Detalhes desta calibração no documento:
AN2604 'STM32F101xx and STM32F103xx RTC calibration'.

Registradores do BKP

BKP_DRx: Registradores para dados quaisquer.

Address offset: 0x04 to 0x28, 0x40 to 0xBC

Reset value: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 15:0 **D[15:0]** Backup data

These bits can be written with user data.

Note: The BKP_DRx registers are not reset by a System reset or Power reset or when the device wakes up from Standby mode.

They are reset by a Backup Domain reset or by a TAMPER pin event (if the TAMPER pin function is activated).

Registradores do BKP

BKP_RTCCR : Registrador para calibração do RTC.

Address offset: 0x2C

Reset value: 0x0000 0000

15 Bit 8 **ASOE**: Alarm or second output enable

Setting this bit outputs either the RTC Alarm pulse signal or the Second pulse signal on the TAMPER pin depending on the ASOS bit.

The output pulse duration is one RTC clock period. The TAMPER pin must not be enabled while the ASOE bit is set.

Note: This bit is reset only by a Backup domain reset.

Bit 7 **CCO**: Calibration clock output

0: No effect

1: Setting this bit outputs the RTC clock with a frequency divided by 64 on the TAMPER pin. The TAMPER pin must not be enabled while the CCO bit is set in order to avoid unwanted Tamper detection.

Note: This bit is reset when the V_{DD} supply is powered off.

Bit 6:0 **CAL[6:0]**: Calibration value

This value indicates the number of clock pulses that will be ignored every 2^{20} clock pulses. This allows the calibration of the RTC, slowing down the clock by steps of $1000000/2^{20}$ PPM.

The clock of the RTC can be slowed down from 0 to 121PPM.

Registradores do BKP

BKP_RTCCR : Registrador para calibração do RTC.

Bit 8 **ASOE**: Alarm or second output enable

Setting this bit outputs either the RTC Alarm pulse signal or the Second pulse signal on the TAMPER pin depending on the ASOS bit.

The output pulse duration is one RTC clock period. The TAMPER pin must not be enabled while the ASOE bit is set.

Note: This bit is reset only by a Backup domain reset.

Bit 7 **CCO**: Calibration clock output

0: No effect

1: Setting this bit outputs the RTC clock with a frequency divided by 64 on the TAMPER pin. The TAMPER pin must not be enabled while the CCO bit is set in order to avoid unwanted Tamper detection.

Note: This bit is reset when the V_{DD} supply is powered off.

Bit 6:0 **CAL[6:0]**: Calibration value

This value indicates the number of clock pulses that will be ignored every 2^{20} clock pulses. This allows the calibration of the RTC, slowing down the clock by steps of $1000000/2^{20}$ PPM.

The clock of the RTC can be slowed down from 0 to 121PPM.

Registradores do BKP

BKP_CR

Address offset: 0x30

Reset value: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														TPAL	TPE
														rw	rw

Bits 15:2 Reserved, must be kept at reset value.

Bit 1 **TPAL**: TAMPER pin active level

0: A high level on the TAMPER pin resets all data backup registers (if TPE bit is set).

1: A low level on the TAMPER pin resets all data backup registers (if TPE bit is set).

Bit 0 **TPE**: TAMPER pin enable

0: The TAMPER pin is free for general purpose I/O

1: Tamper alternate I/O function is activated.

Note: Setting the TPAL and TPE bits at the same time is always safe, however resetting both at the same time can generate a spurious Tamper event. For this reason it is recommended to change the TPAL bit only when the TPE bit is reset.

Registradores do BKP

BKP_CSR

Address offset: 0x34

Reset value: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						TIF	TEF	Reserved					TPIE	CTI	CTE
						r	r						rw	w	w

BKP_CSR

Bit 9 **TIF**: Tamper interrupt flag

This bit is set by hardware when a Tamper event is detected and the TPIE bit is set. It is cleared by writing 1 to the CTI bit (also clears the interrupt). It is also cleared if the TPIE bit is reset.

0: No Tamper interrupt

1: A Tamper interrupt occurred

Note: This bit is reset only by a system reset and wakeup from Standby mode.

Bit 8 **TEF**: Tamper event flag

This bit is set by hardware when a Tamper event is detected. It is cleared by writing 1 to the CTE bit.

0: No Tamper event

1: A Tamper event occurred

Note: A Tamper event resets all the BKP_DRx registers. They are held in reset as long as the TEF bit is set. If a write to the BKP_DRx registers is performed while this bit is set, the value will not be stored.

Bits 7:3 Reserved, must be kept at reset value.

Bit 2 **TPIE**: TAMPER pin interrupt enable

0: Tamper interrupt disabled

1: Tamper interrupt enabled (the TPE bit must also be set in the BKP_CR register)

Note: A Tamper interrupt does not wake up the core from low-power modes.

This bit is reset only by a system reset and wakeup from Standby mode.

Bit 1 **CTI**: Clear tamper interrupt

This bit is write only, and is always read as 0.

0: No effect

1: Clear the Tamper interrupt and the TIF Tamper interrupt flag.

Bit 0 **CTE**: Clear tamper event

This bit is write only, and is always read as 0.

0: No effect

1: Reset the TEF Tamper event flag (and the Tamper detector)