



UNIVERSIDADE  
ESTADUAL DE LONDRINA



# Processador ARM Cortex M3/M4

## STM32F10XXX

## GPIOs

Prof. Francisco Granziera JR

[granziera@uel.br](mailto:granziera@uel.br)

# Organização

- Descrição funcional dos GPIOs;
- Set e Reset atômico;
- Interrupção externa e linhas de WakeUp;
- Funções Alternativas;
- Remapeamento de Funções Alternativas;
- Mecanismo de trancamento da GPIO;
- Configurações como entrada, saída, AF e entrada analógica;
- Configurações para dispositivos periféricos;
- Registradores GPIO.

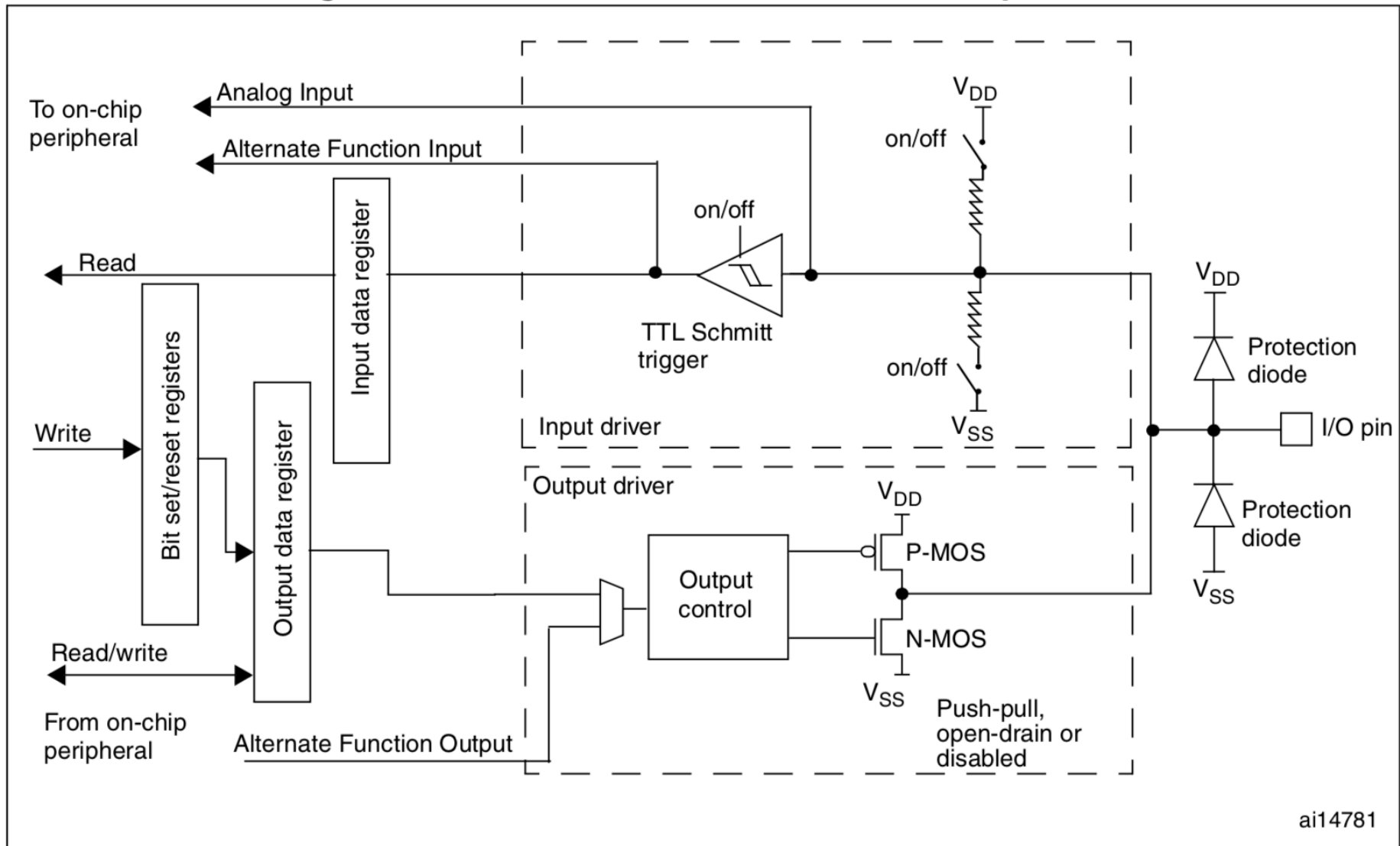
# Descrição funcional

- GPIO significa ***Entradas e Saídas de Propósito Geral***.
- Cada GPIO possui ***dois*** registradores de configuração **GPIOx\_CRL**, **GPIOx\_CRH**, ***dois*** registradores de dados **GPIOx\_IDR** e **GPIOx\_ODR**, ***um*** registrador de set/reset **GPIOx\_BSRR**, ***um*** registrador de 16 bits de reset **GPIOx\_BRR** e ***um*** registrador de trancamento **GPIOx\_LCKR**.
- As GPIOs podem ser configuradas individualmente via software.

# Descrição funcional

- As possibilidades de configuração (seguindo o datasheet de cada dispositivo) são:
  - Entrada flutuante
  - Entrada com *pull-up*
  - Entrada com *pull-down*
  - Analógica
  - Saída *open-drain* (dreno aberto)
  - Saída *push-pull*
  - AF *open-drain*
  - AF *push-pull*
- *Embora o acesso a cada pino GPIO seja individual, o acesso aos registradores ocorre **somente em 32 bits** (acessos em 16 ou 8 bits não são permitidos)*

# Descrição funcional



# Descrição funcional

Configuration mode		CNF1	CNF0	MODE1	MODE0	PxODR register	
General purpose output	Push-pull	0	0	01 10 11 see <i>Table 21</i>		0 or 1	
	Open-drain		1			0 or 1	
Alternate Function output	Push-pull	1	0				Don't care
	Open-drain		1				Don't care
Input	Analog	0	0	00		Don't care	
	Input floating		1			Don't care	
	Input pull-down	1	0			0	
	Input pull-up					1	

MODE[1:0]	Meaning
00	Reserved
01	Maximum output speed 10 MHz
10	Maximum output speed 2 MHz
11	Maximum output speed 50 MHz

# Descrição funcional

- Durante e somente após o reset as FA (funções alternativas) não estão ativas e as portas I/O estão configuradas como Entradas Flutuantes.
- **Atenção:** os pinos do JTAG estão em entrada PU/PD após o reset:
  - **PA15:** JTDI em PU
  - **PA14:** JTCK em PD
  - **PA13:** JTMS em PU
  - **PB4:** NJTRST em PU

# Descrição funcional

- Quando um pino está configurado como saída, o que for escrito em **GPIOx\_ODR** é colocado no pino de saída.
- É possível que o pino forneça 0/1 (em push-pull) ou apenas
- O Registrado de Dados de Entrada (Input Data register) **GPIOx\_IDR** captura os dados presentes nos pino da porta a cada ciclo de clock **APB2**.
- TODOS os pinos de GPIO possuem um sistema *wakeup* PD e PU que pode ser ativado ou não quando o pino é configurado como entrada.



# Descrição funcional: Reset/Set atômico

- Não há necessidade de desabilitar interrupções quando se está programando **GPIOx\_ODR**: é possível modificar somente um ou diversos bits por meio de uma única escrita atômica via clock **APB2**.
- Isto pode ser feito escrevendo '1' no registrador Set/Reset **GPIOx\_BSRR** ou para apenas Reset no registrador **GPIO\_BRR**.

# Descrição funcional: Funções Alternativas

- É necessário programar o *Port Bit Configuration Register* antes de utilizar alguma FA.
- Para FAs de entrada, as portas devem ser configuradas como FAs de entrada (flutuante, PU ou PD) e os pinos alimentados externamente.
- Para FAs de saída, as portas devem ser configuradas como FAs de saídas (PP / OD).
- Para FAs bidirecionais, as portas devem ser configuradas como FAs de saídas (PP / OD). Neste caso o driver de entrada é configurado como Entrada Flutuante.

# Descrição funcional: Funções Alternativas

- SE um pino é configurado como FA de saída, o Registrador de Saída (ODR) é desconectado do pino e o sinal de saída do periférico presente no chip é conectado a ele.
- Se o software configura um pino como FA, e o periférico não está ativado, a saída no pino é indeterminada.

# Descrição funcional: Remapeamento

- Para otimizar o número de periféricos de funções I/O para diferentes encapsulamentos, é possível remapear algumas FAs para outros pinos.
- Via software basta programar os registradores AFIO. Uma vez mapeado, a função não existirá mais no pino original.

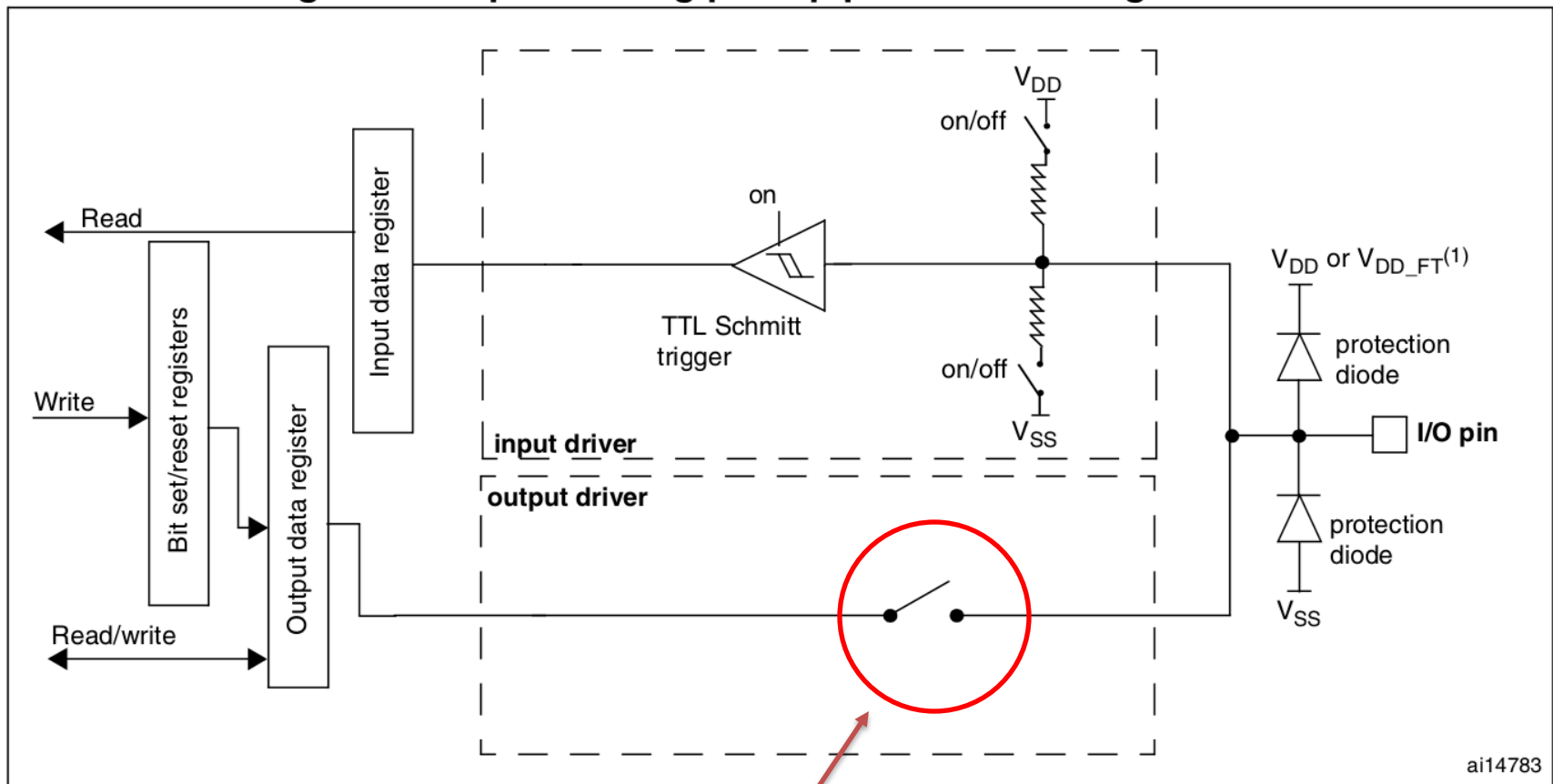
# Descrição funcional: Locking

- O mecanismo de travamento permite que as configurações do I/O sejam congeladas.
- Quando a sequência de LOCK é aplicada a um pino, não será mais possível modificar o valor até o próximo reset.

# Descrição funcional: Config. como entrada

- Quando uma porta I/O é programada como ENTRADA:
  - Os buffers de saída são desativados;
  - O ST de entrada está ativado;
  - Os resistores de weakup PU/PD são ativados ou não dependendo da configuração;
  - O dado presente no pino de I/O é amostrado e colocado no IDR a cada ciclo de clock APB2;
  - Um acesso de leitura ao IDR obtém o estado do pino.

# Descrição funcional: Config. como entrada



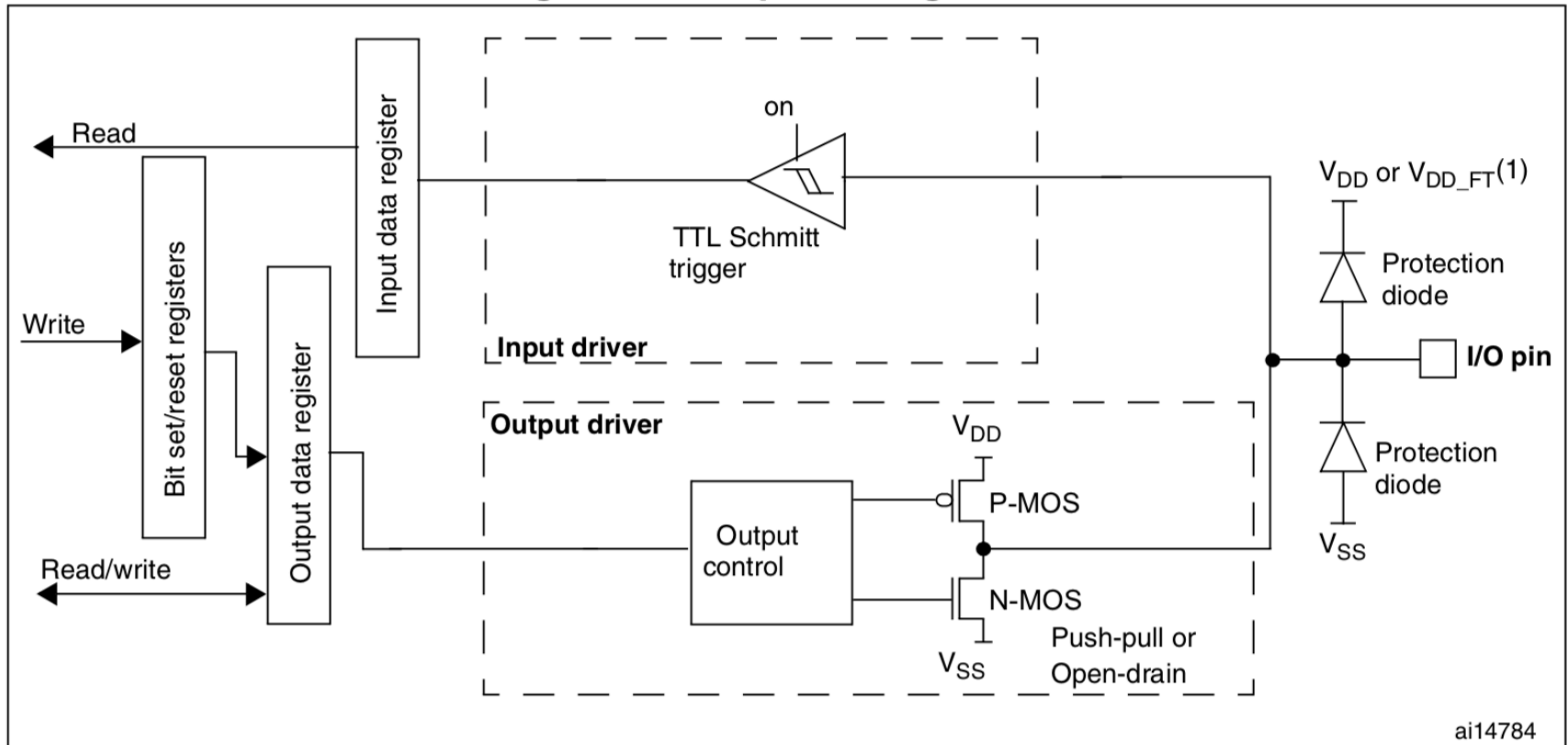
1.  $V_{DD\_FT}$  is a potential specific to 5-Volt tolerant I/Os, and different from  $V_{DD}$ .

# Descrição funcional: Config. como saída

- Quando uma porta I/O é programada como SAÍDA:
  - O buffer de saída é ativado;
  - Modo Open Drain (OD): um ZERO no registrador de saída ativa a chave NMOS enquanto que UM no registrador de saída leva a porta a alta-impedância (Hi-Z);
  - Modo Push-Pull: um ZERO no registrador de saída ativa a chave NMOS enquanto que UM no registrador de saída ativa a chave PMOS;
  - O ST de entrada está ativado;
  - Os resistores PU/PD de weakup estão desativados;
  - O dado presentes nos pinos I/O é amostrado no IDR a cada ciclo de clock APB2.
  - Uma leitura de IDR pega o estado da I/O no modo Open-Drain.
  - Uma leitura de ODR pega o último valor escrito no modo Push-Pull



# Descrição funcional: Config. como saída



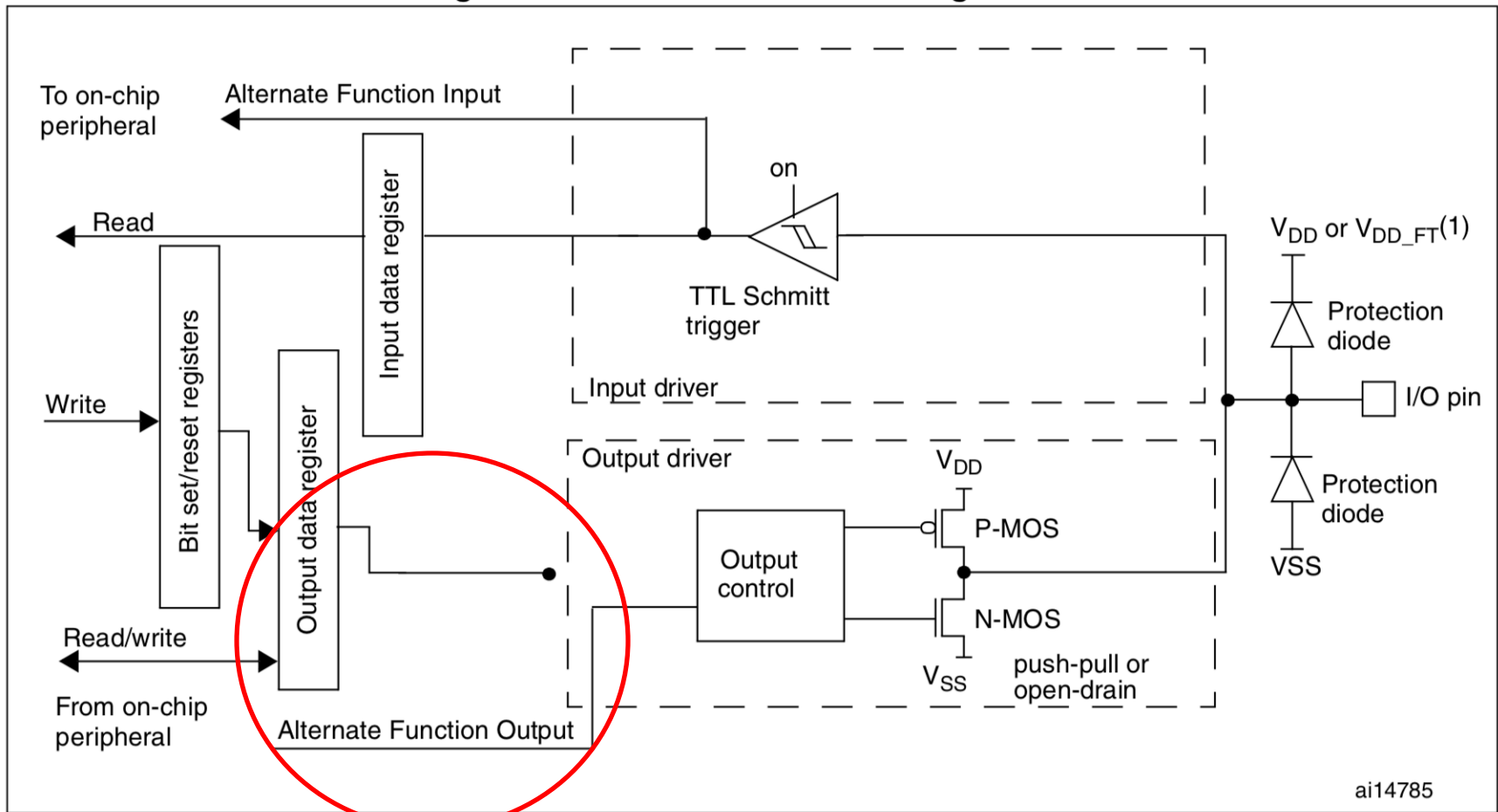
1.  $V_{DD\_FT}$  is a potential specific to 5-Volt tolerant I/Os, and different from  $V_{DD}$ .

- *Note que a entrada permanece ativa mesmo quando a porta é colocada como saída.*

# Descrição funcional: Config. como FA

- Quando um pino I/O é programado como FA:
  - O buffer de saída é ligado em OD ou PP;
  - *O buffer de saída é controlado pelo sinal proveniente do periférico da FA;*
  - O ST de entrada está ativado;
  - Os resistores PU/PD de weakup estão desativados;
  - O dado presentes nos pinos I/O é amostrado no IDR a cada ciclo de clock APB2;
  - Uma leitura de IDR pega o estado da I/O no modo Open-Drain;
  - Uma leitura de ODR pega o último valor escrito no modo Push-Pull.

# Descrição funcional: Config. como FA

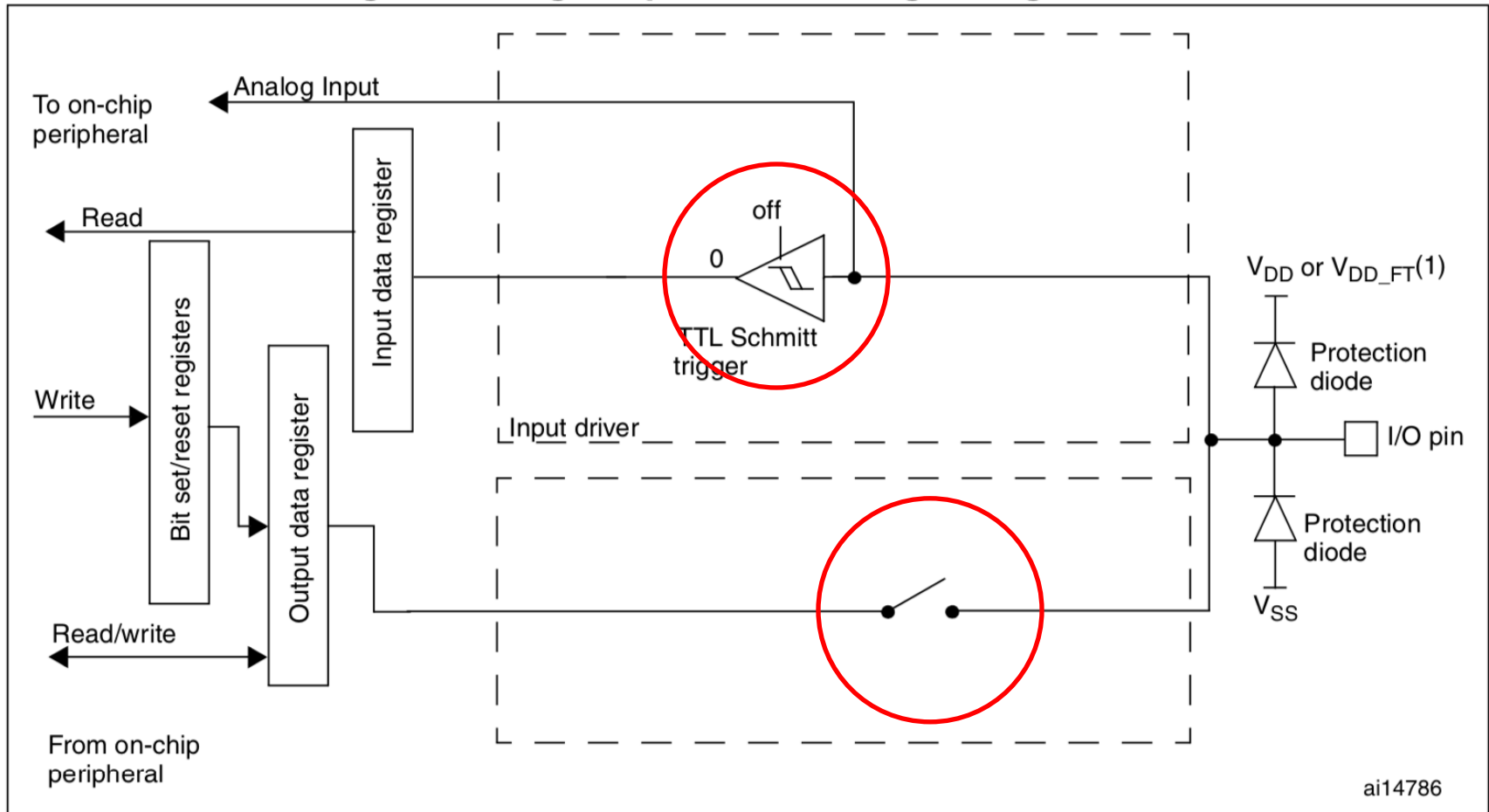


1.  $V_{DD\_FT}$  is a potential specific to 5-Volt tolerant I/Os, and different from  $V_{DD}$ .

# Descrição funcional: Config. como Analógico

- Quando um pino de I/O é programado como Analógico:
  - O buffer de saída é desligado;
  - O ST de entrada é desativado consumindo zero corrente do valor analógico no pino de I/O. A saída do ST fica com valor constante (zero);
  - Os resistores PU/PD de weakup estão desativados;
  - Acessos de leitura em IDR retornam sempre zero.

# Descrição funcional: Config. como Analógico



# Configurações para dispositivos periféricos

- Nem todo dispositivo ou periférico necessita que se ligue a FA de um pino I/O:

TIM1/8 pinout	Configuration	GPIO configuration
TIM1/8_CHx	Input capture channel x	Input floating
	Output compare channel x	Alternate function push-pull
TIM1/8_CHxN	Complementary output channel x	Alternate function push-pull
TIM1/8_BKIN	Break input	Input floating
TIM1/8_ETR	External trigger timer input	Input floating

TIM2/3/4/5 pinout	Configuration	GPIO configuration
TIM2/3/4/5_CHx	Input capture channel x	Input floating
	Output compare channel x	Alternate function push-pull
TIM2/3/4/5_ETR	External trigger timer input	Input floating

# Configurações para dispositivos periféricos

USART pinout	Configuration	GPIO configuration
USARTx_TX <sup>(1)</sup>	Full duplex	Alternate function push-pull
	Half duplex synchronous mode	Alternate function push-pull

USART pinout	Configuration	GPIO configuration
USARTx_RX	Full duplex	Input floating / Input pull-up
	Half duplex synchronous mode	Not used. Can be used as a general IO
USARTx_CK	Synchronous mode	Alternate function push-pull
USARTx_RTS	Hardware flow control	Alternate function push-pull
USARTx_CTS	Hardware flow control	Input floating/ Input pull-up

1. The USART\_TX pin can also be configured as alternate function open drain.

# Configurações para dispositivos periféricos

I2S pinout	Configuration	GPIO configuration
I2Sx_WS	Master	Alternate function push-pull
	Slave	Input floating
I2Sx_CK	Master	Alternate function push-pull
	Slave	Input floating
I2Sx_SD	Transmitter	Alternate function push-pull
	Receiver	Input floating/ Input pull-up/ Input pull-down

I2S pinout	Configuration	GPIO configuration
I2Sx_MCK	Master	Alternate function push-pull
	Slave	Not used. Can be used as a GPIO



SPI pinout	Configuration	GPIO configuration
SPIx_SCK	Master	Alternate function push-pull
	Slave	Input floating
SPIx_MOSI	Full duplex / master	Alternate function push-pull
	Full duplex / slave	Input floating / Input pull-up
	Simplex bidirectional data wire / master	Alternate function push-pull
	Simplex bidirectional data wire/ slave	Not used. Can be used as a GPIO
SPIx_MISO	Full duplex / master	Input floating / Input pull-up
	Full duplex / slave (point to point)	Alternate function push-pull
	Full duplex / slave (multi-slave)	Alternate function open drain
	Simplex bidirectional data wire / master	Not used. Can be used as a GPIO
	Simplex bidirectional data wire/ slave (point to point)	Alternate function push-pull
	Simplex bidirectional data wire/ slave (multi-slave)	Alternate function open drain
SPIx_NSS	Hardware master /slave	Input floating/ Input pull-up / Input pull-down
	Hardware master/ NSS output enabled	Alternate function push-pull
	Software	Not used. Can be used as a GPIO

I2C pinout	Configuration	GPIO configuration
I2Cx_SCL	I2C clock	Alternate function open drain
I2Cx_SDA	I2C Data I/O	Alternate function open drain

BxCAN pinout	GPIO configuration
CAN_TX (Transmit data line)	Alternate function push-pull
CAN_RX (Receive data line)	Input floating / Input pull-up

ADC/DAC pin	GPIO configuration
ADC/DAC	Analog

Pins	Alternate function	GPIO configuration
TAMPER-RTC pin	RTC output	Forced by hardware when configuring the BKP_CR and BKP_RTCCR registers
	Tamper event input	
MCO	Clock output	Alternate function push-pull
EXTI input lines	External input interrupts	Input floating / input pull-up / input pull-down

# Registadores da GPIOx

- Os registradores da GPIO são acessíveis somente em 32 bits. Na família STM32F10X podem existir GPIO de A a G.
- Cada GPIO pode ter até 16 pinos de I/O.
- Importante se atentar aos valores de reset de cada registrador que contra a GPIOx.
- Cada GPIO possui 7 (sete) registradores diretos. Vejamos cada um deles a seguir.

# GPIOx\_CRL (Control Reg Low) / offset 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF7[1:0]		MODE7[1:0]		CNF6[1:0]		MODE6[1:0]		CNF5[1:0]		MODE5[1:0]		CNF4[1:0]		MODE4[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF3[1:0]		MODE3[1:0]		CNF2[1:0]		MODE2[1:0]		CNF1[1:0]		MODE1[1:0]		CNF0[1:0]		MODE0[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 31:30, 27:26, **CNFy[1:0]**: Port x configuration bits (y= 0 .. 7)  
23:22, 19:18, 15:14, 11:10, 7:6, 3:2  
These bits are written by software to configure the corresponding I/O port.  
Refer to [Table 20: Port bit configuration table](#).

**In input mode (MODE[1:0]=00):**

- 00: Analog mode
- 01: Floating input (reset state)
- 10: Input with pull-up / pull-down
- 11: Reserved

**In output mode (MODE[1:0] > 00):**

- 00: General purpose output push-pull
- 01: General purpose output Open-drain
- 10: Alternate function output Push-pull
- 11: Alternate function output Open-drain

Bits 29:28, 25:24, **MODEy[1:0]**: Port x mode bits (y= 0 .. 7)  
21:20, 17:16, 13:12, 9:8, 5:4, 1:0  
These bits are written by software to configure the corresponding I/O port.  
Refer to [Table 20: Port bit configuration table](#).

- 00: Input mode (reset state)
- 01: Output mode, max speed 10 MHz.
- 10: Output mode, max speed 2 MHz.
- 11: Output mode, max speed 50 MHz.

## Reset 0x44444444

# GPIOx\_CRH (Control Reg High) / offset 0x04

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF15[1:0]		MODE15[1:0]		CNF14[1:0]		MODE14[1:0]		CNF13[1:0]		MODE13[1:0]		CNF12[1:0]		MODE12[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF11[1:0]		MODE11[1:0]		CNF10[1:0]		MODE10[1:0]		CNF9[1:0]		MODE9[1:0]		CNF8[1:0]		MODE8[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 31:30, 27:26, 23:22, 19:18, 15:14, 11:10, 7:6, 3:2 **CNFy[1:0]:** Port x configuration bits (y= 8 .. 15)  
These bits are written by software to configure the corresponding I/O port.  
Refer to [Table 20: Port bit configuration table](#).

**In input mode (MODE[1:0]=00):**

- 00: Analog mode
- 01: Floating input (reset state)
- 10: Input with pull-up / pull-down
- 11: Reserved

**In output mode (MODE[1:0] > 00):**

- 00: General purpose output push-pull
- 01: General purpose output Open-drain
- 10: Alternate function output Push-pull
- 11: Alternate function output Open-drain

Bits 29:28, 25:24, 21:20, 17:16, 13:12, 9:8, 5:4, 1:0 **MODEy[1:0]:** Port x mode bits (y= 8 .. 15)  
These bits are written by software to configure the corresponding I/O port.  
Refer to [Table 20: Port bit configuration table](#).

- 00: Input mode (reset state)
- 01: Output mode, max speed 10 MHz.
- 10: Output mode, max speed 2 MHz.
- 11: Output mode, max speed 50 MHz.

**Reset 0x44444444**

# GPIOx\_IDR (Input Data Reg) / offset 0x08

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR15	IDR14	IDR13	IDR12	IDR11	IDR10	IDR9	IDR8	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bits 31:16    Reserved, must be kept at reset value.

Bits 15:0 **IDRy**: Port input data (y= 0 .. 15)

These bits are read only and can be accessed in Word mode only. They contain the input value of the corresponding I/O port.

## Reset 0x0000XXXX

# GPIOx\_ODR (Output Data Reg) / offset 0x0C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODR15	ODR14	ODR13	ODR12	ODR11	ODR10	ODR9	ODR8	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 31:16     Reserved, must be kept at reset value.

Bits 15:0   **ODRy**: Port output data (y= 0 .. 15)

These bits can be read and written by software and can be accessed in Word mode only.

*Note: For atomic bit set/reset, the ODR bits can be individually set and cleared by writing to the GPIOx\_BSRR register (x = A .. G).*

**Reset 0x00000000**

# GPIOx\_BSRR (Bit Set/Res Reg) / offset 0x10

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bits 31:16 **BRy**: Port x Reset *bit y* ( $y = 0 \dots 15$ )

These bits are write-only and can be accessed in Word mode only.

0: No action on the corresponding ODRx bit

1: Reset the corresponding ODRx bit

*Note: If both BSx and BRx are set, BSx has priority.*

Bits 15:0 **BSy**: Port x Set *bit y* ( $y = 0 \dots 15$ )

These bits are write-only and can be accessed in Word mode only.

0: No action on the corresponding ODRx bit

1: Set the corresponding ODRx bit

## Reset 0x00000000



# GPIOx\_BRR (Bit Reset Reg) / offset 0x14

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Reserved

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bits 31:16 Reserved

Bits 15:0 **BRy**: Port x Reset bit y (y= 0 .. 15)

These bits are write-only and can be accessed in Word mode only.

0: No action on the corresponding ODRx bit

1: Reset the corresponding ODRx bit

## Reset 0x00000000

# **GPIOx\_LCKR (Locking Reg) / offset 0x18**

## **reset 0x00000000**

- Este registrador é utilizado para bloquear a configuração dos pinos de I/O quando uma sequência correta é aplicada ao bit 16 (LCKK). Durante a execução da sequência, os bits 15:0 não podem mudar.
- Após o travamento não é possível destravar até o próximo reset ocorrer.
- Cada bit de GPIOx\_LCKR corresponde ao congelamento de 4 bits dos registradores GPIOx\_CRL / GPIOx\_CRH.

# GPIOx\_LCKR (Locking Reg) / offset 0x18

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															LCKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 31:17    Reserved

Bit 16 **LCKK[16]**: Lock key

This bit can be read anytime. It can only be modified using the Lock Key Writing Sequence.

0: Port configuration lock key not active

1: Port configuration lock key active. GPIOx\_LCKR register is locked until the next reset.

LOCK key writing sequence:

Write 1

Write 0

Write 1

Read 0

Read 1 (this read is optional but confirms that the lock is active)

*Note: During the LOCK Key Writing sequence, the value of LCK[15:0] must not change.*

Any error in the lock sequence will abort the lock.

Bits 15:0 **LCKy**: Port x Lock bit y (y= 0 .. 15)

These bits are read write but can only be written when the LCKK bit is 0.

0: Port configuration not locked

1: Port configuration locked.



# Mapa de Memória: onde estão as GPIOs ?

Boundary address	Peripheral	Bus
0xA000 0000 - 0xA000 0FFF	FSMC	AHB
0x5000 0000 - 0x5003 FFFF	USB OTG FS	
0x4003 0000 - 0x4FFF FFFF	Reserved	
0x4002 8000 - 0x4002 9FFF	Ethernet	
0x4002 3400 - 0x4002 7FFF	Reserved	
0x4002 3000 - 0x4002 33FF	CRC	
0x4002 2000 - 0x4002 23FF	Flash memory interface	
0x4002 1400 - 0x4002 1FFF	Reserved	
0x4002 1000 - 0x4002 13FF	Reset and clock control RCC	
0x4002 0800 - 0x4002 0FFF	Reserved	
0x4002 0400 - 0x4002 07FF	DMA2	
0x4002 0000 - 0x4002 03FF	DMA1	
0x4001 8400 - 0x4001 FFFF	Reserved	
0x4001 8000 - 0x4001 83FF	SDIO	

Boundary address	Peripheral	Bus
0x4001 5800 - 0x4001 7FFF	Reserved	APB2
0x4001 5400 - 0x4001 57FF	TIM11 timer	
0x4001 5000 - 0x4001 53FF	TIM10 timer	
0x4001 4C00 - 0x4001 4FFF	TIM9 timer	
0x4001 4000 - 0x4001 4BFF	Reserved	
0x4001 3C00 - 0x4001 3FFF	ADC3	
0x4001 3800 - 0x4001 3BFF	USART1	
0x4001 3400 - 0x4001 37FF	TIM8 timer	
0x4001 3000 - 0x4001 33FF	SPI1	
0x4001 2C00 - 0x4001 2FFF	TIM1 timer	
0x4001 2800 - 0x4001 2BFF	ADC2	
0x4001 2400 - 0x4001 27FF	ADC1	
0x4001 2000 - 0x4001 23FF	GPIO Port G	
0x4001 1C00 - 0x4001 1FFF	GPIO Port F	
0x4001 1800 - 0x4001 1BFF	GPIO Port E	
0x4001 1400 - 0x4001 17FF	GPIO Port D	
0x4001 1000 - 0x4001 13FF	GPIO Port C	
0x4001 0C00 - 0x4001 0FFF	GPIO Port B	
0x4001 0800 - 0x4001 0BFF	GPIO Port A	
0x4001 0400 - 0x4001 07FF	EXTI	
0x4001 0000 - 0x4001 03FF	AFIO	

Boundary address	Peripheral	Bus
0x4000 7800 - 0x4000 FFFF	Reserved	APB1
0x4000 7400 - 0x4000 77FF	DAC	
0x4000 7000 - 0x4000 73FF	Power control PWR	
0x4000 6C00 - 0x4000 6FFF	Backup registers (BKP)	
0x4000 6400 - 0x4000 67FF	bxCAN1	
0x4000 6800 - 0x4000 6BFF	bxCAN2	
0x4000 6000 <sup>(1)</sup> - 0x4000 63FF	Shared USB/CAN SRAM 512 bytes	
0x4000 5C00 - 0x4000 5FFF	USB device FS registers	
0x4000 5800 - 0x4000 5BFF	I2C2	
0x4000 5400 - 0x4000 57FF	I2C1	
0x4000 5000 - 0x4000 53FF	UART5	
0x4000 4C00 - 0x4000 4FFF	UART4	
0x4000 4800 - 0x4000 4BFF	USART3	
0x4000 4400 - 0x4000 47FF	USART2	
0x4000 4000 - 0x4000 43FF	Reserved	
0x4000 3C00 - 0x4000 3FFF	SPI3/I2S	
0x4000 3800 - 0x4000 3BFF	SPI2/I2S	
0x4000 3400 - 0x4000 37FF	Reserved	
0x4000 3000 - 0x4000 33FF	Independent watchdog (IWDG)	
0x4000 2C00 - 0x4000 2FFF	Window watchdog (WWDG)	
0x4000 2800 - 0x4000 2BFF	RTC	
0x4000 2400 - 0x4000 27FF	Reserved	
0x4000 2000 - 0x4000 23FF	TIM14 timer	
0x4000 1C00 - 0x4000 1FFF	TIM13 timer	
0x4000 1800 - 0x4000 1BFF	TIM12 timer	
0x4000 1400 - 0x4000 17FF	TIM7 timer	
0x4000 1000 - 0x4000 13FF	TIM6 timer	
0x4000 0C00 - 0x4000 0FFF	TIM5 timer	
0x4000 0800 - 0x4000 0BFF	TIM4 timer	
0x4000 0400 - 0x4000 07FF	TIM3 timer	
0x4000 0000 - 0x4000 03FF	TIM2 timer	

# Mapa de Memória: onde estão as GPIOs ?

0x4001 2000 - 0x4001 23FF	GPIO Port G
0x4001 1C00 - 0x4001 1FFF	GPIO Port F
0x4001 1800 - 0x4001 1BFF	GPIO Port E
0x4001 1400 - 0x4001 17FF	GPIO Port D
0x4001 1000 - 0x4001 13FF	GPIO Port C
0x4001 0C00 - 0x4001 0FFF	GPIO Port B
0x4001 0800 - 0x4001 0BFF	GPIO Port A