

فهرست

مقدمه مدار منطقی	۲
آزمایش شماره ۱	۷
آزمایش شماره ۲	۸
آزمایش شماره ۳	۱۰
آزمایش شماره ۴	۱۱
آزمایش شماره ۵	۱۴
آزمایش شماره ۶	۱۸
آزمایش شماره ۷	۱۹
آزمایش شماره ۸	۲۱
آزمایش شماره ۹	۲۵
آزمایش شماره ۱۰	۲۸
آزمایش شماره ۱۱	۲۹
آزمایش شماره ۱۲	۳۱
آزمایش شماره ۱۳	۳۳
مطالب تکمیلی	۳۶

📖 آلبرت انیشتین : هیچ کاری برای انسان سخت‌تر از فکر کردن نیست.

📖 اصل چهارم بیل گیتس: اگر فکر می‌کنید، آموزگارتان سختگیر است، سخت در اشتباه هستید. پس از استخدام شدن متوجه خواهید شد که رئیس شما خیلی سختگیرتر از آموزگارتان است، چون امنیت شغلی آموزگارتان را ندارد!

پیش از انجام آزمایش لازم است که با مفاهیم زیر به خوبی آشنا باشید :

۱- میناء ها

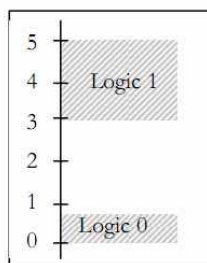
ده دهی	دودویی	هشتایی	شانزده تایی
00	0000	00	0
01	0001	01	1
02	0010	02	2
03	0011	03	3
04	0100	04	4
05	0101	05	5
06	0110	06	6
07	0111	07	7
08	1000	10	8
09	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F
16	10000	20	10
17	10001	21	11
18	10010	22	12
19	10011	23	13
20	10100	24	14
21	10101	25	15
22	10110	26	16
23	10111	27	17
24	11000	30	18
25	11001	31	19
26	11010	32	1A
27	11011	33	1B
28	11100	34	1C
29	11101	35	1D
30	11110	36	1E
31	11111	37	1F

۲- محاسبات دودویی

A+B	نقلی	جمع
0+0	0	0
0+1	0	1
1+0	0	1
1+1	1	0

۳- کدهای دیجیتال

۴- سطوح دیجیتال صفر و یک منطقی



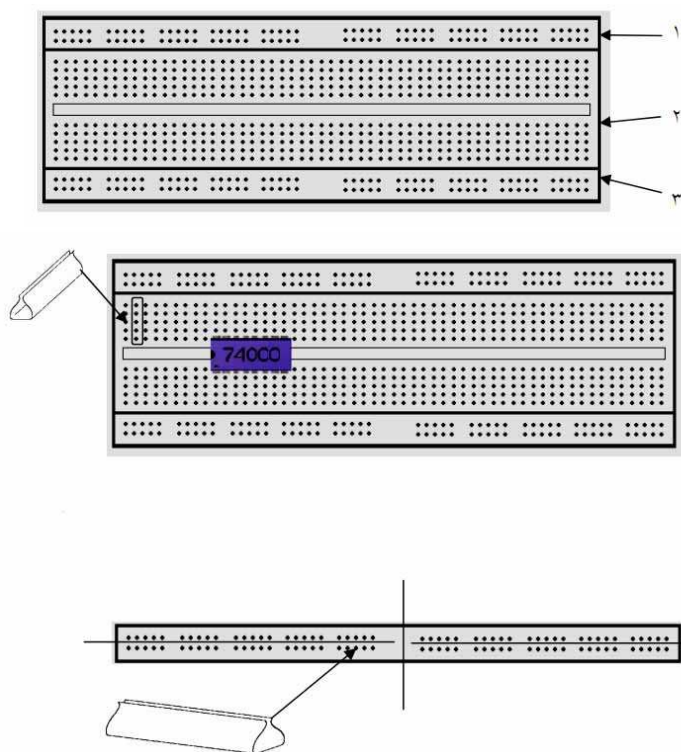
۵- شکل موج های دیجیتال

موج مربعی و پالس









تفاوت سطح و لبه

۶- آشنایی با قطعات الکترونیک

مقاومت ، خازن ، سلف ، دیود ، ترانزیستور ، LED ، ۷-SEGMENT ، برد بور



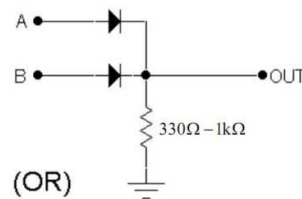
۷- آشنایی با گیت های منطقی

نماد مورد استفاده در جبر بول	جدول سحت	سمبل منطقی															
$Y = A$	<table><tr><th>A</th><th>Y</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	A	Y	0	0	1	1										
A	Y																
0	0																
1	1																
$Y = \bar{A}$	<table><tr><th>A</th><th>Y</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	A	Y	0	1	1	0										
A	Y																
0	1																
1	0																
$Y = A \cdot B$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1	
A	B	Y															
0	0	0															
0	1	0															
1	0	0															
1	1	1															
$Y = \bar{A} \cdot B$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Y	0	0	1	0	1	1	1	0	1	1	1	0	
A	B	Y															
0	0	1															
0	1	1															
1	0	1															
1	1	0															
$Y = A + B$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	1	
A	B	Y															
0	0	0															
0	1	1															
1	0	1															
1	1	1															
$Y = \bar{A} + \bar{B}$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	0	
A	B	Y															
0	0	1															
0	1	0															
1	0	0															
1	1	0															
$Y = A \oplus B$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	0	
A	B	Y															
0	0	0															
0	1	1															
1	0	1															
1	1	0															
$Y = \bar{A} \oplus \bar{B}$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	1	
A	B	Y															
0	0	1															
0	1	0															
1	0	0															
1	1	1															

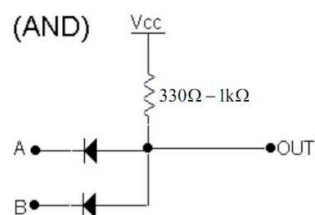
۸- آشنایی با مدارهای داخلی گیت های دیجیتال

۷ آزمایش های زیر را انجام و نتایج را ثبت کنید :

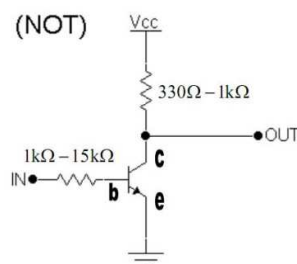
A	B	OUT
0	0	
0	1	
1	0	
1	1	



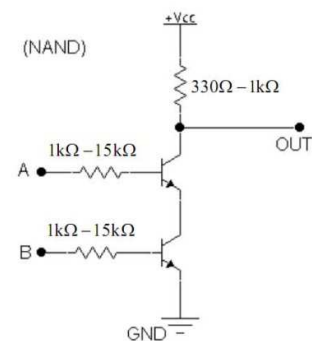
A	B	OUT
0	0	
0	1	
1	0	
1	1	



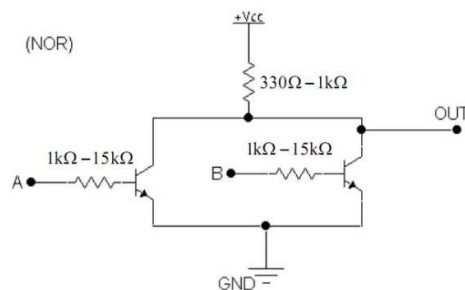
IN	OUT
0	
1	



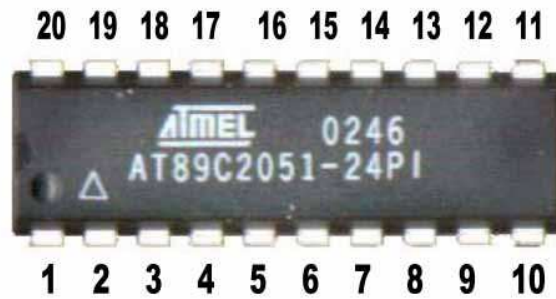
A	B	OUT
0	0	
0	1	
1	0	
1	1	



A	B	OUT
0	0	
0	1	
1	0	
1	1	



۹- تعریف آی سی



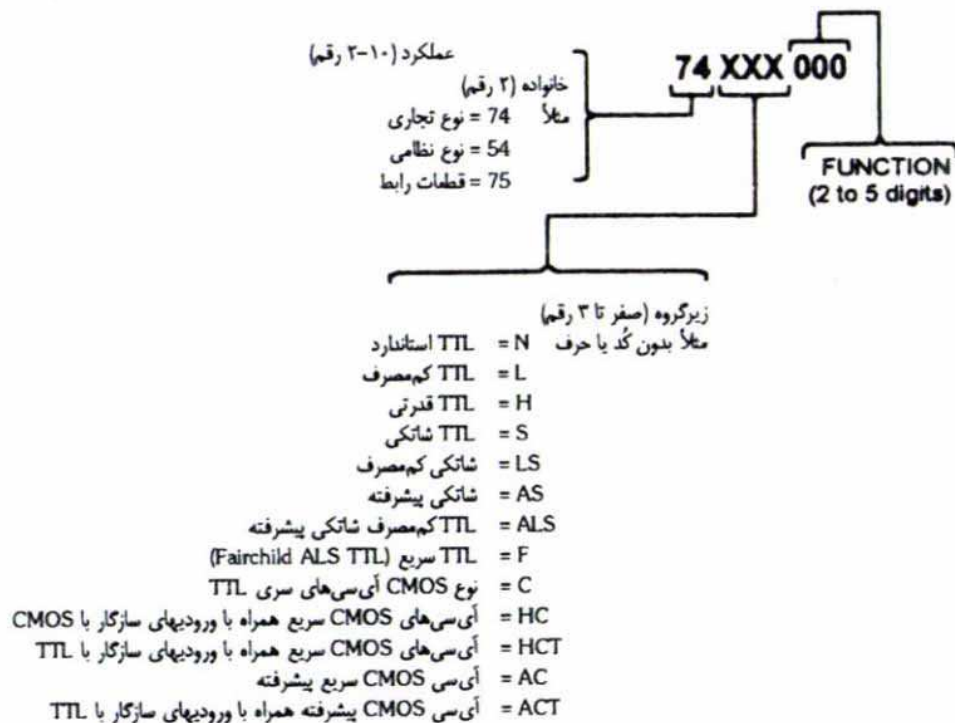
۱۰- انواع آی سی های دیجیتال از نظر تراکم

SSI	Small Scale Integration
MSI	Medium Scale Integration
LSI	Large Scale Integration
VLSI	Very Large Scale Integration
SLSI	Super Large Scale Integration
ULSI	Ultra Large Scale Integration

۱۱- منابع تغذیه و ولتاژ تغذیه آی سی ها

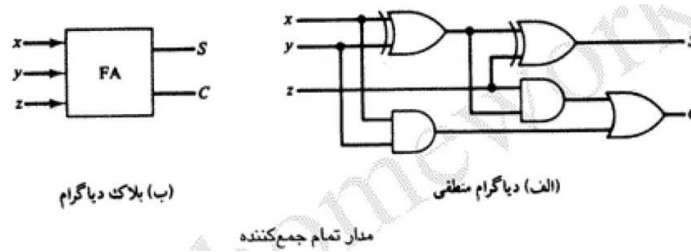
۱۲- ACTIVE LOW & ACTIVE HIGH

۱۳- شناسایی پایه های آی سی های دیجیتال

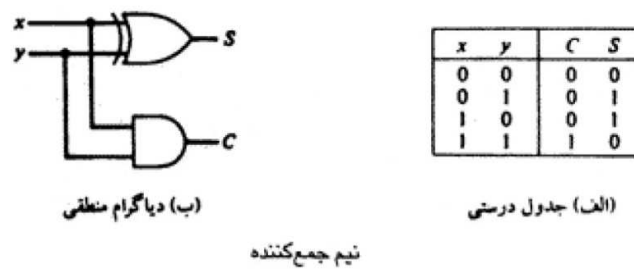


& دانشجوی گرامی جدول زیر را در هر جلسه به همراه داشته باشید این جدول ارزیابی شما در تمرینات می باشد .

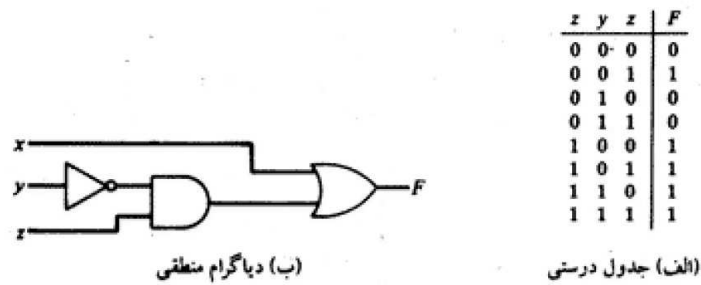
ردیف	موضوع تمرین	شماره صفحه	ملاحظه
۱			
۲			
۳			
۴			
۵			
۶			
۷			
۸			
۹			
۱۰			
۱۱			
۱۲			
۱۳			
۱۴			
۱۵			
۱۶			
۱۷			
۱۸			
۱۹			
۲۰			
۲۱			
۲۲			
۲۳			
۲۴			
۲۵			
۲۶			
۲۷			
۲۸			
۲۹			
۳۰			
۳۱			
۳۲			
۳۳			
۳۴			

آزمایش شماره ۱: مدار تمام جمع کننده **FULL ADDER**

& تمرین ۱: مدار نیم جمع کننده

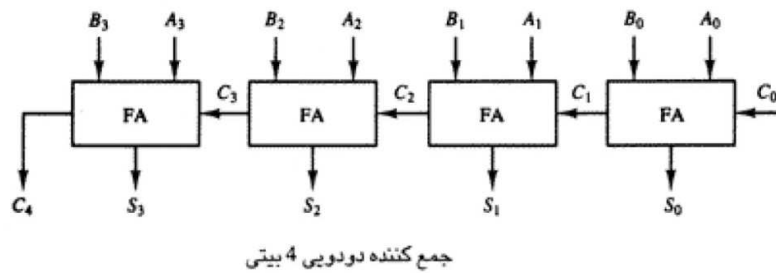


& تمرین ۲: مدار تابع رسم شده



جدول درستی و دیاگرام منطقی برای $F = x + y'z$.

آزمایش شماره ۲: مدار جمع کننده چهاربیتی

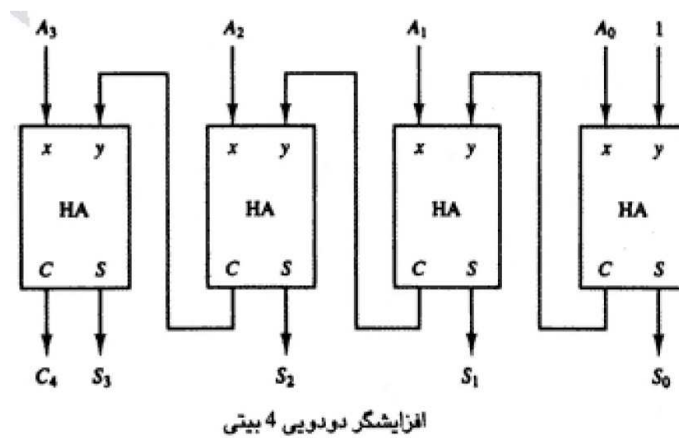


& تمرین ۱: آی سی ۷۴۸۲ شامل دو مدار تمام جمع کننده می باشد این آی سی را در شبیه ساز تست نمایید .

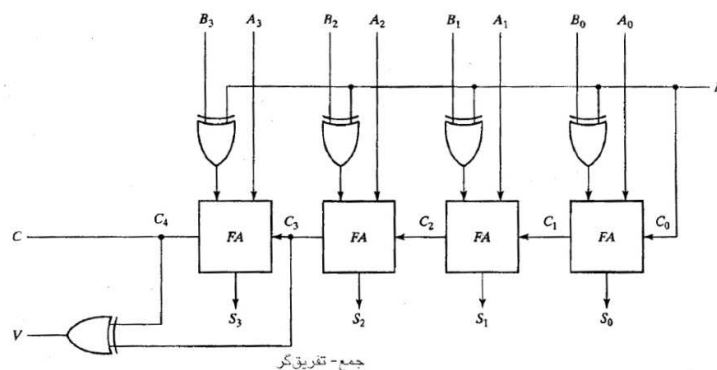
& تمرین ۲: با کمک آی سی ۷۴۸۲ یک جمع کننده ۴ بیتی طراحی و تست نمایید .

& تمرین ۳: با کمک آی سی ۷۴۸۲ یک جمع کننده ۸ بیتی و یک جمع کننده ۱۶ بیتی طراحی و تست نمایید .

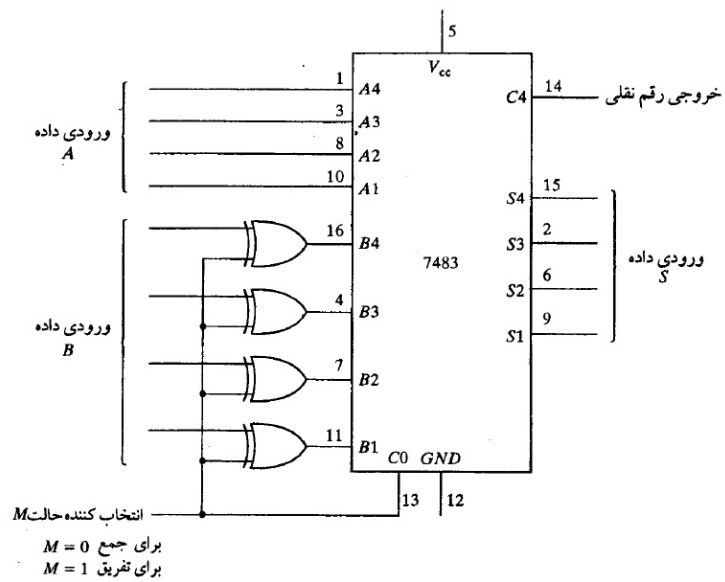
& تمرین ۴: مدار افزایشگر دودویی با کمک نیم جمع کننده ها



& تمرین ۵: مدار جمع کننده - تفریق گر به همراه پرچم های CF , OF , SF , ZF



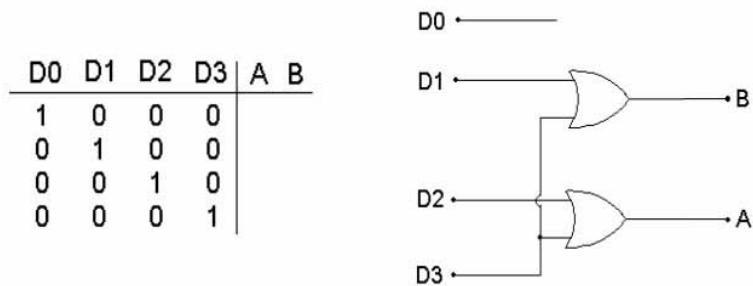
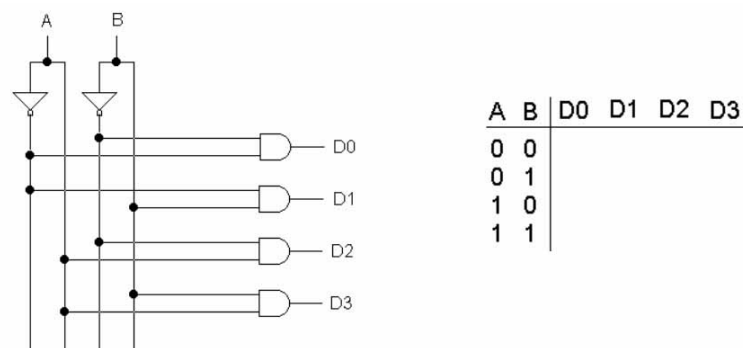
& تمرین ۶: مدار جمع کننده - تفریق گر به کمک آی سی ۷۴۸۳ (جمع کننده ۴ بیتی)



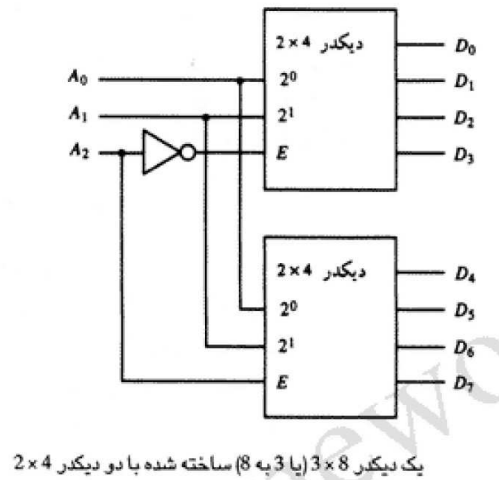
جمع کننده - تفریق گر چهار بیت

آزمایش شماره ۳: دیکدر و انکدر

۷ آزمایش های زیر را انجام و نتایج را ثبت کنید :



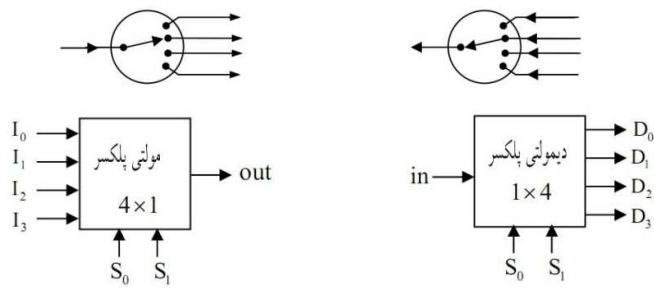
۷ به کمک دو دیکدر ۲×۴ یک دیکدر ۳×۸ طراحی کنید



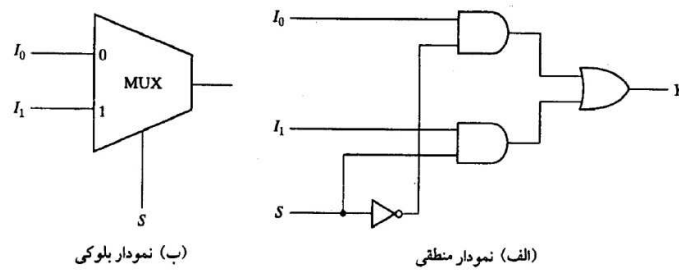
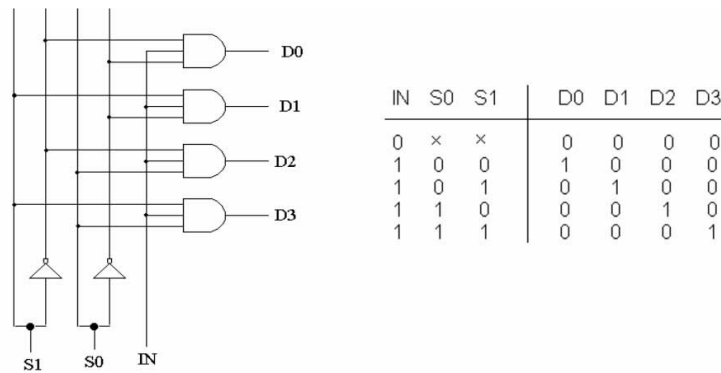
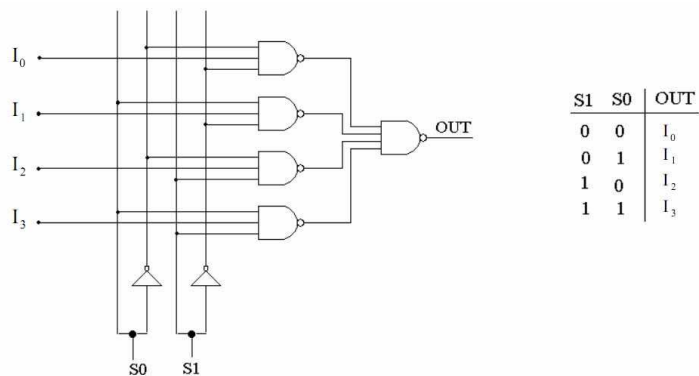
& تمرین ۱: ساخت دیکدر ۵ به ۳۲ با دیکدر های ۳ به ۸ و ورودی فعالساز و یک دیکدر ۲ به ۴ (دیکدر از عبارت ۲۴dec استفاده کنید .)

& تمرین ۲: آی سی ۷۴۱۳۹ را تست کنید .

آزمایش شماره ۴: مولتی پلکسر و دی مولتی پلکسر



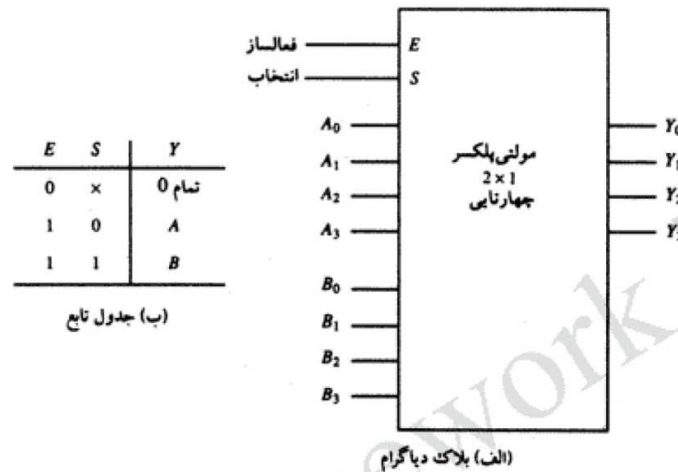
۷ آزمایش های زیر را انجام و نتایج را ثبت کنید :



مولتی پلکسر 2 به 1

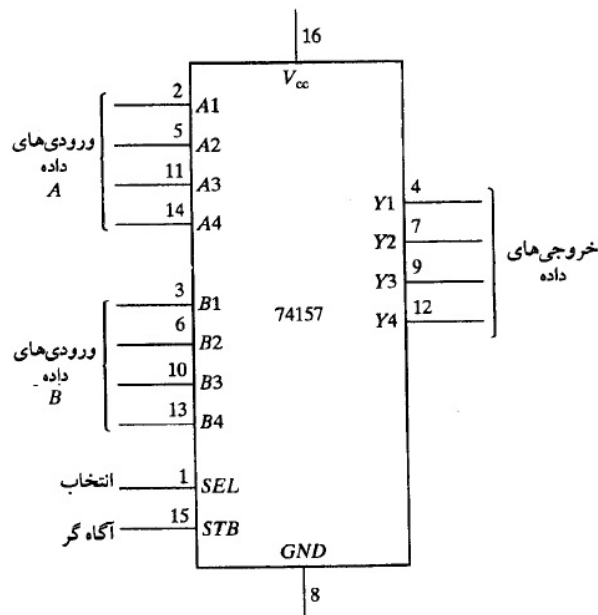
۷ آی سی ۷۴۱۵۳ را تست کنید .

& تمرین ۱ : به کمک ۴ مولتی پلکسر ۲×۱ یک مولتی پلکسر ۲×۱ چهار تایی طراحی و تست کنید .



مولتی پلکسر 2 به 1 چهار تایی

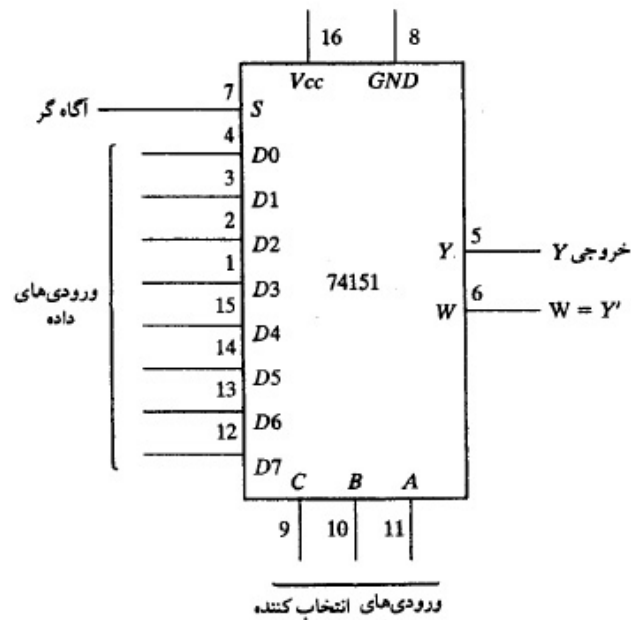
& تمرین ۲ : آی سی ۷۴۱۵۷ یک مولتی پلکسر ۲×۱ چهار تایی است آنرا تست کنید .



جدول تابع		
آگاه گر	انتخاب	خروجی های داده Y
1	X	تمام 0
0	0	انتخاب ورودی های داده A
0	1	انتخاب ورودی های داده B

آی سی مولتی پلکسر 2×1، 74157 چهار تایی

& تمرین ۳: تست آی سی ۷۴۱۵۱ (مولتی پلکسر ۸×۱)



جدول تابع

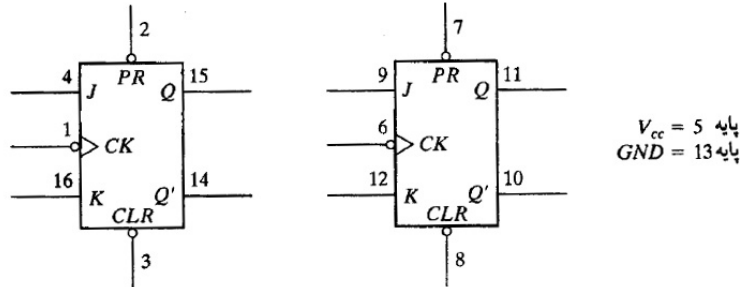
آگاه گر S	انتخاب			خروجی Y
	C	B	A	
1	X	X	X	0
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7

آی سی مولتی پلکسر ۸×۱، نوع 74151

& تمرین ۴: به کمک آی سی ۷۴۱۵۷ یک مولتی پلکسر ۴×۱ چهاربیتی طراحی کنید.

آزمایش شماره ۵: آشنایی با فلیپ فلاپها

۷ تست آی سی ۷۴۷۶ شامل دو عدد فلیپ فلاپ JK

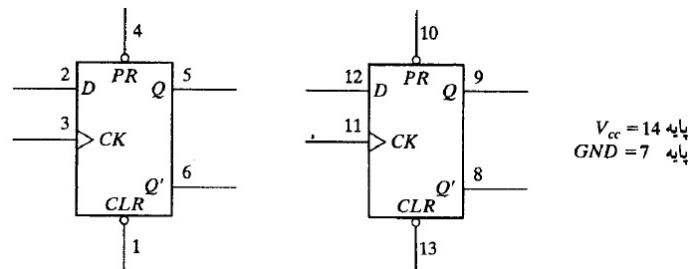


جدول تابع

ورودی‌ها					خروجی‌ها	
PR	CLR	CK	J	K	Q	Q'
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1	1
1	1	پالس	0	0	بالاتر	
1	1	پالس	0	1	0	1
1	1	پالس	1	0	1	0
1	1	پالس	1	1	متمم	

آی سی فلیپ فلاپ دوتایی تابع - متبوع JK نوع 7476

۷ تست آی سی ۷۴۷۴ شامل دو عدد فلیپ فلاپ D



جدول تابع

ورودی‌ها					خروجی‌ها	
PR	CLR	CK	D		Q	Q'
0	1	X	X		1	0
1	0	X	X		0	1
0	0	X	X		1	1
1	1	↑	0		0	1
1	1	↑	1		1	0
1	1	0	X		بالاتر	

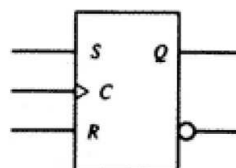
آی سی فلیپ فلاپ D حساس به نوع لبه مثبت

& تمرین ۱: فلیپ فلاپهای زیر را در نرم افزار تست نمایید و نتایج را ثبت کنید (برای فلیپ فلاپ D از عبارات latch و یا DFF استفاده کنید)

S	R	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	?

(ب) جدول مشخصه

فلیپ فلاپ SR

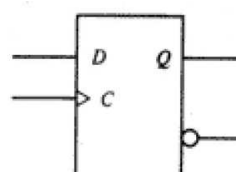


(الف) سمبل گرافیکی

D	$Q(t+1)$
0	0
1	1

(ب) جدول مشخصه

فلیپ فلاپ D

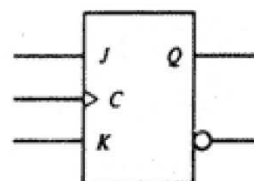


(الف) سمبل گرافیکی

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$Q'(t)$

(ب) جدول مشخصه

فلیپ فلاپ JK

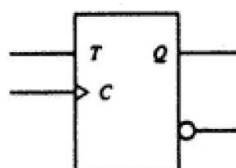


(الف) سمبل گرافیکی

T	$Q(t+1)$
0	$Q(t)$
1	$Q'(t)$

(ب) جدول مشخصه

فلیپ فلاپ T

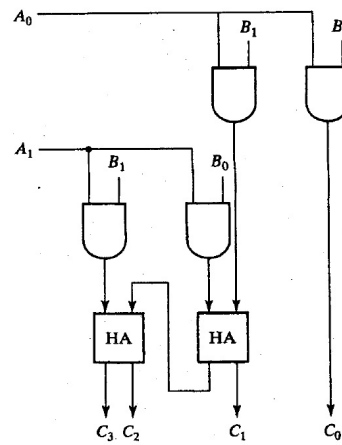


(الف) سمبل گرافیکی

& تمرین ۲: مدار ضرب کننده دوبیتی را تست و نتایج را ثبت کنید.

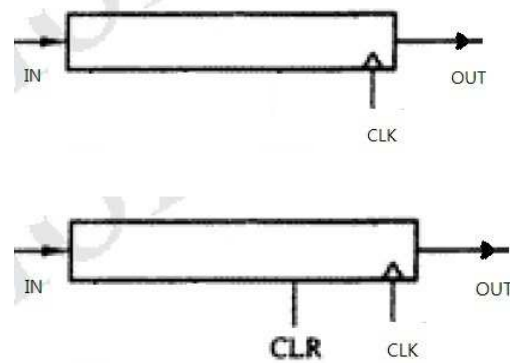
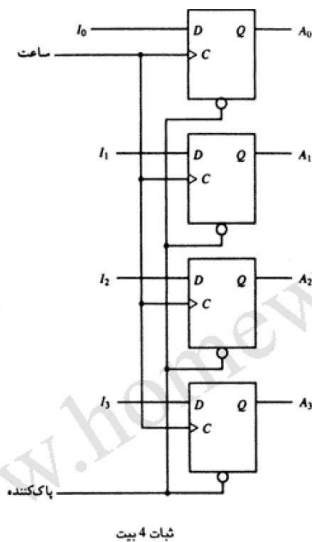
مضروب	B_1	B_0
مضروب فيه	A_1	A_0
	A_0B_1	A_0B_0
	A_1B_1	A_1B_0
	C_3	C_2
	C_1	C_0

ضرب دودویی 2 بیت در 2 بیت

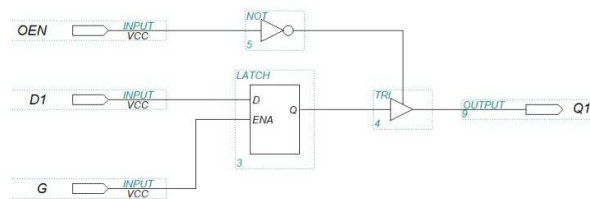
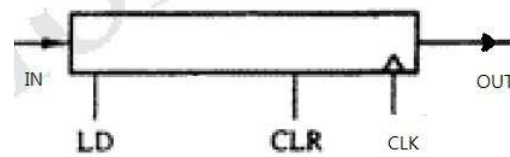
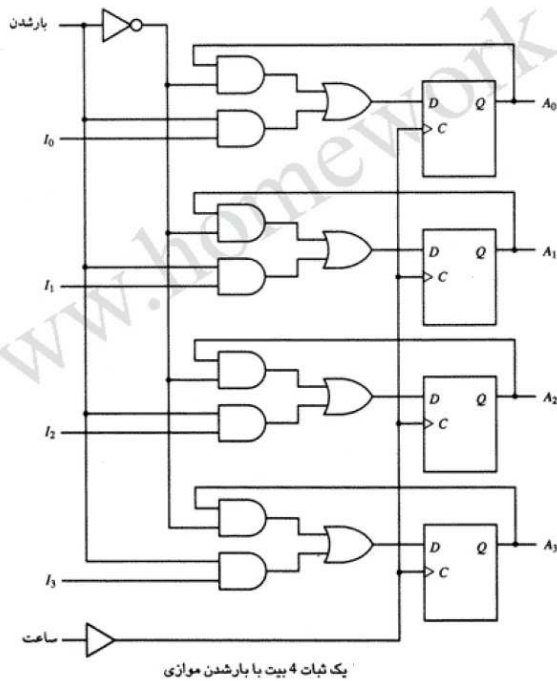


آزمایش شماره ۶: ثبات register

۷ ثبات ۴ بیتی زیر را یکبار بدون پایه پاک کننده و بار دیگر با پایه پاک کننده تست کنید .



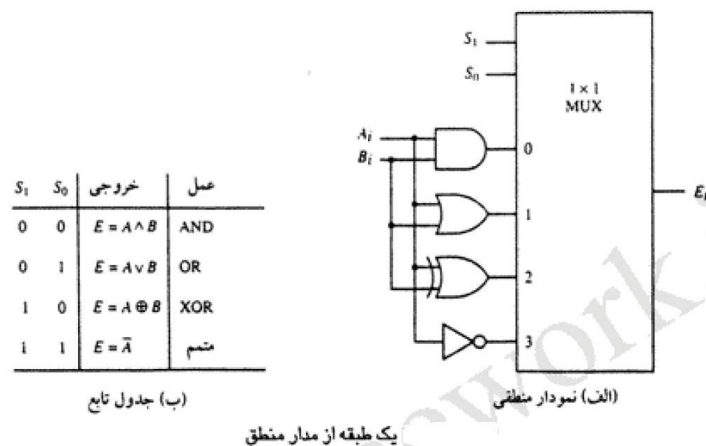
۷ ثبات ۴ بیتی زیر را تست کنید .



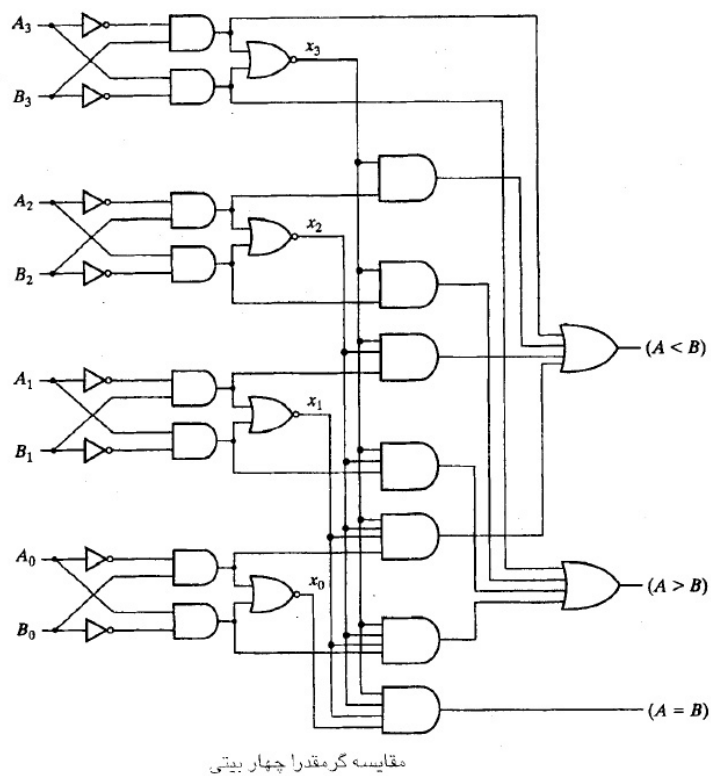
& تمرین ۱: آی سی های ۷۴۷۷ و ۷۴۷۵ ثباتهای ۴ بیتی هستند آنها را تست کنید . سعی کنید به کمک آنها ثباتهای ۸ بیتی و ۱۶ بیتی طراحی کنید .

& تمرین ۲: آی سی های ۷۴۳۷۳b و ۷۴۳۷۳b ثباتهای ۸ بیتی هستند آنها را تست کنید . سعی کنید به کمک آنها ثباتهای ۱۶ بیتی و ۳۲ بیتی طراحی کنید . قسمتی از مدار داخلی در شکل فوق دیده می شود .

آزمایش شماره ۷: مدار منطق



۷ مقایسه کننده ۴ بیتی با ۲ ثابت ۴ بیتی طراحی و تست نمایید.



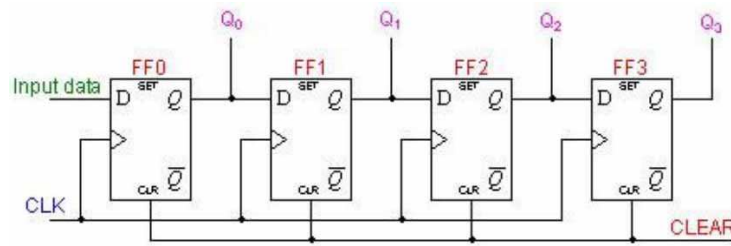
& تمرین ۱: مدار منطقی طراحی کنید که جدول زیر را تحقق بخشد.

S ₂	S ₁	S ₀	out
۰	۰	۰	AND
۰	۰	۱	OR
۰	۱	۰	XOR
۰	۱	۱	XNOR
۱	۰	۰	NAND
۱	۰	۱	NOR
۱	۱	۰	NOT A
۱	۱	۱	BUFFER

& تمرین ۲: آی سی ۷۴۸۵ را که یک مقایسه گر چهاربیتی می باشد را تست کنید.

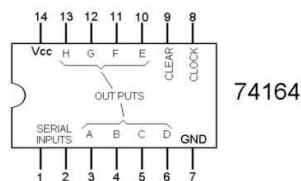
آزمایش شماره ۸: شیفت رجیسترها

۷ با استفاده از فلیپ فلاپ D یک شیفت رجیستر طراحی کنید. SIPO.



۷ آزمایش های زیر را انجام و نتایج را ثبت کنید :

1 با استفاده از آی سی ۷۴۱۶۴ (شیفت رجیستر ۸ بیتی SIPO) موارد زیر را بدست آورید :



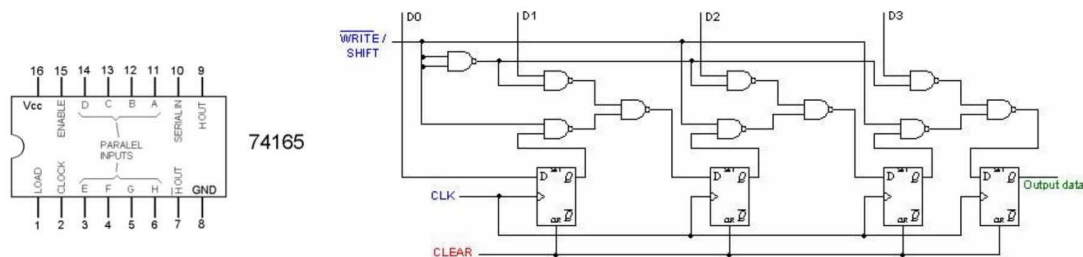
در حالت عادی بایستی یکی از پایه های ۲ یا ۱ به یک منطقی متصل شوند و اطلاعات دودویی به پایه دیگر متصل شود .

پایه ۹ بایستی به یک منطقی متصل شود .

با اعمال پالس ساعت به پایه ۸ اطلاعات قرار گرفته در A به B و ... و G به H انتقال می یابد و اگر این آی سی با آی سی دیگری سری نشده باشد اطلاعات H از بین خواهد رفت .

برای صفر کردن محتویات تمام رجیسترها بایستی پایه ۹ به صفر منطقی وصل شود .

1 با استفاده از آی سی ۷۴۱۶۵ (شیفت رجیستر PISO) موارد زیر را انجام دهید :

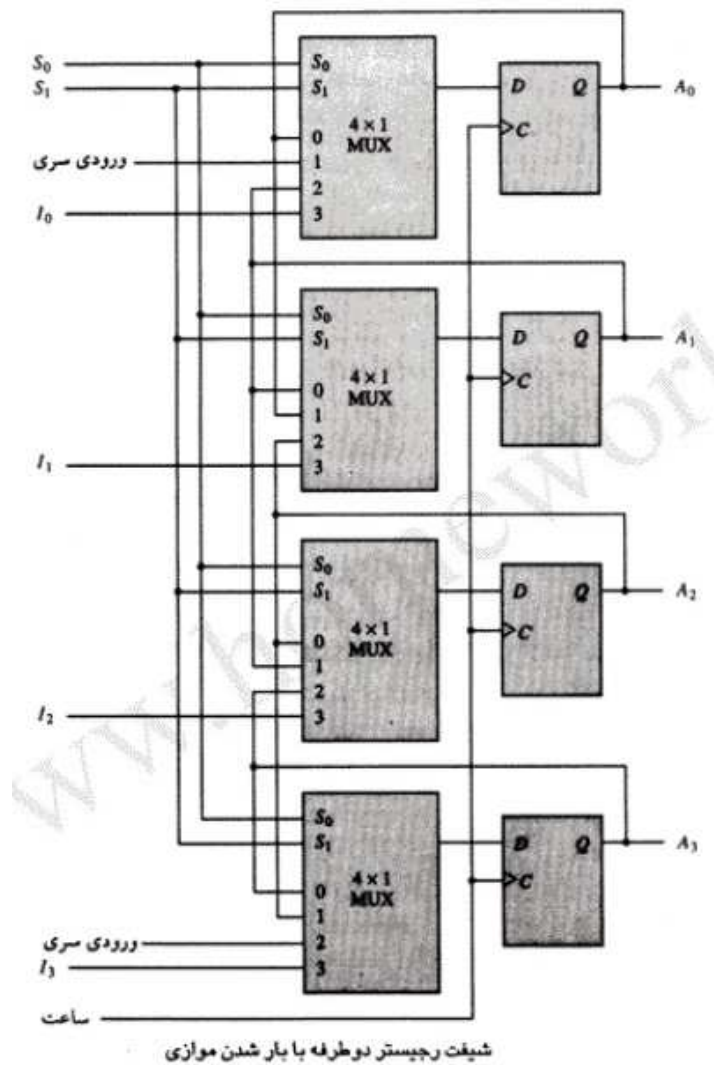


برای دادن اطلاعات به صورت موازی بایستی اطلاعات ورودی از طریق مقاومتهای یک کیلو اهمی به ورودیهای A الی H وصل شود که در این حالت با صفر کردن پایه ۱ این اطلاعات در داخل آی سی ذخیره می شود و عمل شیفت با یک کردن پایه ۱ امکان پذیر می باشد .

در حالت عادی بایستی پایه ۱۵ به صفر وصل شود .

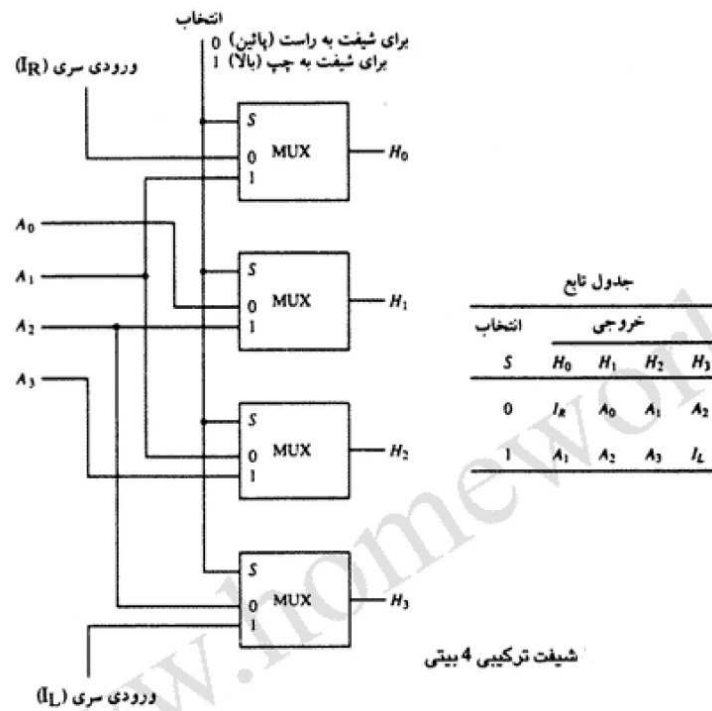
با اعمال پالس ساعت به پایه ۲ اطلاعات یک بیت به سمت راست شیفت می یابد یعنی از ۱۰ به A و از A به B و ... و همینطور تا G و اطلاعات G در H ظاهر می شود . پایه های ۷ و ۹ مکمل اطلاعات موجود در رجیستر H و دیگری اطلاعات رجیستر H است .

۵ تمرین ۱: شیفت رجیستر ۴ بیتی زیر را تست کنید. (این مدار هم بصورت رجیستر و هم شیفت رجیستر عمل می کند)

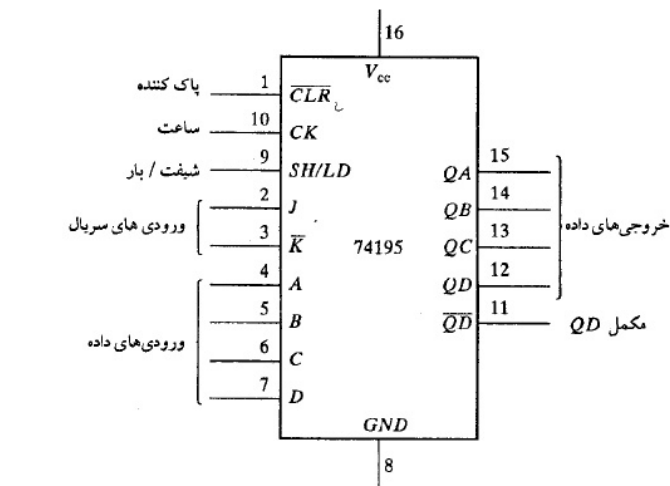


کنترل شیوه		عملکرد ثبات
S_1	S_0	
0	0	بلا تغییر
0	1	شیفت به راست (پایین)
1	0	شیفت به چپ (بالا)
1	1	بار شدن موازی

& تمرین ۲: شیفت ترکیبی زیر را تست کنید.



& تمرین ۳: آی سی ۷۴۱۹۵ را تست کنید.

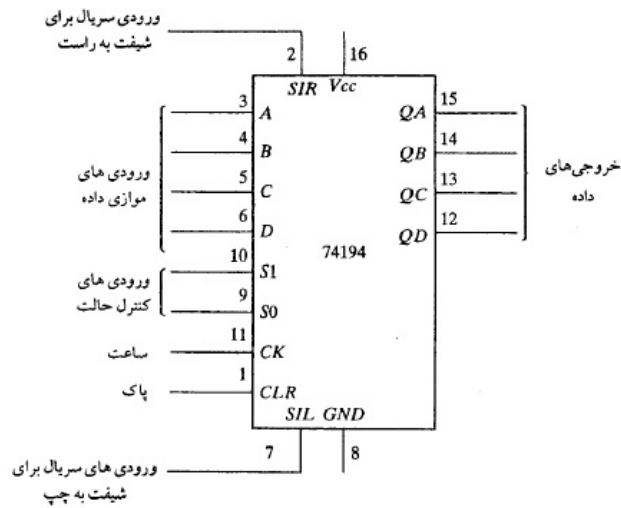


جدول تابع

تایع	ورودی سریال	J	\overline{K}	ساعت	شیفت/بار	پاک کننده
پاک کننده آسنکرون	X	X	X	X	X	0
عدم تغییر در خروجی	X	X	X	0	X	1
بار شدن داده ورودی	X	X	X	↑	0	1
شیفت از QA به سمت QD	0	0	0	↑	1	1
شیفت از QA به سمت QD	1	1	1	↑	1	1

آی سی شیفت رجیستر 74195 با بار شدن موازی

& تمرین ۴: آی سی ۷۴۱۹۴ را تست کنید.

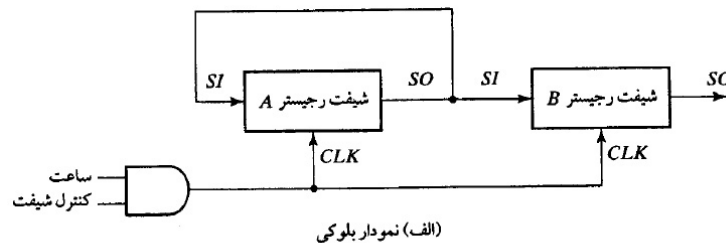


جدول تابع

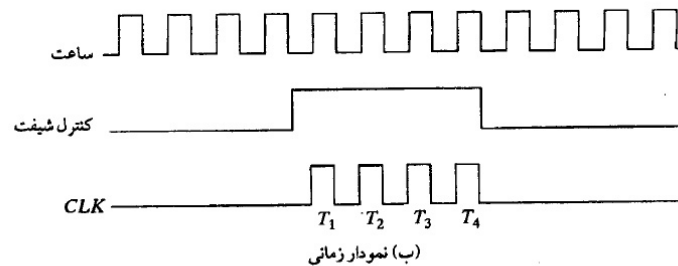
تابع	S0	S1	ساعت	پاک
پاک شدن خروجی	X	X	X	0
عدم تغییر در خروجی	0	0	↑	1
شیفت به راست در جهت QA به QD, SIR	1	0	↑	1
شیفت به چپ در جهت QD به QA, SIL	0	1	↑	1
ورودی بار شدن موازی داده	1	1	↑	1

آی سی شیفت رجیستر دو طرفه با بار شدن موازی نوع 74194

& تمرین ۵: با کمک مدارهای این آزمایش مداری بصورت دیاگرام زیر طراحی کنید.



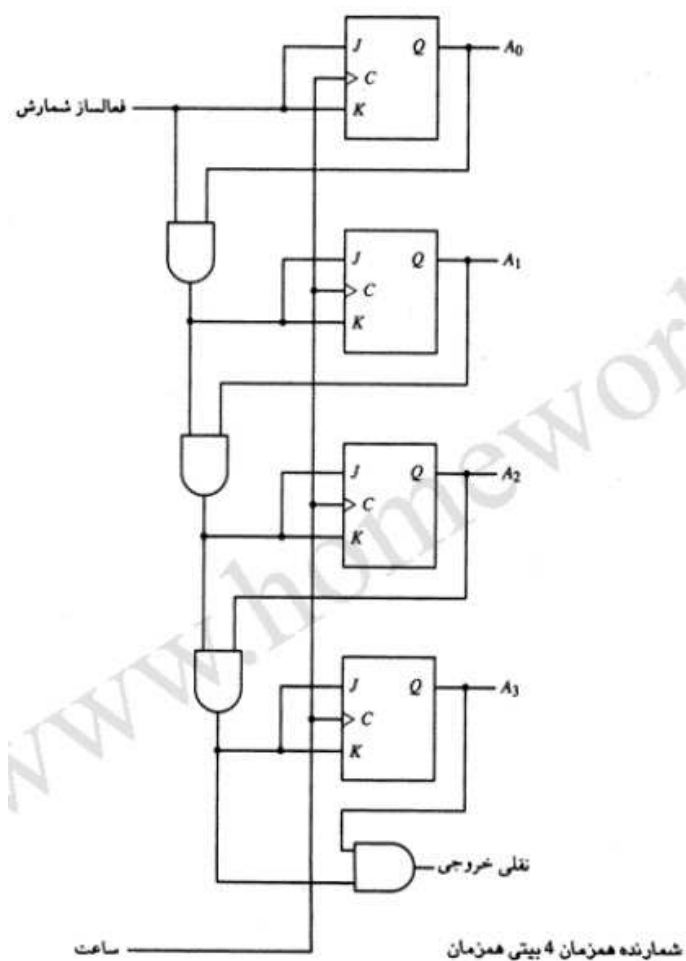
(الف) نمودار بلوکی



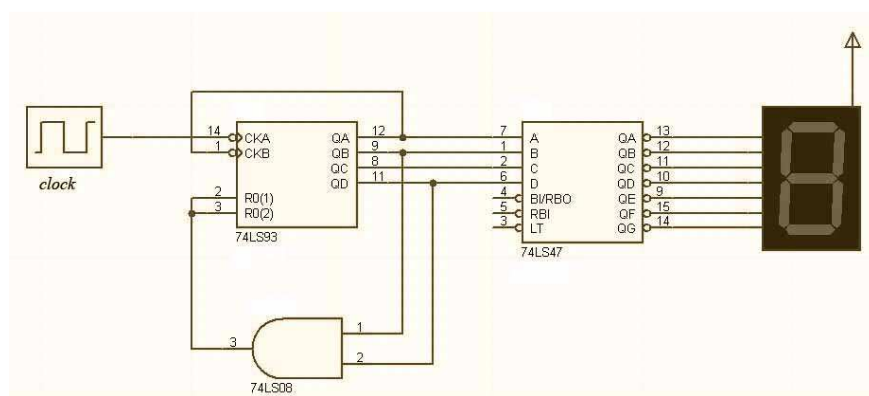
(ب) نمودار زمانی

انتقال سریال از ثبات A به ثبات B

آزمایش شماره ۹: شمارنده

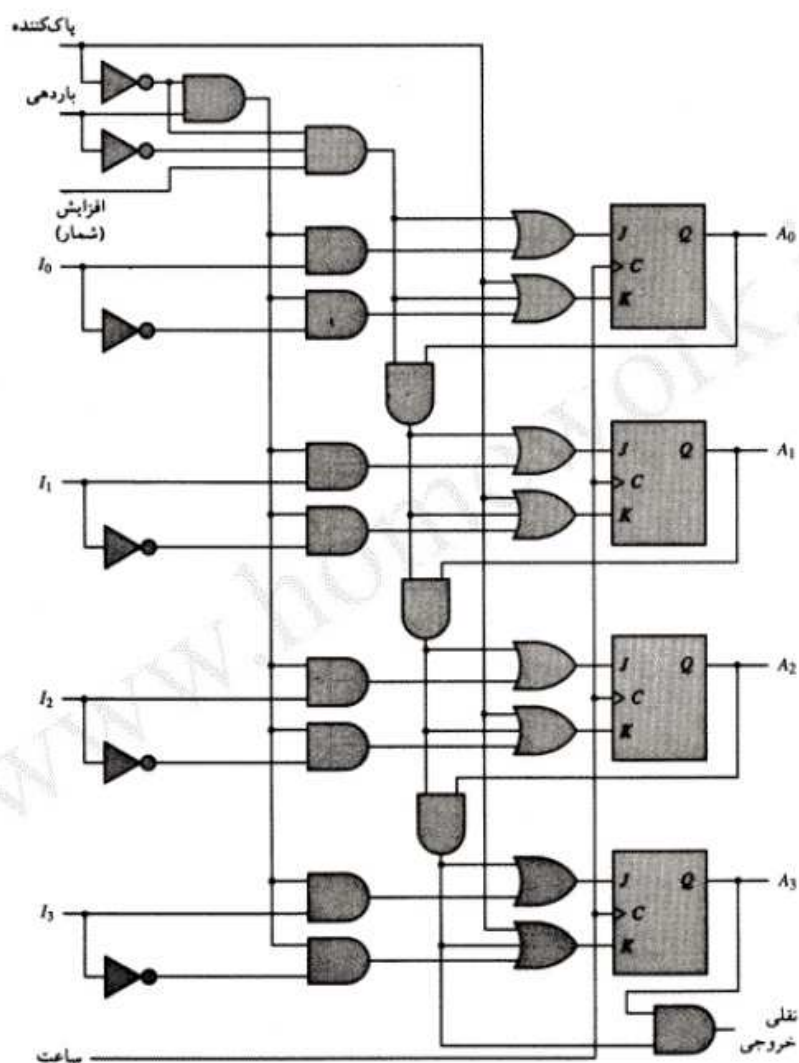


۷ آی سی ۷۴۹۳ یک شمارنده صعودی است آنرا تست کنید.



& تمرین ۱: یک شمارنده از صفر تا ۹۹ طراحی کنید.

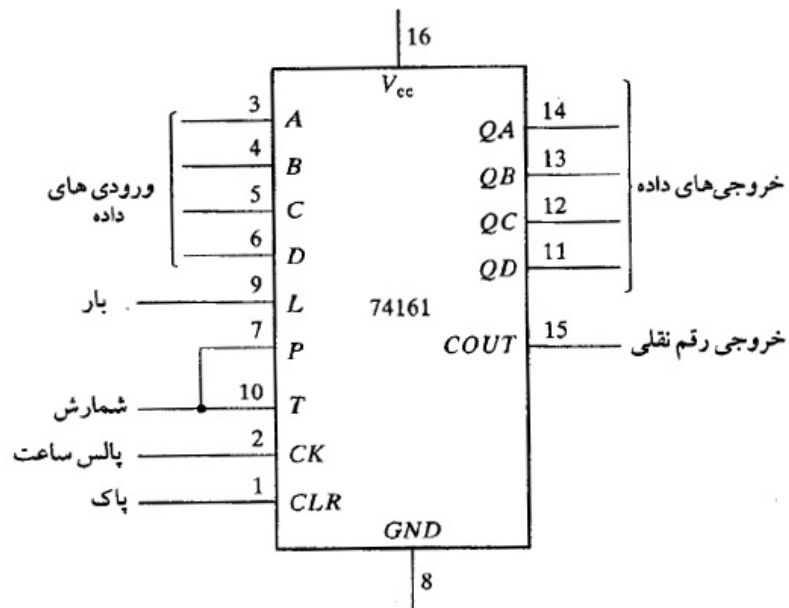
& تمرین ۲: شمارنده زیر را تست کنید. این شمارنده قابلیت شمارش از یک عدد مشخص را دارد.



شمارنده دودویی 4 بیتی با بارشدن موازی و پاک شدن همزمان

عمل	افزایش	بارشدن	پاک شدن	ساعت
بلا تغییر	0	0	0	↑
1 واحد افزایش شمارش	1	0	0	↑
بار کردن ورودی های I0 تا I3	x	1	0	↑
پاک کردن خروجی ها به 0	x	x	1	↑

& تمرین ۳: آی سی ۷۴۱۶۱ را تست کنید .



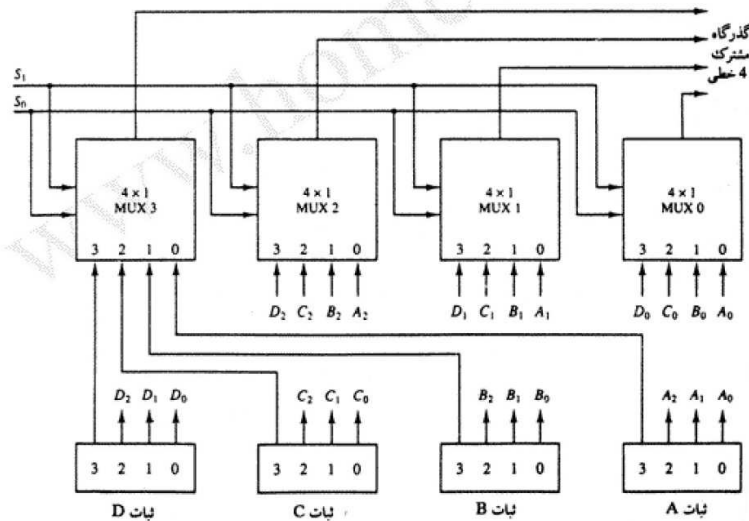
جدول تابع

تابع	شمارش	بار	ساعت	پاک کننده
پاک کردن خروجی به 0	X	X	X	0
بار کردن داده ورودی	X	0	↑	1
شمارش تا عدد دودویی بعدی	1	1	↑	1
عدم تغییر در خروجی	0	1	↑	1

آی سی شمارنده دودویی 74161 با بار شدن موازی

آزمایش شماره ۱۰: طراحی مدار گذرگاه

۷ در مدار شکل زیر به جای ثباتها می توانید از آی سی مربوط به رجیستر استفاده کنید .

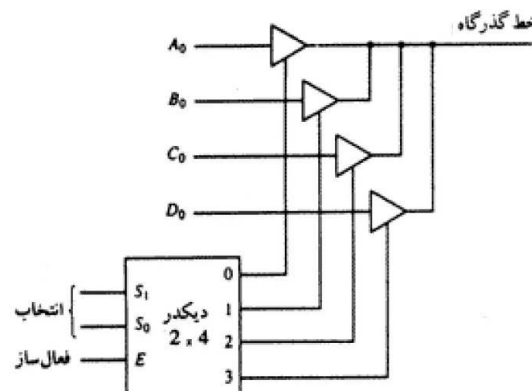


سیستم گذرگاه برای چهار ثبات

جدول تابع برای گذرگاه

S_1	S_0	ثباتی که انتخاب می شود
0	0	A
0	1	B
1	0	C
1	1	D

۷ ابتدا مدار زیر را تست کنید . (گذرگاه تک بیتی)



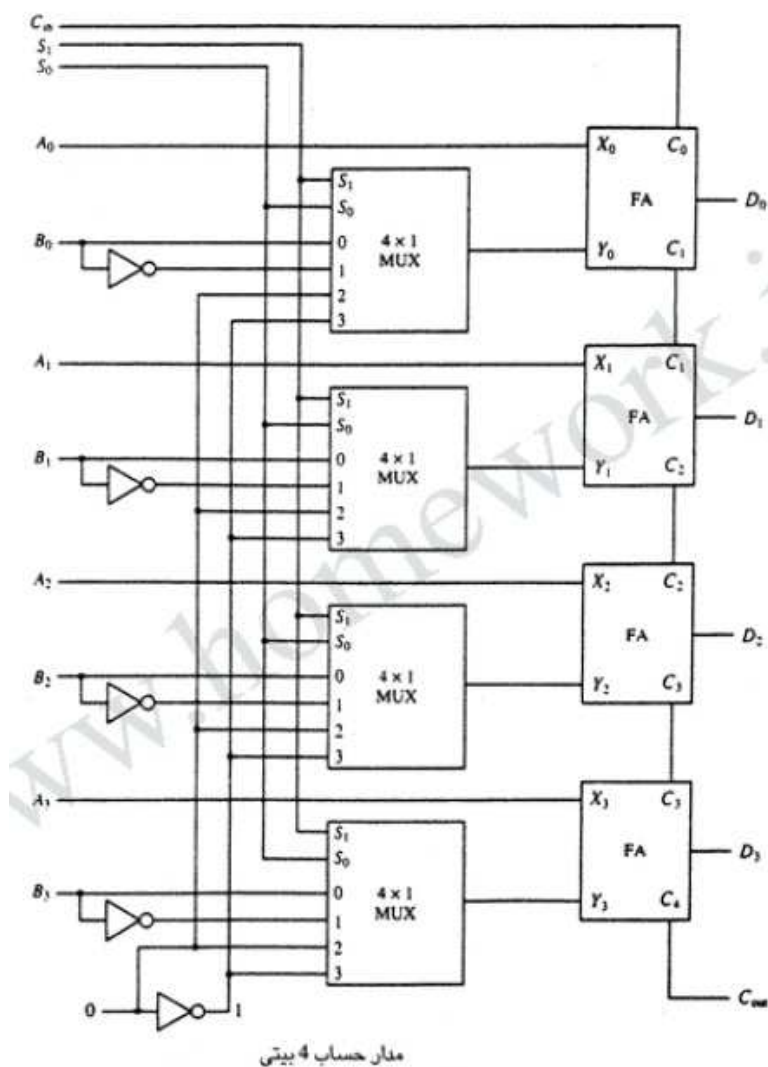
۷ اکنون با استفاده از مدار فوق یک گذرگاه چهاربیتی طراحی کنید .

۷ برای بافر از عبارات `tri` `btri` `wire` استفاده کنید . برای دیکدر از عبارت `dec24` استفاده کنید .

۷ برای پورت دوطرفه از عبارت `BIDIR` استفاده کنید .

آزمایش شماره ۱۱: طراحی مدار حساب

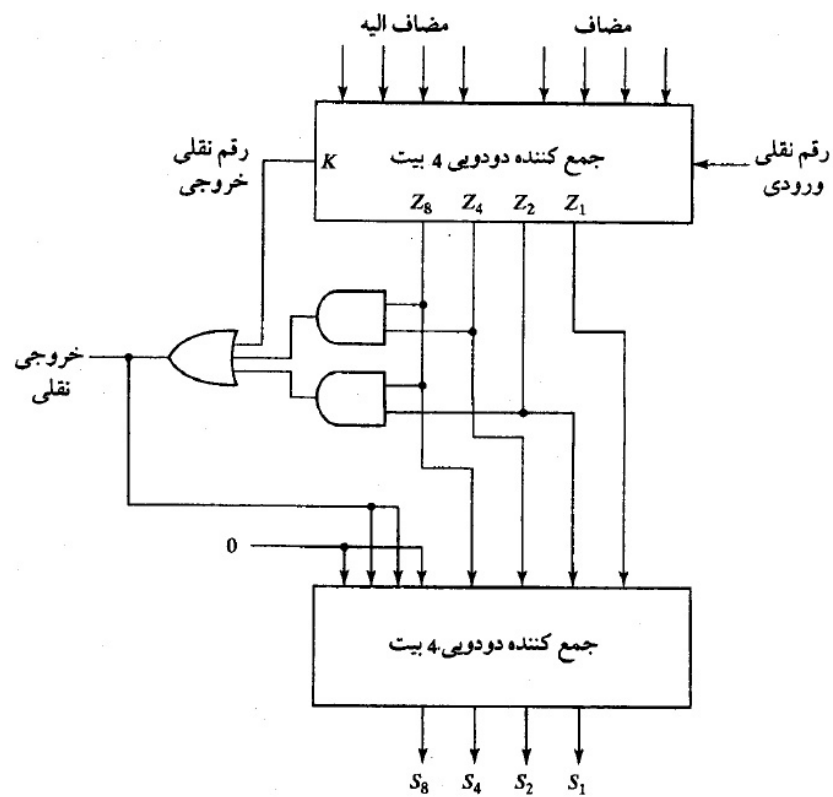
در مدار زیر به جای تمام جمع کننده ها از آی سی ۷۴۸۳ استفاده کنید.



جدول تابع مدار حساب

انتخاب		ورودی	خروجی	ریز عمل
S_1	S_0	C_{in}	$D = A + Y + C_{in}$	
0	0	0	$D = A + B$	جمع
0	0	1	$D = A + B + 1$	جمع با نقلی
0	1	0	$D = A + \bar{B}$	تفریق با فرض
0	1	1	$D = A + \bar{B} + 1$	تفریق
1	0	0	$D = A$	انتقال A
1	0	1	$D = A + 1$	افزایش A
1	1	0	$D = A - 1$	کاهش A
1	1	1	$D = A$	انتقال A

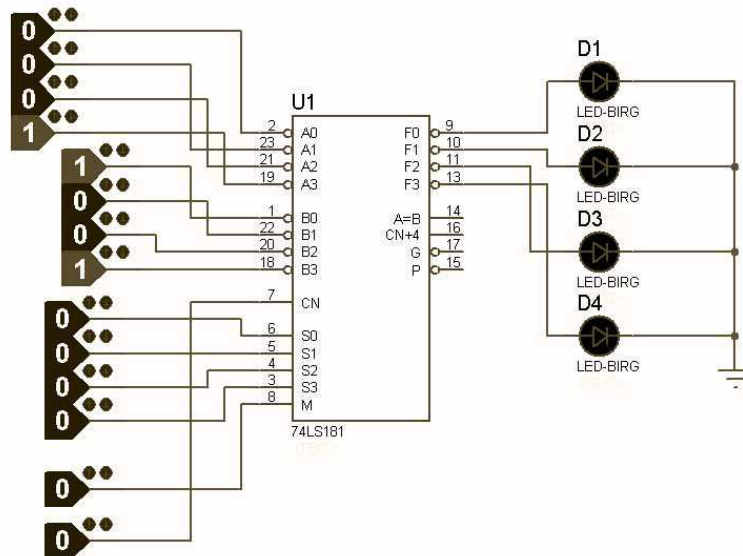
& تمرین ۱ : جمع کننده BCD



نمودار بلوکی یک جمع کننده BCD

آزمایش شماره ۱۲: طراحی مدار محاسبه و منطق ALU

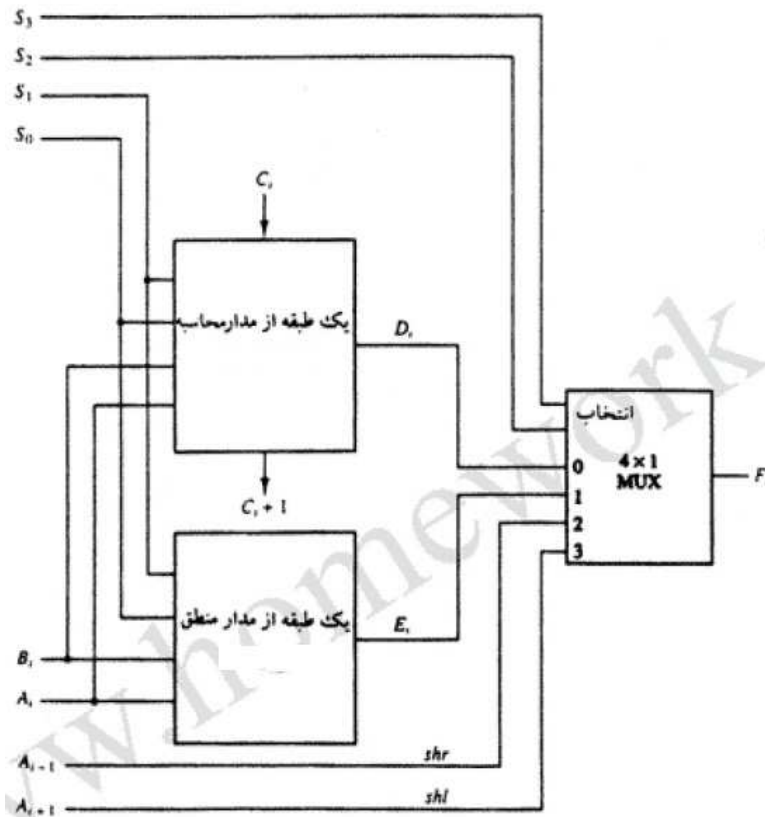
۷ آی سی ۷۴۱۸۱ را تست و نتایج را ثبت کنید.



جدول صحت آی سی ۷۴۱۸۱

SELECTION				ACTIVE-HIGH DATA		
				M = H LOGIC FUNCTIONS	M = L; ARITHMETIC OPERATIONS	
S3	S2	S1	S0		$\overline{C}_n = H$ (no carry)	$\overline{C}_n = L$ (with carry)
L	L	L	L	$F = A$	$F = A$	$F = A \text{ PLUS } 1$
L	L	L	H	$F = \overline{A + B}$	$F = A + B$	$F = (A + B) \text{ PLUS } 1$
L	L	H	L	$F = \overline{AB}$	$F = A + \overline{B}$	$F = (A + \overline{B}) \text{ PLUS } 1$
L	L	H	H	$F = 0$	$F = \text{MINUS } 1 \text{ (2's COMPL)}$	$F = \text{ZERO}$
L	H	L	L	$F = \overline{AB}$	$F = A \text{ PLUS } \overline{AB}$	$F = A \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	L	H	$F = \overline{B}$	$F = (A + B) \text{ PLUS } \overline{AB}$	$F = (A + B) \text{ PLUS } \overline{AB} \text{ PLUS } 1$
L	H	H	L	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$
L	H	H	H	$F = \overline{AB}$	$F = \overline{AB} \text{ MINUS } 1$	$F = \overline{AB}$
H	L	L	L	$F = \overline{A + B}$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } 1$
H	L	L	H	$F = A \oplus B$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
H	L	H	L	$F = B$	$F = (A + \overline{B}) \text{ PLUS } AB$	$F = (A + \overline{B}) \text{ PLUS } AB \text{ PLUS } 1$
H	L	H	H	$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$
H	H	L	L	$F = 1$	$F = A$	$F = A \text{ PLUS } A \text{ PLUS } 1$
H	H	L	H	$F = A + \overline{B}$	$F = (A + B) \text{ PLUS } A$	$F = (A + B) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	L	$F = A + B$	$F = (A + \overline{B}) \text{ PLUS } A$	$F = (A + \overline{B}) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	H	$F = A$	$F = A \text{ MINUS } 1$	$F = A$

& تمرین ۱: ابتدا مدار تک بیتی زیر را طراحی و تست کنید و سپس یک مدار چهار بیتی از آن طراحی نمایید.

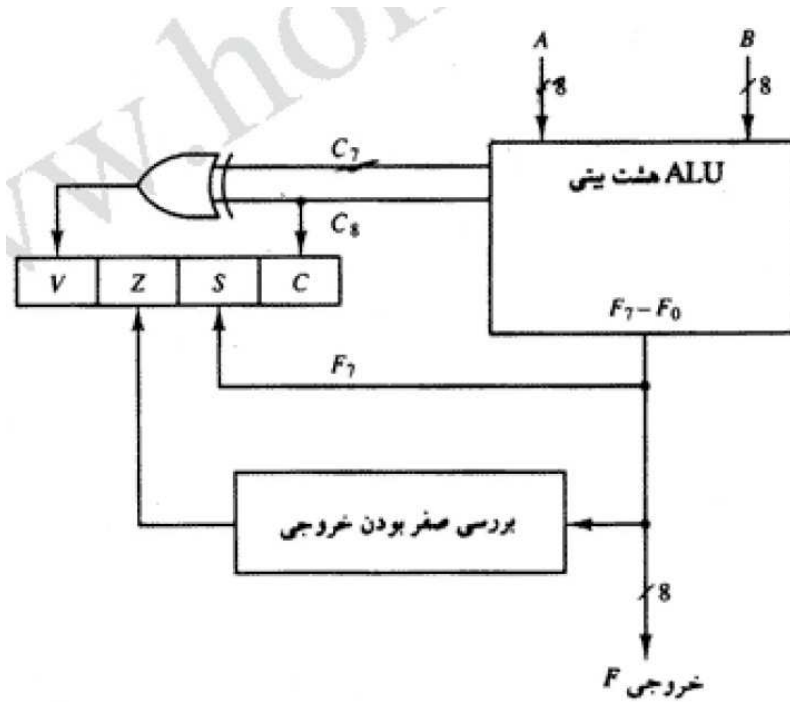


یک طبقه از واحد حساب، منطق و شیفت

جدول تابع برای واحد حساب، منطق و شیفت

انتخاب کننده عمل					عمل	تابع
S_3	S_2	S_1	S_0	C_{in}		
0	0	0	0	0	$F = A$	انتقال
0	0	0	0	1	$F = A + 1$	افزایش
0	0	0	1	0	$F = A + B$	جمع
0	0	0	1	1	$F = A + B + 1$	جمع با رقم نقلی
0	0	1	0	0	$F = A + \bar{B}$	تفریق یا قرض
0	0	1	0	1	$F = A + \bar{B} + 1$	تفریق
0	0	1	1	0	$F = A - 1$	کاهش A
0	0	1	1	1	$F = A$	انتقال A
0	1	0	0	x	$F = A \wedge B$	AND
0	1	0	1	x	$F = A \vee B$	OR
0	1	1	0	x	$F = A \oplus B$	XOR
0	1	1	1	x	$F = \bar{A}$	منهم کردن A
1	0	x	x	x	$F = shr A$	شیفت A به راست و به داخل F
1	1	x	x	x	$F = shl A$	شیفت A به چپ و به داخل F

& تمرین ۲ : یک ALU هشت بیتی به همراه ثبات پرچم طراحی کنید .



بیت‌های ثبات وضعیت

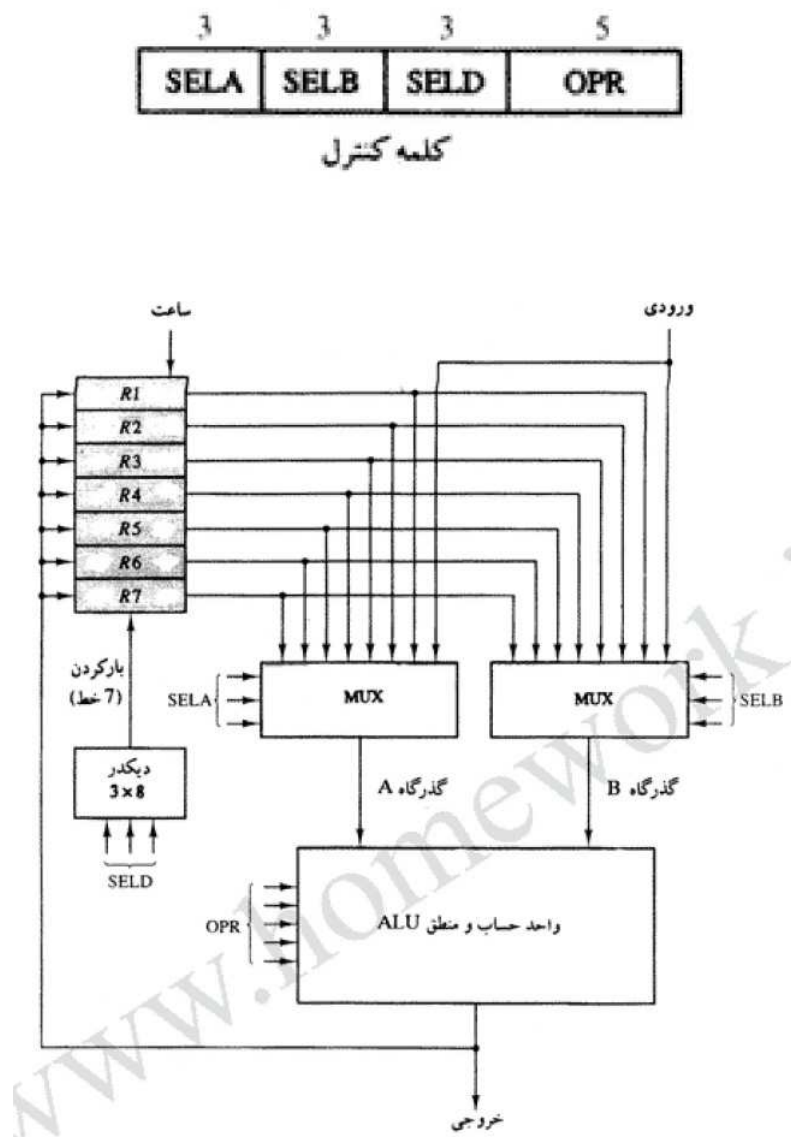
& تمرین ۳ : یک ALU تک بیتی با جدول صحت زیر طراحی کنید .

S\	S.	
۰	۰	AND
۰	۱	OR
۱	۰	NOT B
۱	۱	A+B

& تمرین ۴ : یک ALU تک بیتی با جدول صحت زیر طراحی کنید .

F	S\	S.	
۰	۰	۰	AND
۰	۰	۱	OR
۰	۱	۰	NOT A
۰	۱	۱	A+B
۱	۱	۱	A-B

آزمایش شماره ۱۳: طراحی واحد کنترل



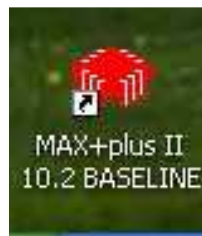
کد دودویی	SELA	SELB	SELD
000	ورودی	ورودی	هیچ
001	R1	R1	R1
010	R2	R2	R2
011	R3	R3	R3
100	R4	R4	R4
101	R5	R5	R5
110	R6	R6	R6
111	R7	R7	R7

OPR انتخابگر	عمل	سمبل
00000	انتقال A	TSFA
00001	افزایش A	INCA
00010	جمع $A+B$	ADD
00101	تفریق $A-B$	SUB
00110	کاهش A	DECA
01000	AND ثبات های A و B	AND
01010	OR ثبات های A و B	OR
01100	XOR ثبات های A و B	XOR
01110	منم کردن A	COMA
10000	شیفت A به راست	SHRA
11000	شیفت A به چپ	SHLA

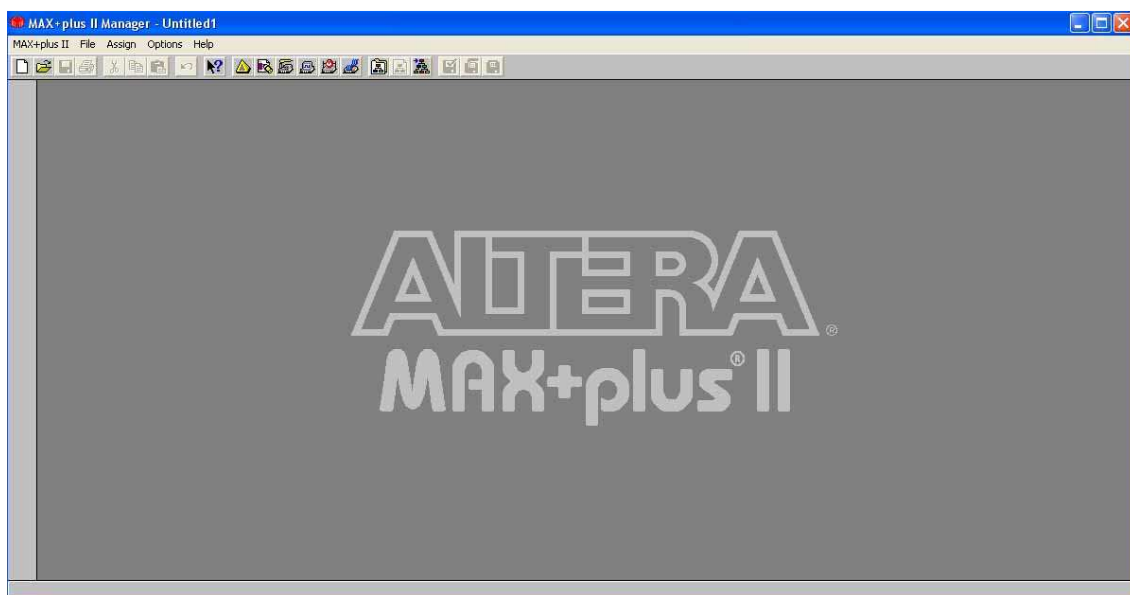
ریز عمل	مشخص کردن سبیل			OPR	کلمه کنترل
	SELA	SELB	SELD		
$R1 \leftarrow R2 - R3$	R2	R3	R1	SUB	010 011 001 00101
$R4 \leftarrow R4 \vee R5$	R4	R5	R4	OR	100 101 100 01010
$R6 \leftarrow R6 + 1$	R6	—	R6	INCA	110 000 110 00001
$R7 \leftarrow R1$	R1	—	R7	TSFA	001 000 111 00000
$\text{Output} \leftarrow R2$	R2	—	None	TSFA	010 000 000 00000
$\text{Output} \leftarrow \text{Input}$	Input	—	None	TSFA	000 000 000 00000
$R4 \leftarrow \text{shl } R4$	R4	—	R4	SHLA	100 000 100 11000
$R5 \leftarrow 0$	R5	R5	R5	XOR	101 101 101 01100

طراحی به کمک MAXPLUS II: (با کمک HELP نرم افزار و جزوه روزبه عبداللہی)

ابتدا بر روی آیکن زیر کلیک کنید



صفحه زیر باز می شود .



ابتدا ایجاد یک فایل جدید .

File > New

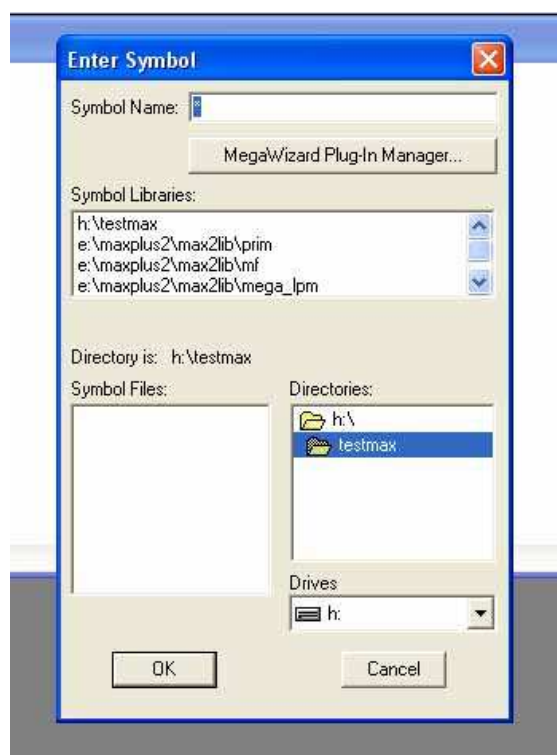


در این قسمت می توان نوع ایجاد فایل را جهت طراحی انتخاب کرد در اینجا مثلاً graphic سپس فایل ایجاد شده را با یک اسم ذخیره کنید .

جهت رسم شماتیک سخت افزار از مسیر زیر قطعات را پیدا کنید .

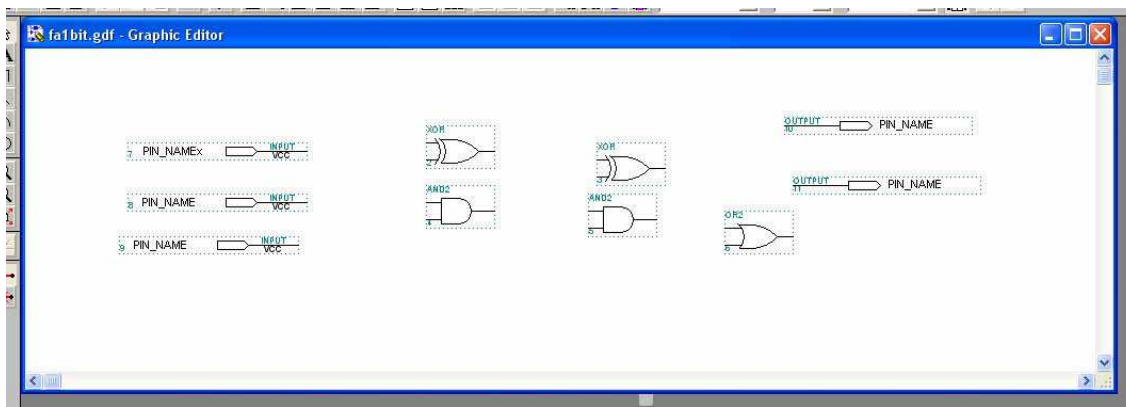
Symbol > enter symbol

و یا بر روی صفحه شماتیک دو بار کلیک کنید . همچنین با دابل کلیک بر روی قسمت symbol libraries می توان قطعات و سمبل های مختلف را در قسمت symbol files پیدا کرد .

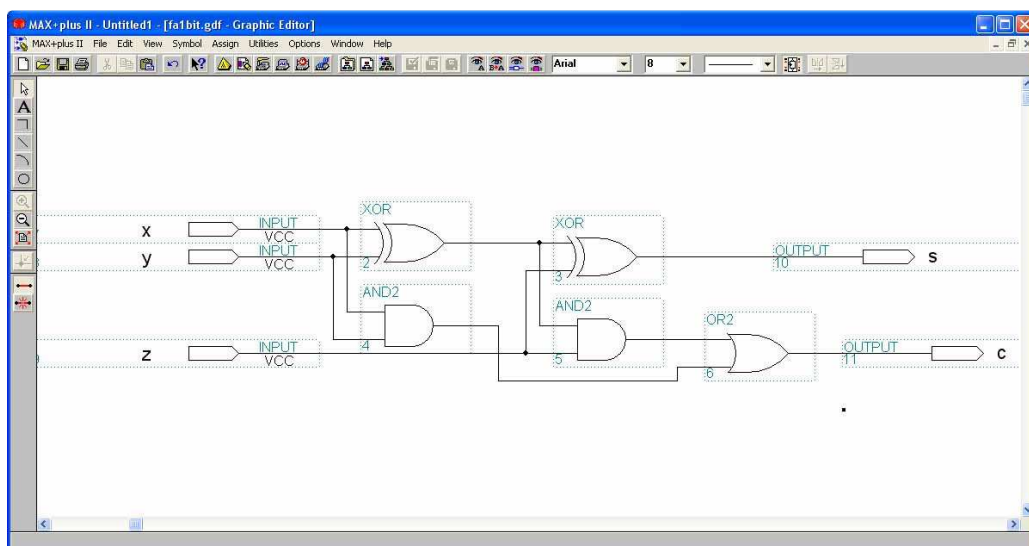


در قسمت symbol name نام قطعات را نوشته و ok می کنیم .

جهت ایجاد پورت ورودی از عبارت input و جهت ایجاد پورت خروجی از عبارت output استفاده کنید .(bidir پورت دو طرفه)



اسامی پورتهای ورودی و خروجی را می توان با دو بار کلیک کردن بر روی آنها تغییر داد .



بعد از اجرای سیم بندی طرح را ذخیره می کنیم .

تعیین نوع تراشه :

پیش از کامپایل طرح تراشه ای را که می خواهیم طرح مورد نظر روی آن اجرا شود از مسیر زیر انتخاب می کنیم :

Assign > device

فعلاً طرح تمام جمع کننده مثال فوق را بصورت زیر تنظیم کنید .



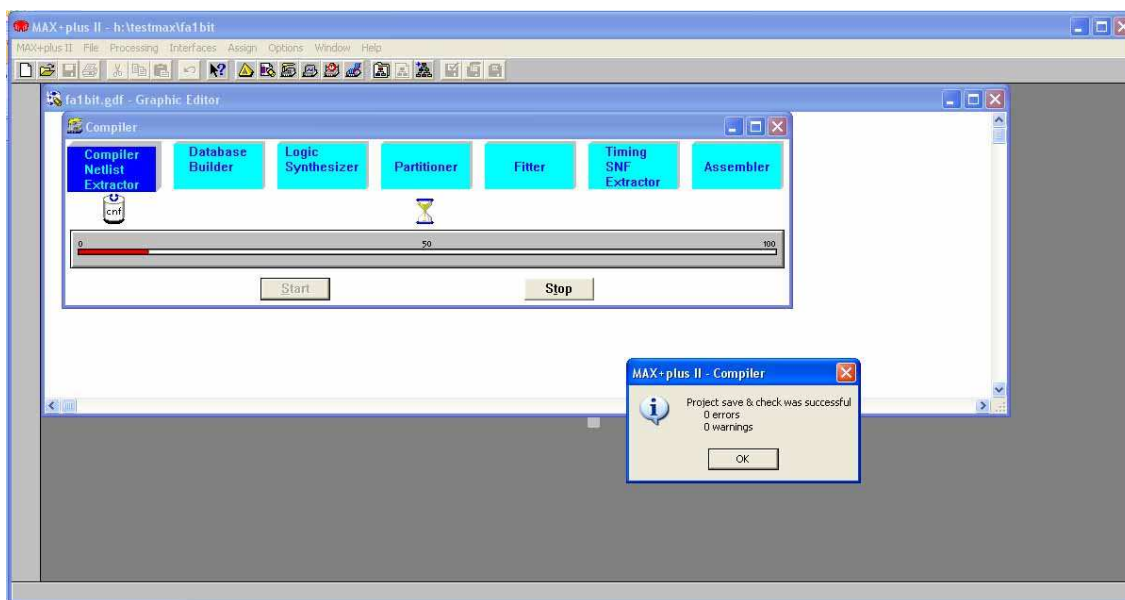
آزمایش سالم بودن اتصالات :

File > project > set project to current file

سپس

File > project > save & check

اگر خطایی وجود نداشته باشد تصویر زیر ظاهر می شود .

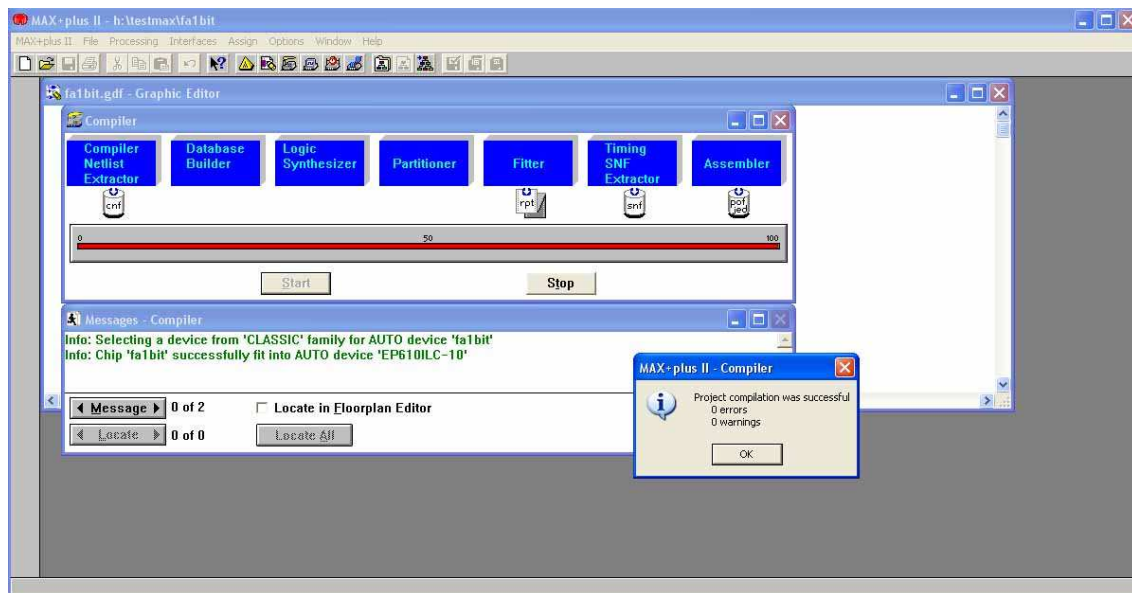


مراحل کامپایل کردن طرح :

MAX+plus II > Compiler

و سپس دکمه start را کلیک کنید .

با اتمام کامپایل تصویر زیر ظاهر خواهد شد .



پس از کامپایل در قسمت `filter > rpt` دابل کلیک کرده گزارش کامپایل را می توان مشاهده کرد .

مراحل شبیه سازی طرح :

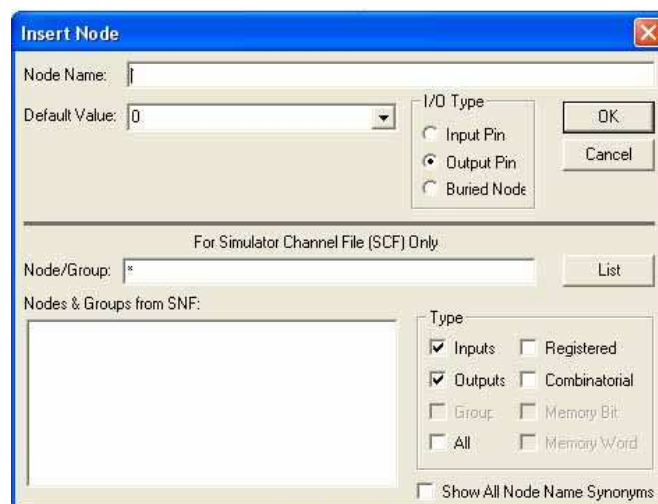
ابتدا یک فایل جدید که قابلیت نمایش شکل موج ها را داشته باشد ایجاد می کنیم .

File > new

سپس گزینه waveform editor file را با پسوند scf. را انتخاب می کنیم .

می توان از طریق مسیر زیر نام گره یا پورت ها را در قسمت node name وارد کرد .

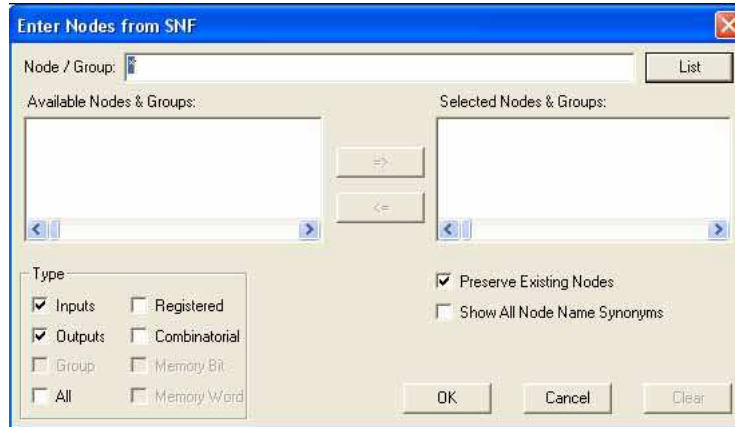
Node > insert node



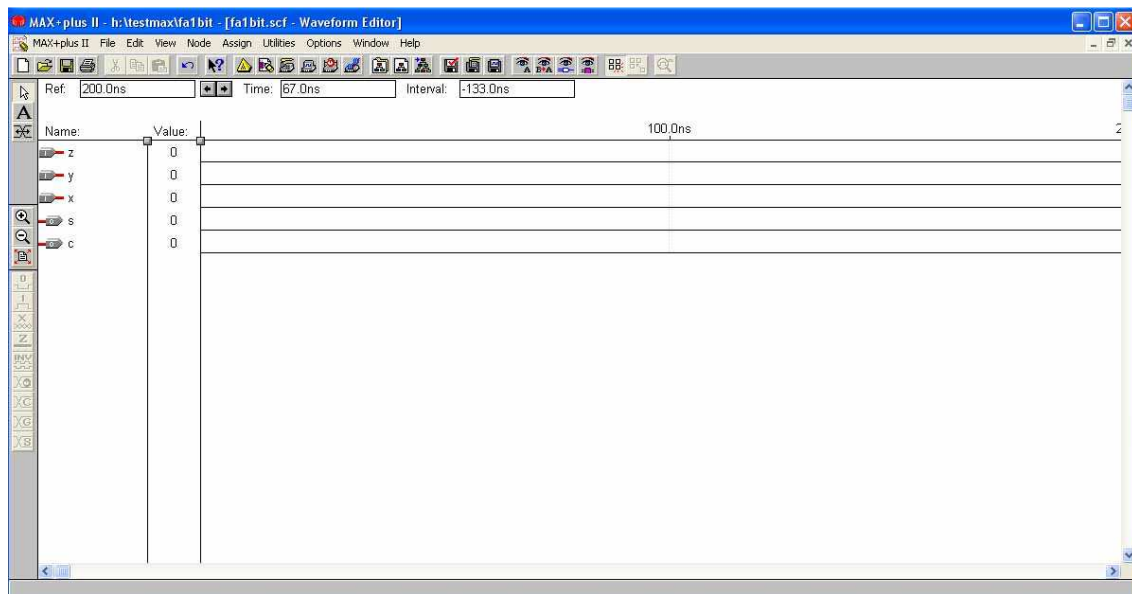
در قسمت default value می توان مقدار اولیه را وارد و در قسمت I/O Type می توان نوع پورت را مشخص کرد .

همچنین بجای مسیر فوق می توان از طریق مسیر زیر نیز پورت های ورودی و خروجی را مشخص کرد . این مسیر بر مسیر فوق ترجیح داده می شود .

Node > enter node from SNF



با کلیک بر روی دکمه List لیستی از اسامی پورت های ورودی و خروجی در قسمت available nodes & groups ایجاد می شود که با فشار دکمه => این اسامی به قسمت selected nodes & groups منتقل و سپس ok کنید .

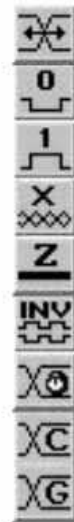


فایل ایجاد شده را با همان اسم قبلی با پسوند scf ذخیره کنید .

برای تعیین پایان شبیه سازی مسیر زیر را طی کنید

File > end time

برای انتخاب قسمتی از سیگنال و تغییر مقدار همان قسمت.
 مقدار سیگنال را صفر می کند.
 مقدار سیگنال را یک می کند.
 مقدار سیگنال را بی تفاوت می کند.
 سیگنال را به حالت امپدانس بالا می برد.
 مقدار سیگنال را مکمل می کند.
 سیگنال پالس ساعت می سازد.
 سیگنالی با مقادیر افزایشی می سازد.
 برای دادن مقدار به گره های گروهی.



جهت تعیین مقدار ورودی ها از دکمه ها فوق کمک بگیرید .

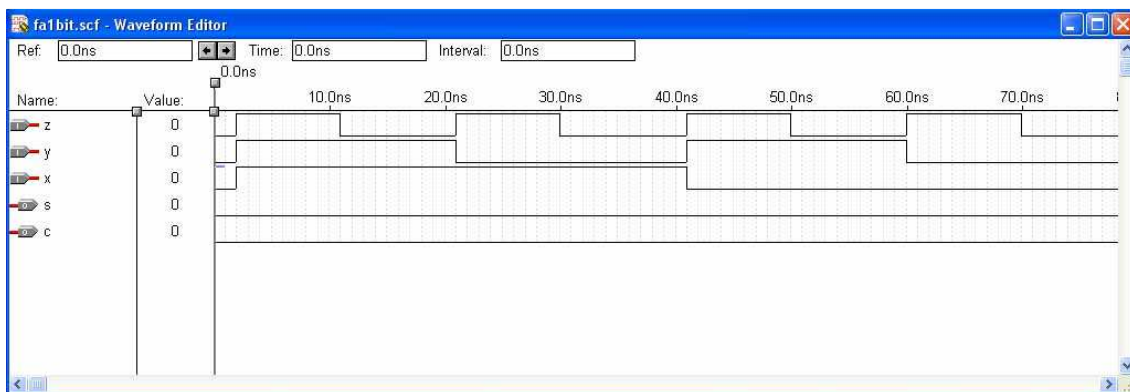
از مسیر زیر می توان پایان شبیه سازی را تعیین کرد .

File > end time

از مسیر زیر می توان اندازه گرید را مشخص نمود .

Options > grid size

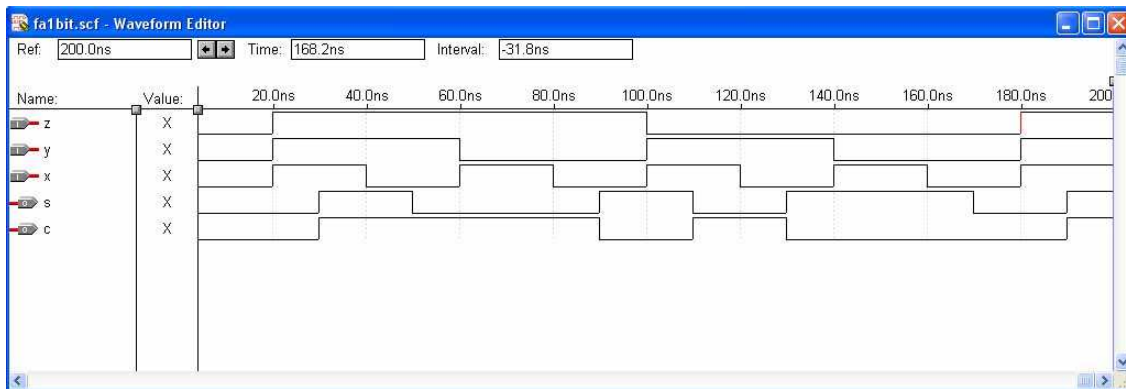
جهت مقدار دهی به هر کدام از ورودی ها ابتدا روی هر ورودی کلیک کرده تا به رنگ آبی درآید سپس از آیکن های معرفی شده کمک بگیرید و سرانجام با درگ کردن در زمانهای دلخواه سیگنال های ورودی را تعریف کرده و ذخیره کنید



از مسیر زیر جهت شروع شبیه سازی کمک بگیرید

Max+plus II > simulator

و سپس بر روی start کلیک کنید .

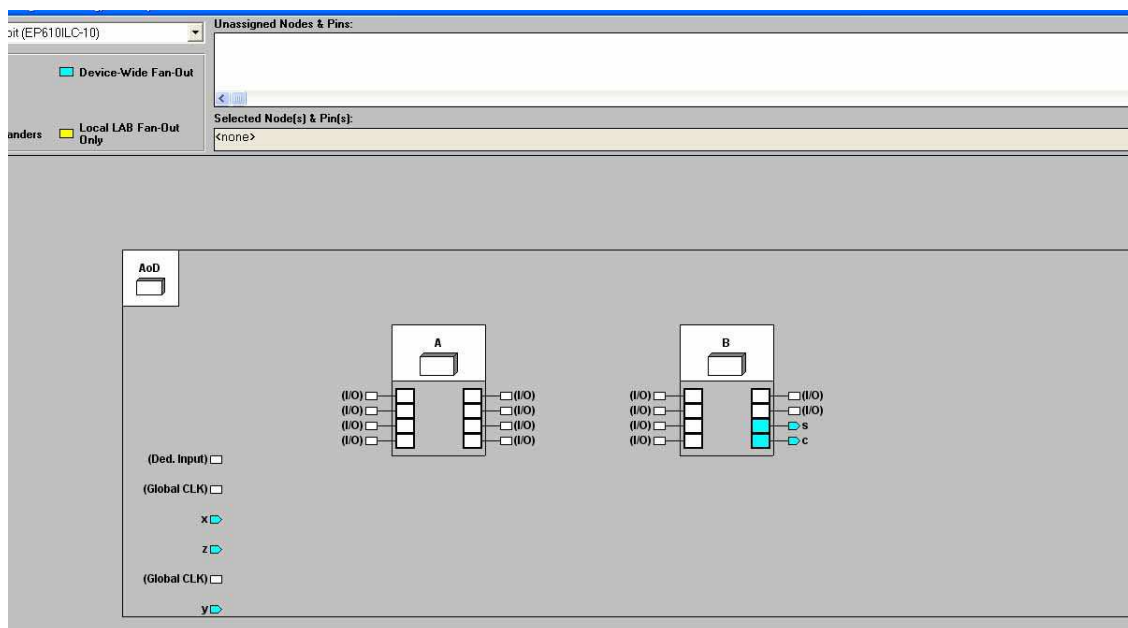


به تاخیر موجود در میان سیگنال های ورودی و خروجی توجه کنید. این تاخیر ناشی از تاخیر زمانی از ورودی تا خروجی گیت ها است که عامل محدود کننده ای در طراحی ها به حساب می آید.

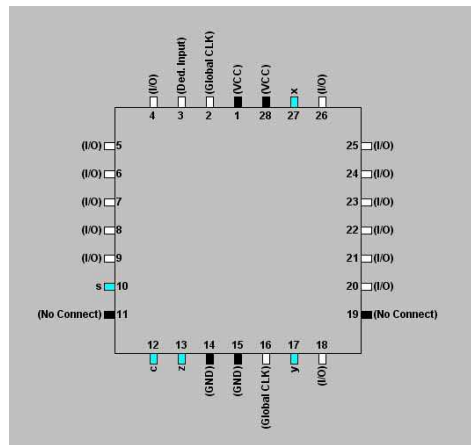
پیاده سازی تراشه

مسیر زیر را فعال کنید .

Max+plus II > floorplan editor



با دو بار کلیک کردن روی صفحه نمایی از تراشه نشان داده می شود .



در شکل فوق پایه های ورودی و خروجی به رنگ آبی مشخص شده اند پایه های زمین و تغذیه و سایر پایه ها نیز دیده می شوند .

ایجاد سمبل از روی طرح

ابتداء فایل قبلی را که ساخته ایم با پسوند gdf. باز می کنیم . سپس مسیر زیر را انتخاب می کنیم :

File > create default symbol

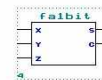
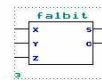
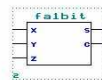
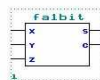
با این کار سمبل جدیدی با پسوند .sym. در داخل دایرکتوری پروژه ساخته می شود .

سپس فایل جدیدی را ساخته و مسیر زیر را انتخاب می کنیم :

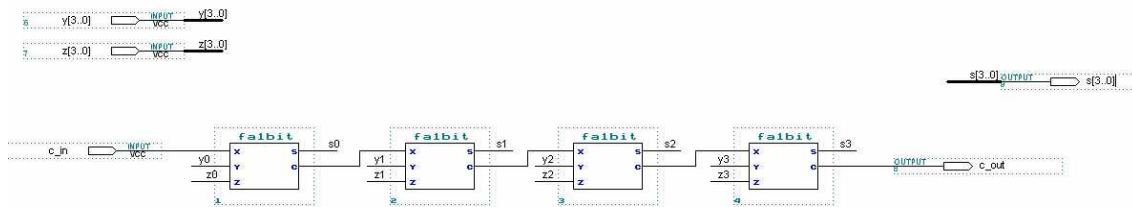
File > project > set project to current file

اینبار بجای وارد کردن نام قطعه در پنجره قطعات نام سمبل را ذکر می کنیم :

fa4bit.gdf - Graphic Editor

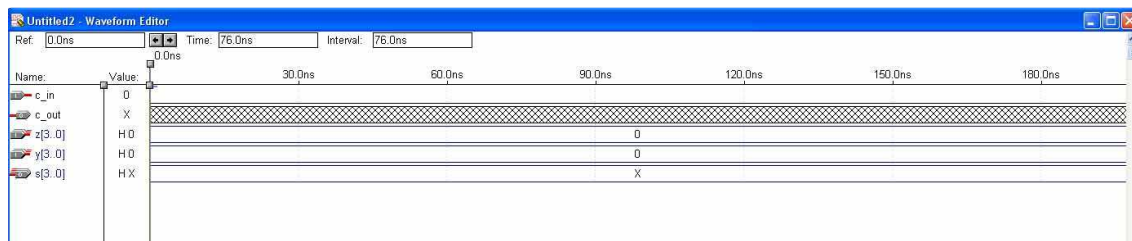


با استفاده از bus از مسیر زیر پروژه را تکمیل کنید .

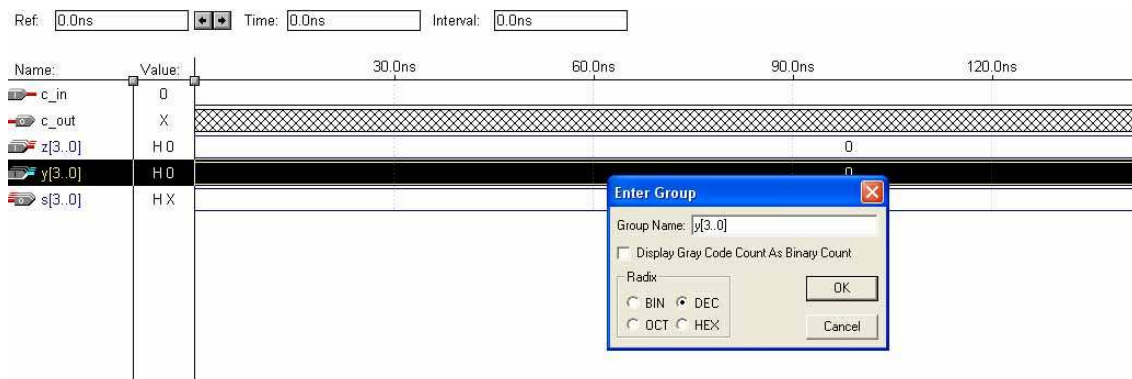


سپس طرح را کامپایل می کنیم .


جهت شبیه سازی مسیر قبلی را مجدد طی می کنیم

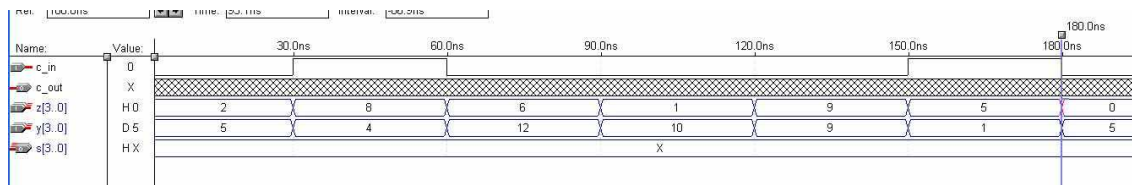


برای گره های گروهی از علامت مخصوص استفاده شده است . بر روی یکی از این گره های گروهی دو بار کلیک کرده صفحه زیر ظاهر می شود :

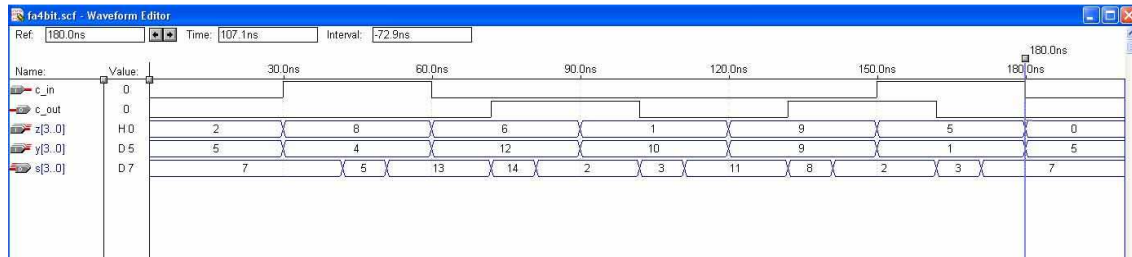


در این قسمت می توان نحوه نمایش سیگنال های گروهی را تعیین کرد .

با استفاده از دکمه  برای سیگنال های گروهی مقدارهای زیر را وارد می کنیم .



پس از simulate نتایج زیر ظاهر می شود .



سعی کنید سیگنالهای تست بیشتری به مدار وارد و نتایج را بررسی کنید .