

Sprawozdanie z układów logicznych

Jan Maciuk - 272664

Ćwiczenie 1

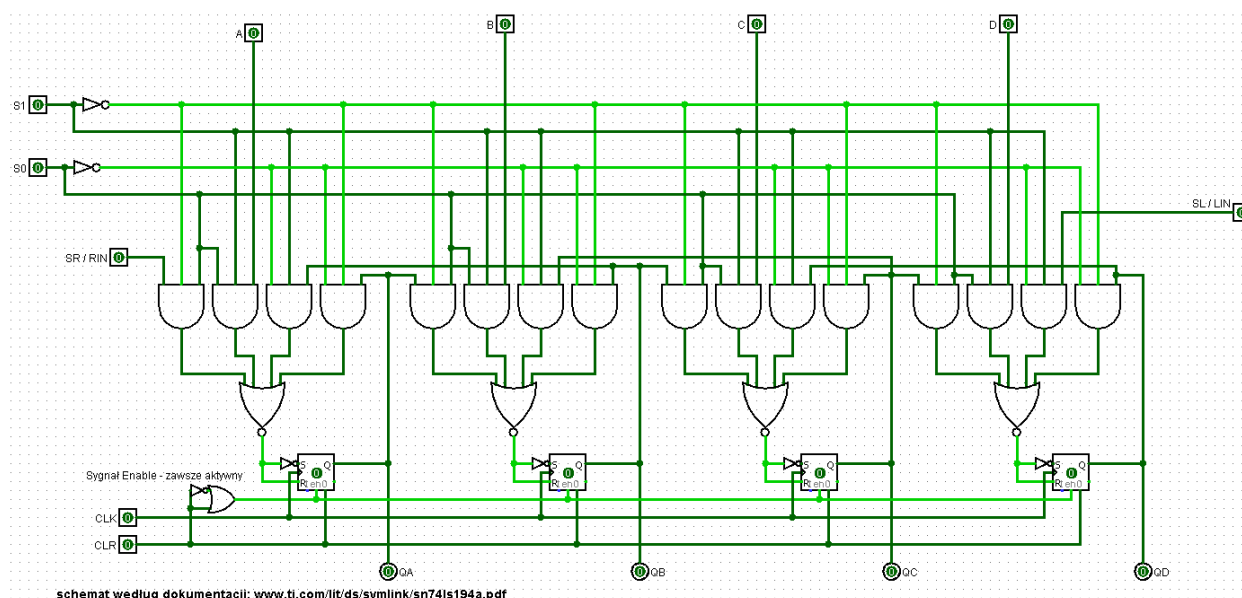
Grupa 5. Czwartek 13:15-15:00

Temat: Ćwiczenie wprowadzające w problematykę laboratorium, układ 74194

Układ 74194 to uniwersalny czterobitowy rejestr przesuwany mogący działać w obie strony (lewo lub prawo). Wejścia S1 i S2 odpowiadają za wybór trybu pracy:

S0	S1	Tryb pracy
0	0	Zachowanie obecnego stanu wyjść, cykle zegara są pomijane. Wyjścia można jedynie zresetować sygnałem Clear (CLR)
0	1	Przesuwanie bitów w lewo. Wejście SL używane jest do ustawienia stanu pierwszego bitu (QD)
1	0	Przesuwanie bitów w prawo. Wejście SR używane jest do ustawienia stanu pierwszego bitu (QA)
1	1	Zapis z wejść równoległych (A,B,C,D). Stany wejść ustawiane są na te same co odpowiadających im wyjść.

Wyjścia QA, QB, QC i QD odpowiadają stanom poszczególnych bitów. Oto pełny schemat opracowany w logisimie na podstawie specyfikacji technicznej producenta¹. Jedyną zmianą jest uniknięcie podwójnego stosowania bramki NOT na wejściach S0 i S1 a także odwrócenie stanu wejścia CLR. Oryginalny układ jest resetowany kiedy wejście CLR jest w stanie niskim, jednak byłoby to niezgodne z implementacją 74194 w układach a), b) i c), które utrzymują stan niski na tym wejściu.²

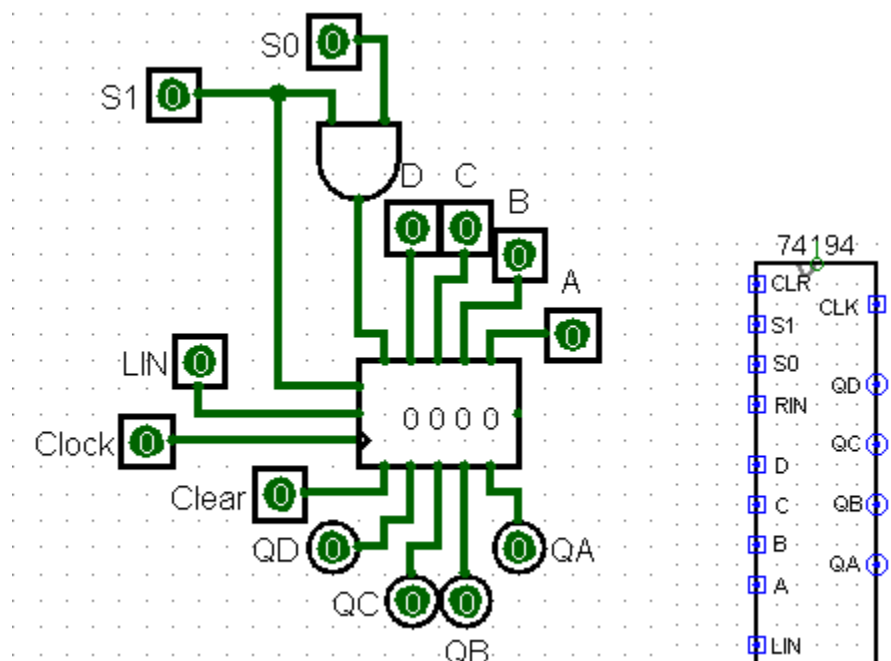


¹ Texas Instruments, 4-Bit Bidirectional Universal Shift Registers datasheet:
<https://www.ti.com/lit/ds/symlink/sn74ls194a.pdf>

² W razie takiej potrzeby zmiana stanu resetującego polega tylko na dodaniu bramki not na wejściu.

Układ składa się z czterech przerzutników R-S (każdy odpowiedzialny za jeden bit) i sterującego nimi układu bramek AND i NOR, sprawdzających czy wystąpiła odpowiednia kombinacja trybów i bitów wejściowych aby przekazać sygnał dalej. Sygnał Enable jest zawsze aktywny (osiągnięte za pomocą bramki NOT i AND), może być on zawsze aktywny ponieważ jeżeli S0 i S1 są w stanie niskim to i tak nie może dojść do zmiany stanu. Sygnały CLR i CLK są bezpośrednio doprowadzone do przerzutników które odpowiednio resetują i taktują.

Układ uproszczony (po lewej) składa się głównie z wbudowanego w Logisim'a rejestru przesuwającego. Nie ma on wszystkich funkcjonalności bardziej złożonego układu uniwersalnego, na przykład przesunięcie realizowane jest jedynie od QD do QA bez możliwości zmiany kierunku. Ale jego funkcjonalność jest wystarczająca do analogicznej realizacji układów a), b) i c).



Grafika po prawej przedstawia reprezentację całego stworzonego przeze mnie układu "dokładnego" w formie pojedynczego układu. Wejścia i wyjścia są opisane, a ich ułożenie jest zgodne z tym przedstawionym w poleceniu na diagramach. Wejście SL opisane jest jako LIN, a wejście SR jako RIN, jak na diagramie. W poniższych układach użyłem zarówno wersji dokładnej jak i uproszczonej układu, we wszystkich przypadkach otrzymując dokładnie takie same przebiegi czasowe.

Przebieg czasowy układu a): (powtarza się w nieskończoność)

Numer wzniesienia sygnału zegara	QA	QB	QC	QD
1	0	0	0	1
2	0	0	1	0
3	0	1	0	0
4	1	0	0	0
5	0	0	0	1
6	0	0	1	0
7	0	1	0	0
8	1	0	0	0

Układ a) zawsze podaje stan wysoki na jednym z wyjść, każde taktowanie zegara powoduje przełączenie na następne wyjście. Układ można zresetować do stanu początkowego w którym stan wysoki ma jedynie wyjście QD poprzez podanie stanu wysokiego do wejścia Reset/S0. Które przełączy rejestr szeregowy w tryb zapisu z wejść równoległych. Wyjście QA przekazuje sygnał do wejścia ustawiającego stan pierwszego bitu, więc kiedy stan wysoki “dotrze” do QA jest on automatycznie “Przenoszony” z powrotem do QD, zapewnia to powtórzenie cyklu w nieskończoność. Jako jedyny, ten układ wymaga podania stanu wysokiego przy pierwszym cyklu w celu ustawienia wartości początkowej.

Przebieg czasowy układu b): (powtarza się w nieskończoność)

Numer wzniesienia sygnału zegara	QA	QB	QC	QD
1	0	0	0	1
2	0	0	1	1
3	0	1	1	1
4	1	1	1	0
5	1	1	0	1
6	1	0	1	1
7	0	1	1	1
8	1	1	1	0

Układ b) po pierwszych dwóch cyklach/taktowaniach zegara zawsze podaje stan niski na jednym wyjściu i stan wysoki na pozostałych. Jest to funkcjonalność w pewien sposób podobna do układu a). Wejście szeregowo SL jest połączone z bramką NAND która jako wejście rozważa stan wyjść QD, QC i QB. Dopóki wszystkie z nich nie będą aktywne bramka zawsze przekazuje sygnał wysoki, co sprawia że pierwszy bit ma wartość 1. Dopiero kiedy wszystkie 3 wspomniane wejścia osiągną stan wysoki pierwszy bit w następnym cyklu zegara powróci do wartości 0.

Przebieg czasowy układu c) (powtarza się w nieskończoność)

Numer wzniesienia sygnału zegara	QA	QB	QC	QD
1	0	0	0	1
2	0	0	1	1
3	0	1	1	1
4	1	1	1	1
5	1	1	1	0
6	1	1	0	0
7	1	0	0	0
8	0	0	0	0
9	0	0	0	1

Ostatni układ posiada wejście SL połączone bramką NOT z wyjściem QA. Na pierwszy rzut oka widać działanie tego układu: Bity są przesuwane, zachowując stan wysoki pierwszego bitu. Dopiero kiedy ostatni bit osiągnie stan wysoki, bity zaczynają być przesuwane bez zachowywania stanu wysokiego pierwszego bitu, aż do całkowitego wyzerowania wyjść. Ten układ jako jedyny nie ma opcji “manualnego” wyzerowania, jednak zeruje się on sam co każde 8 cykli zegara. Wyzerowanie powoduje powrót stanu niskiego na ostatnim bicie, co ustawia port SL w stan wysoki i restartuje cykl.

Układ 74194 jest uniwersalnym układem o szerokim spektrum zastosowań, od prostych liczników po zastosowania podobne do multipleksa - można użyć go do dekodowania ciągu zer i jedynek określonej długości na stan czterech bitów. Jak to często bywa przy rzeczach uniwersalnych, specjalistyczne, mniej skomplikowane układy mogą wykonywać zadanie układu 74194 równie dobrze. Jednak nie mają one takiej dużej liczby zastosowań. Układ ten może być używany w bardzo wielu projektach przez elektronika amatora, właśnie ze względu na swoją uniwersalność.