

1 Контроллер ПДП.

Специализированный контроллер прямого доступа к памяти (ПДП) реализует передачу данных между ведомыми устройствами на коммутационной матрице без участия микроконтроллера, поддерживая аппаратное адресное обращение к доменам MCU32, участвующими в обмене данными.

Контроллер ПДП имеет 8 (N) независимых каналов, обеспечивающих работу в режимах память-память, периферия-периферия, память-периферия.

Каждый из каналов ПДП имеет программируемый уровень приоритетов обработки запросов, задаваемый пользователем.

При работе с периферией контроллер ПДП, контролирует состояние внутренних буферов периферийных устройств с автоматической обработкой забросов и сигналов подтверждения.

Контроллер поддерживает параметризируемое количество периферийных устройств и возможность программной установки на обработку запросов каждого из каналов.

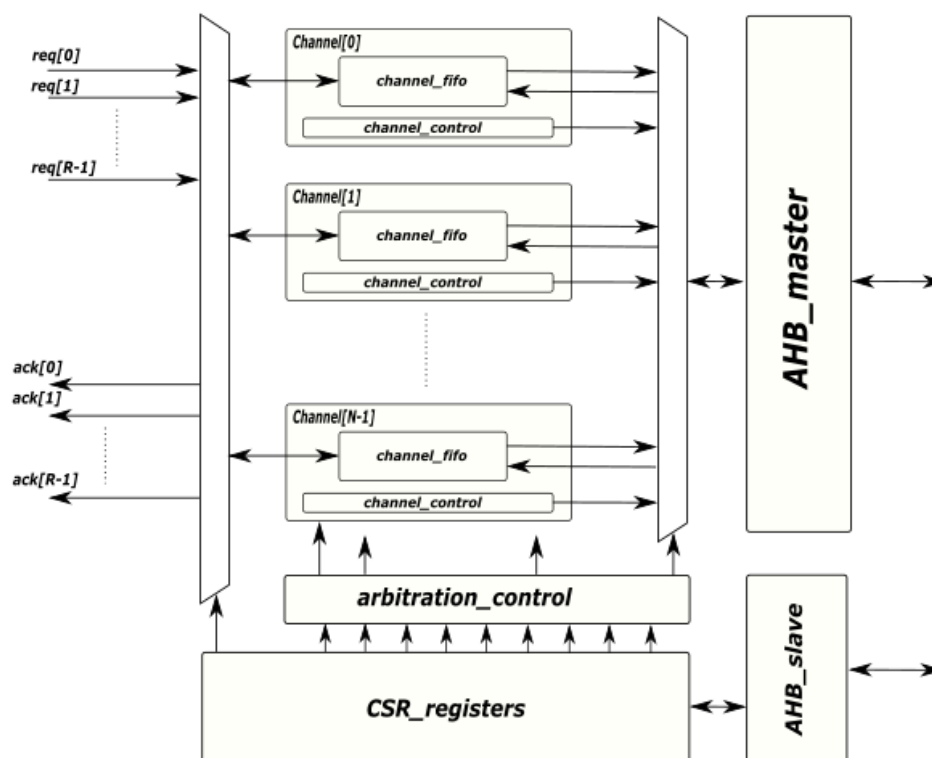


Рис.1 Структурная схема ПДП контроллера

1.1 Доступ к шине.

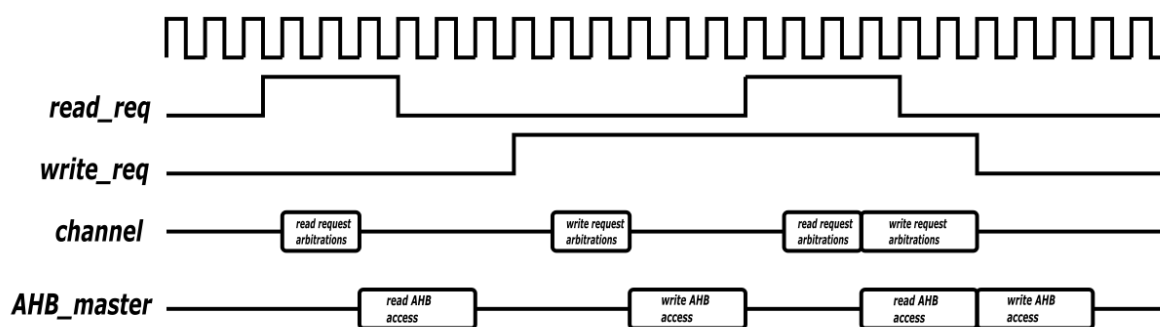
Контроллер управления шиной (AHB_master), при наличии данных в каналах ПДП, реализует непрерывный доступ к шине. При поддержке программных настроек управления сигнала подтверждения (acknowledge нужен не для всех периферийных блоков) время выставлений транзакций на шину различается.

Сеанс передачи данных, начинается с чтения требуемых данных источника, заполнение буфера канала до указанного уровня, записи данных по адресу назначения, и далее в цикле пока не будет осуществлена требуемая передача данных.

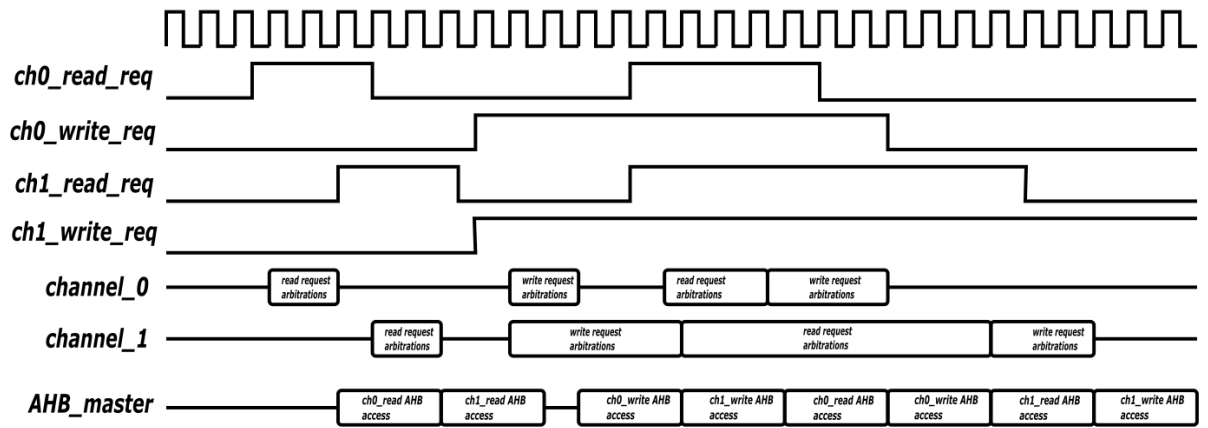
Инициация трансфера данных происходит по сигналам запросов для каждого из канала, включая запросы на чтение и запись. При транзакциях памяти, внутренний сигнал запроса всегда активен. Сигнал запроса на запись обрабатывается только тогда, когда в буфере канала есть данные. В случае конфликтов при формировании внутренних сигналов запросов со стороны конечных автоматов каналов, запросы обрабатываются в соответствии с установленным уровнем приоритета каждого из каналов. В случае совпадения уровней программного приоритета, обрабатывается запрос в соответствии с уровнем статического приоритета, равному номеру канала (младший канал имеет наивысший приоритет)

Примеры доступа к шине показаны на временных диаграммах ниже (длительность доступа к шине показана условно в 3 такта).

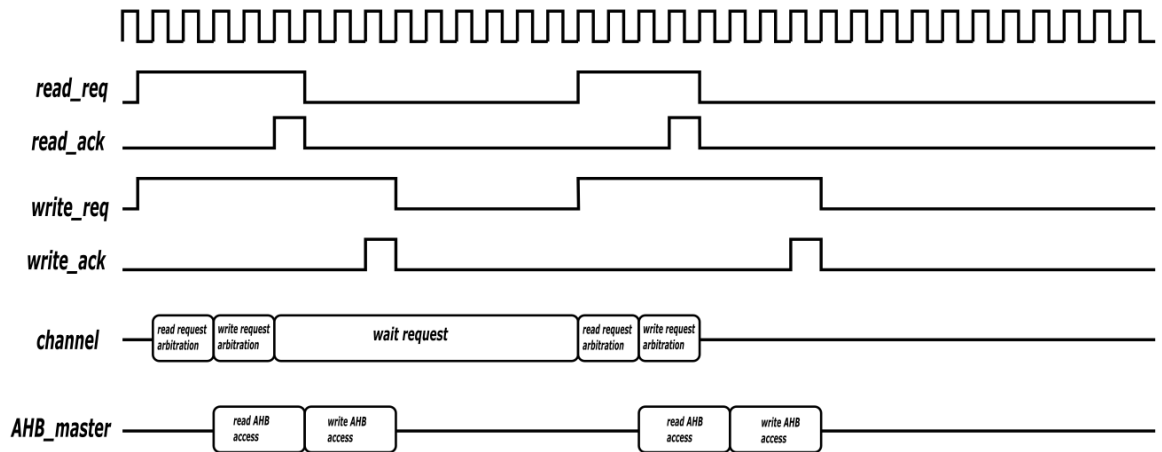
а) Один канал



б) Два канала



с) Один канал с формированием сигнала снятия запроса



1.2 Арбитраж.

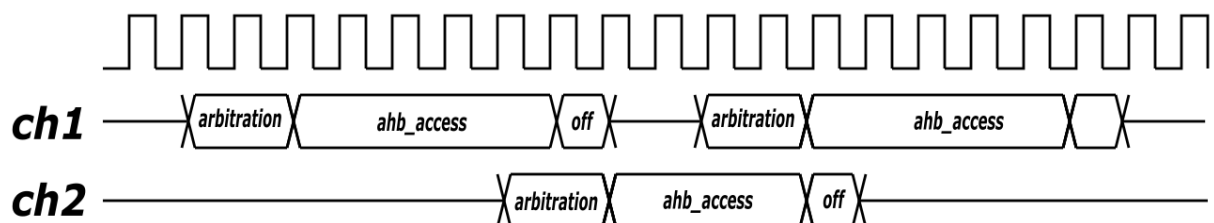
Арбитраж выбора канала происходит за два такта удержания линии запроса. Если одновременно поступают несколько запросов ПДП, то схема арбитража выбирает наиболее приоритетную линию запроса в соответствии с программной установкой каждого из каналов, которые поддерживают четыре уровня приоритетов:

- Приоритетный (очень высокой)
- Высокий
- Средний
- Низкий

В случае активности одного канала, запрос не может быть обработан немедленно: после завершения обработки запроса добавляется один такт на выключение канала (или обработки сигнала подтверждения) и два такта для обработки нового запроса.

При работе нескольких каналов возможна параллельная обработка запросов, при этом, запросы с текущего рабочего канала при осуществлении арбитража маскируются для корректного выключения канала (или передачи сигнала подтверждения).

Временные диаграммы работы на рисунке ниже:



1.3 Адресное пространство.

Контроллер ПДП обслуживает адресное пространство разделённых подсистем (доменов питания). Для каждого домена питания выделено адресное пространство шириной в 16 бит (64 Кбайт). Двумя старшими разрядами линии адреса, адресуется домен (память или периферия), при этом, выставление старших адресов со стороны ПДП контроллера происходит автоматически.

При этом в регистры адреса контроллера устанавливается значение адреса шириной в 16 бит, 17 и 18 адреса устанавливаются в зависимости от выбранного режима работы контроллера. В режимах работы с памятью устанавливается адрес 18'h1_xxxxxxx, в режимах работы с периферией 18'h2_xxxxxxx.

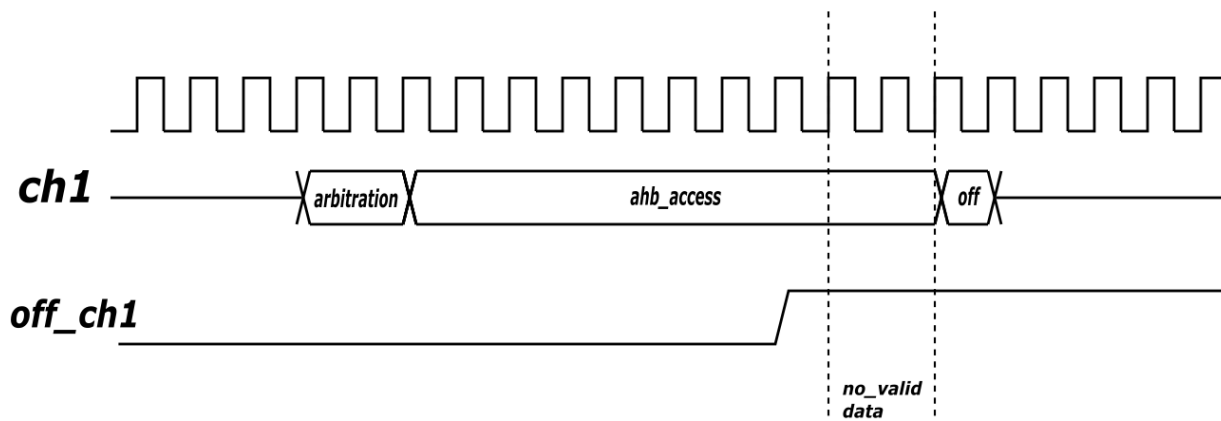
1.4 Тактирование каналов.

Для каждого из каналов предусмотрено автоматическое перекрытие тактирования на основе сигнала разрешения работы канала. Так же, после завершения выполнения задания или обнаружения ошибки происходит автоматический сброс канала.

1.5 Выключение каналов.

При передаче команды выключения каналу происходит перекрытие тактирования канала, после которого канал полностью сбрасывается.

В случае передачи команды выключения во время транзакции, мастер-интерфейс контроллера завершает начатую передачу блока данных в соответствии с установкой канала, при этом данные передаваемые после выключения не являются валидными.

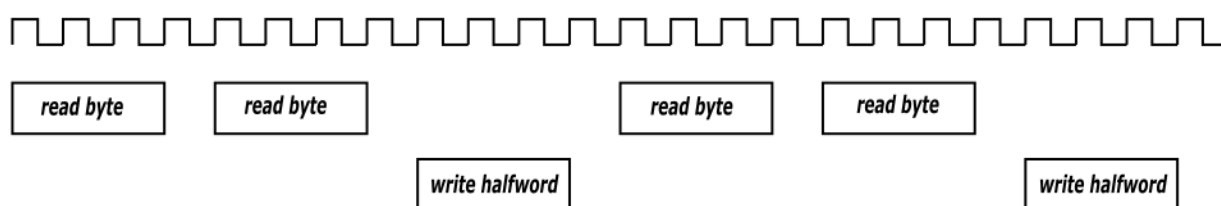


1.6 Блочные транзакции

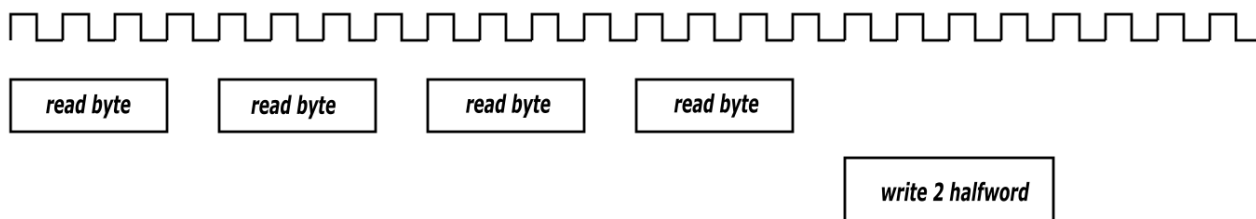
Контроллер ПДП предусматривает возможность трансфера блочных транзакций, поддерживая смешанную передачу данных. К примеру чтение байтового буфера и запись слов.

При этом, вводимые значения для трансфера данных должны находится в строгом соотношении с вводимым значением длины пересылки и делением на блоки при чтении и записи. Примеры организации блочных транзакций показаны на временных диаграммах ниже:

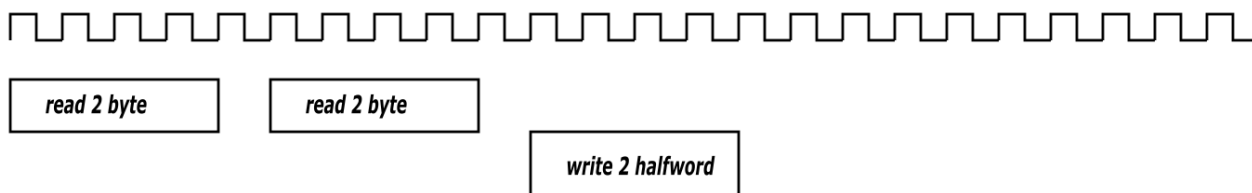
а) чтение байтов, запись полуслова. Длина пересылки: 4 байта, размер блока чтения: 1 байт, размер блока записи 2 байта.



б) чтение байтов, запись полуслова. Длина пересылки: 4 байта, размер блока чтения: 1 байт, размер блока записи 4 байта.



в) чтение байтов, запись полуслова. Длина пересылки: 4 байта, размер блока чтения: 2 байт, размер блока записи 4 байта.



В случае ввода значений не удовлетворяющим делению на блоки или ввода значений превышающих размер буфера канала ~~будет сформирован сигнал об ошибке~~ возможно непредвиденное поведение контроллера.

1.7 Формирование прерываний.

Контроллер ПДП поддерживает три типа маскируемых прерываний:

- Прерывания каналов о завершении задания
- Глобальное прерывание о завершении всех заданий
- Прерывание об ошибке

Прерывания каналов формируются в случае установки разрешения на прерывания, по умолчанию выключены.

Глобальное прерывание формируется при выполнении контроллером всех поставленных задач, по умолчанию включено.

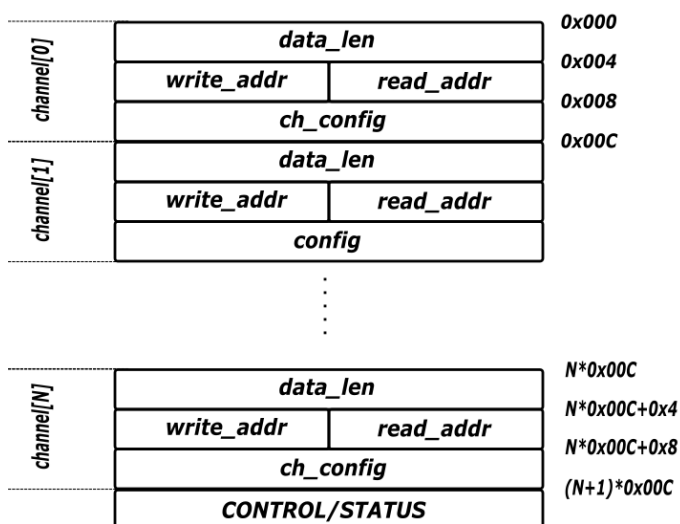
Контроллер ПДП формирует ошибку на основе отклика об ошибке со стороны шины. Канал, обнаруживший ошибку завершает свою задачу. Остальные каналы могут продолжать свою работу.

1.8 Опциональная поддержка сигналов подтверждения (acknowledge).

В зависимости от установки канала, может поддерживаться формирование отклика со стороны ПДП контроллера для снятия запроса с периферийного блока.

1.9 Контрольно-статусный регистр.

Поля регистра представлены на рисунке



1.9.1 Регистр Data_len.

32-х битный регистр задания количества байт пересылки. Транзакции с инкрементной адресацией должны быть ограничены 16-ти битным значением.

1.9.2 Регистр ADDR.

Обозначение	Поля регистра	Описание
Read_addr	15:0	Адрес источника
Write_addr	31:16	Адрес назначения

1.9.3 Регистр CONFIG.

Обозначение	Поля регистра	Описание
Enable	0	Разрешение работы канала «1» – инициализация работы канала «0» – принудительная остановка
Prior	2:1	Приоритет канала «00» – низкий «01» – средний «10» – высокий «11» – приоритетный (очень высокий)
Read mode	3	Режим адреса источника «0» – периферия «1» – память
Write mode	4	Режим адреса назначения «0» – периферия «1» – память
Read incr	5	Инкремент адреса источника «0» – нет инкремента «1» – есть инкремент
Write incr	6	Инкремент адреса назначения «0» – нет инкремента «1» – есть инкремент
Read size	8:7	Разрядность адреса источника «00» – байт «01» – полуслово «10» – слово «11» – резерв * должно быть кратно data_len
Write size	10:9	Разрядность адреса назначения «00» – байт «01» – полуслово «10» – слово

		«11» - резерв * должно быть кратно data_len
Read block size	13:11	Количество байт в пакете Определяется как $2^{\text{read_block_size}}$ * должно быть кратно read_size
Write block size	16:14	Количество байт в пакете Определяется как $2^{\text{write_block_size}}$ * должно быть кратно read_size
Read requets	20:17	Выбор периферийной линии источника *определяется по составу периферии сборки
Write requets	24:21	Выбор периферийной линии назначения *определяется по составу периферии сборки
Read ack ena	25	Разрешение работы логики с откликом для адресата источника.
Write ack ena	26	Разрешение работы логики с откликом для адресата назначения.
Irq_ena	27	Разрешение формирования прерывания по завершении работы канала.

1.9.4 Регистр CONTROL/STATUS.

Доступ при записи

Обозначение	Поля регистра	Описание
Clear local irq	CH_NUM-1:0	Очистка локального прерывания «1» - снятие запроса на прерывание
Clear global irq	CH_NUM+0	Очистка глобального прерывания. «1» - снятие запроса на прерывание
Clear error irq	CH_NUM+1	Очистка прерывания ошибки. «1» - снятие запроса на прерывание
Global_irq_ena	CH_NUM+2	Разрешение формирования глобального прерывания. «0» - разрешено «1» -запрещено
Error_irq_ena	CH_NUM+3	Разрешение формирования прерывания при ошибке. «0» - разрешено «1» -запрещено
* доступ на установку регистров разрешения прерываний возможен только при отсутствии установки на снятие запроса линии прерывания		

Доступ при чтении

Обозначение	Поля регистра	Описание
Channel ready	CH_NUM-1:0	Статус состояния каналов «1» - свободен «0» - занят
Channel irq	2*CH_NUM-1: CH_NUM	Статус прерываний «1» - есть прерывания «0» - нет прерываний
Channel bus error	3*CH_NUM-1: 2*CH_NUM	Статус состояния каналов при ошибках на шине «1» - есть ошибка «0» - нет ошибки
Channel value error	4*CH_NUM-1: 3*CH_NUM	Статус состояния каналов при ошибках вводимых значений «1» - есть ошибка «0» - нет ошибки

1.10 Схема топ уровня

