



Pontifícia Universidade Católica do Rio Grande do Sul  
Faculdade de Engenharia



Programa de Graduação em Engenharia da Computação

## LAB5 – Simulação Elétrica de Circuitos

Micro2: Maiki Buffet e Marcelo Pereira

Professor: Fernando Gehm Moraes

Porto Alegre

Maio, 2017

## 1) SIMULAÇÃO DO CIRCUITO LATCH

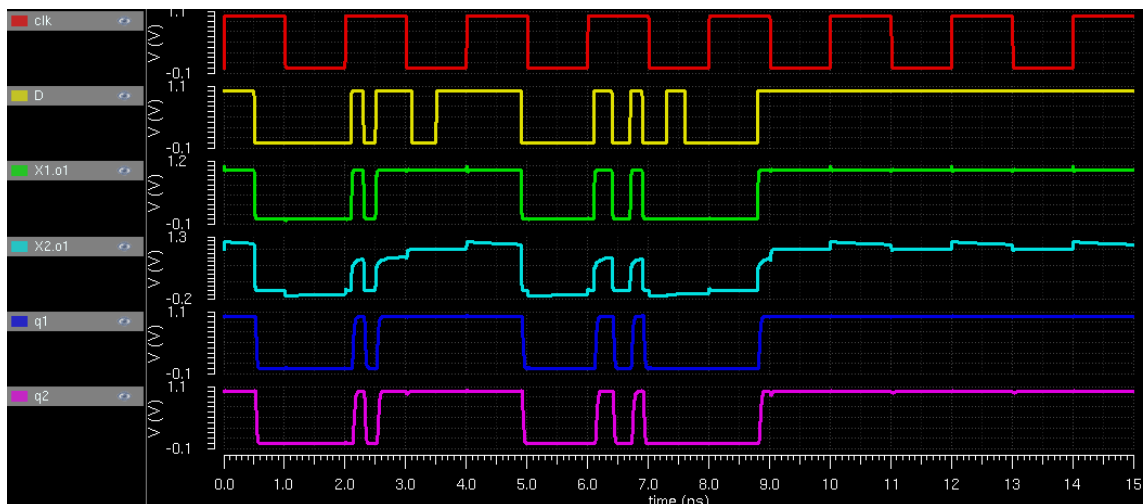
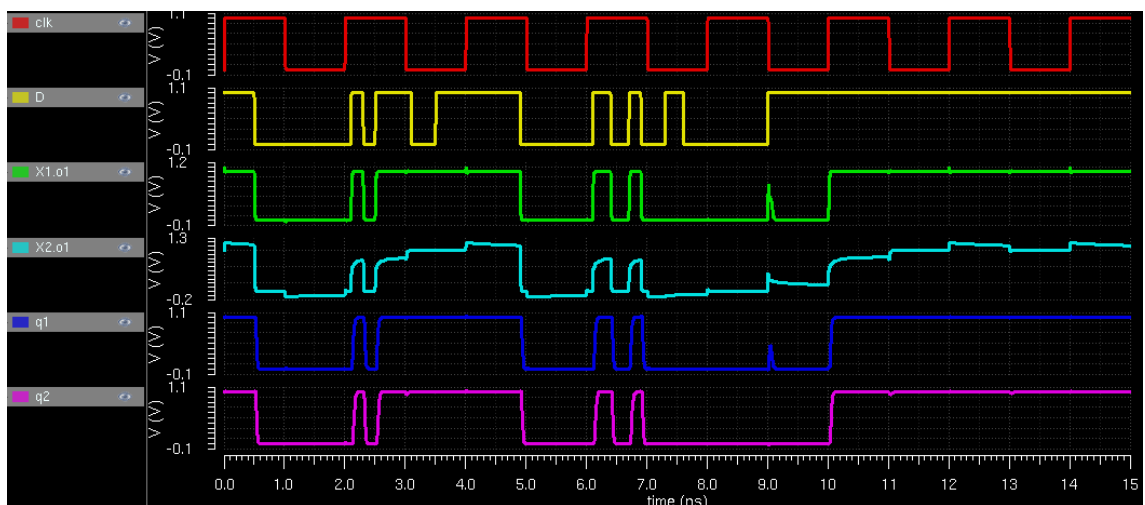
### 1. Para qual nível a latch é "passante" (ou "transparente", ou "seguidor")?

É o nível lógico alto, pois quando o clock está em 1, o valor presente na entrada do circuito sai diretamente na saída, diferentemente de quando o clock apresenta nível lógico baixo, com o clock em 0, a saída não sofre alterações.

### 2. Porque o nodo "o1" não atinge o nível lógico 1 no nível "passante"? Explicar a razão.

Na situação de quando o clock e a latch estão em nível lógico baixo. O1 não chega a 1 devido ao transistor N, que não atinge  $V_{gs} > V_{th}$  e corta.

### 3. Tempo de setup. Observe que a entrada D muda no mesmo instante que o clock em 9 ns, não havendo alteração na saída. Altere a transição de D para 8.8 ns e diga o que ocorreu, o motivo, e o novo gráfico de simulação.



Após a alteração o sinal da entrada foi corretamente passado para a saída, após a transição do clock. Isto ocorreu pois, garantiu-se o tempo para carga das capacitâncias no inversor. Este comportamento pode ser notado visto que na primeira simulação o valor da entrada é passado para a saída apenas no próximo ciclo de clock, diferentemente da situação da segunda simulação, onde o valor da entrada passa para a saída no mesmo ciclo.

4. **Observar no gráfico da questão 2 as saídas q1 e q2. Abra o arquivo latch.measure e responda qual das latches tem melhor desempenho, explicando a razão. Qual a diferença, em picosegundos, entre os tempos de subida e descida?**

No tempo de descida (TD) as duas saídas são praticamente iguais, contudo, na subida, a latch q1 tem melhor desempenho. Este desempenho é ocasionado por possuir duas portas de *transmission gate*, apresentando um tempo menor. Isso pode ser explicado pois com o *transmission gate* não é necessário ter gasto energético regenerando o sinal zero, fazendo que este sinal chegue mais rapidamente.

Com transistores, a latch é aproximadamente 1.33ps mais rápida para descer, mas 13.59ps mais lenta para subir. Logo, com TGs a latch é mais rápida.

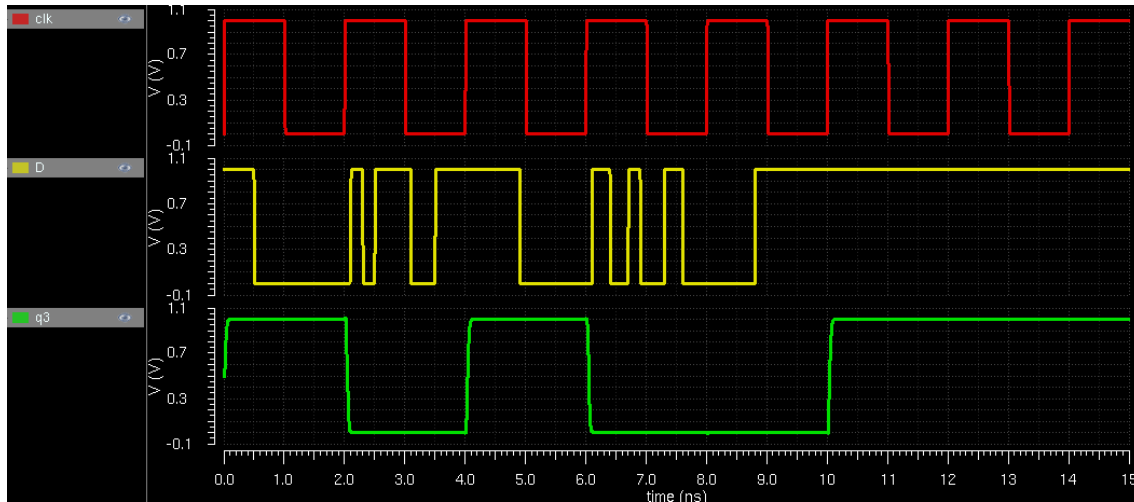
```
Measurement Name : transient1
Analysis Type    : tran
diff_descida     = -1.33912
diff_subida      = 13.5975
tdd              = -1.33912e-12
tss              = 1.35975e-11
```

## 2) SIMULAÇÃO DO CIRCUITO FLIP-FLOP D SENSÍVEL À BORDA DO CLOCK

1. **Apresentar no relatório a descrição SPICE do flip-flop.**

```
.subckt ffd d q nq ck vcc
X1 ck nck vcc inv
X2 o1 o2 vcc inv
X3 o2 o3 vcc inv
X4 d nck ck o1 vcc tg
X5 o1 ck nck o3 vcc tg
X6 o2 ck nck o4 vcc tg
X7 o4 q vcc inv
X8 q nq vcc inv
X9 nq nck ck o4 vcc tg
.ends ffd
```

2. Apresentar o diagrama de tempos para os sinais clk, D, q3. Mostrar que o sinal é sensível à borda do ck, e à que borda ocorre a transição na saída.



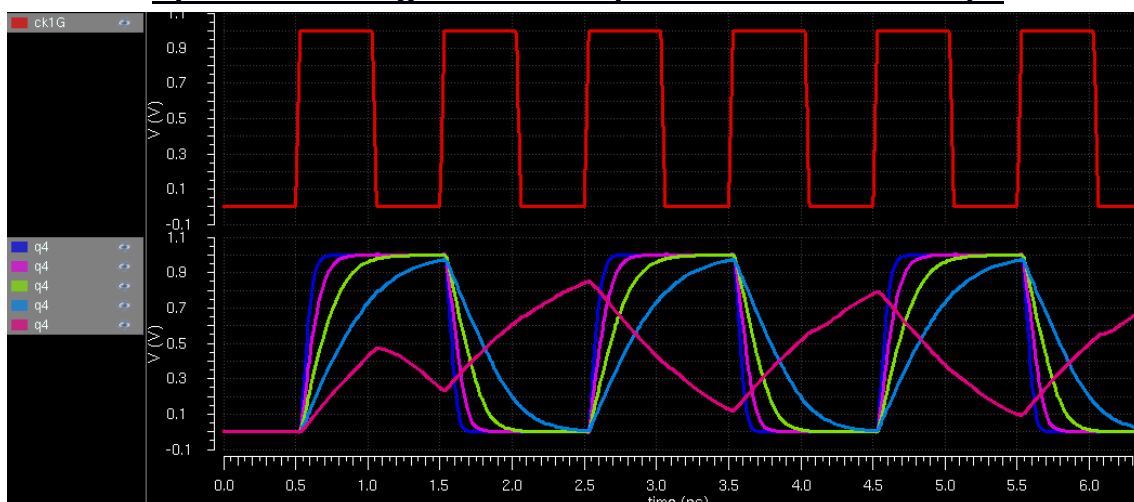
Este flip-flop é sensível a borda de subida do clock, como é possível se averiguar no gráfico. Este comportamento está visível no tempo 2ns da simulação uma vez que a entrada D está em nível lógico 0 e o clock sobe - apresentando na saída q3 o nível lógico 0.

3. Qual o número de transistores para este flip-flop?

Tipo de Porta	Quantidade de Portas	NMOS	PMOS	Total
Transmition Gate	4	4	4	8
Inversor	4	4	4	8
Inversor de Clock	1	1	1	2
				18 Transistores

4. Faça uma nova instância do flip-flop D mestre-escravo, realimentando o sinal nq com a entrada D. Utilizando como sinal de clock uma frequência de 1GHz. Faça a capacitância clms assumir os valores {10fF, 20fF, 40fF, 80fF, 160fF}.

- a. Apresente o diagrama de tempos contendo clk1G e q4.



- b. Comente o comportamento do circuito, dizendo até qual capacitância de saída o circuito opera corretamente como um divisor de clock, explicando o comportamento.

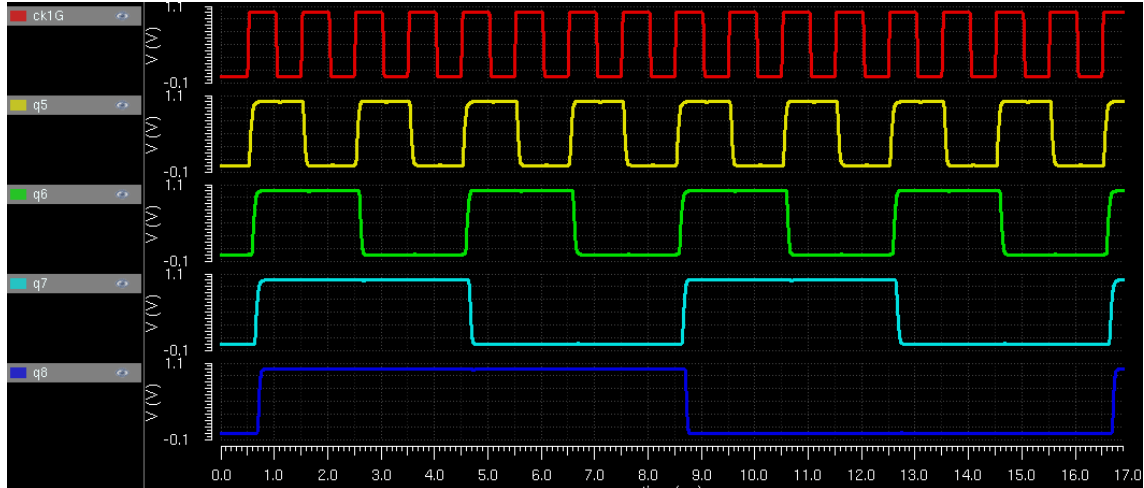
O circuito opera como deveria até o valor de 80fF. Após este valor, a carga passa a ser muito alta para esta frequência de clock, assim, não permitindo que o capacitor carregue completamente dentro de um ciclo.

### 3) SIMULAÇÃO DE UM CONTADOR ASSÍNCRONO DE 4-BITS

#### 1. Descrição SPICE:

```
X5 nq5 q5 nq5 cK1G vcc ffd
C51 q5 0 4fF
X6 nq6 q6 nq6 q5 vcc ffd
C61 q6 0 4fF
X7 nq7 q7 nq7 q6 vcc ffd
C71 q7 0 4fF
X8 nq8 q8 nq8 q7 vcc ffd
C81 q8 0 4fF
.ic v(q5)=0
.ic v(q6)=0
.ic v(q7)=0
.ic v(q8)=0
```

#### 2. Plote os sinais ck1G, q0, q1, q2, q3:



#### 3. Qual o número de transistores para o contador de 4bits?

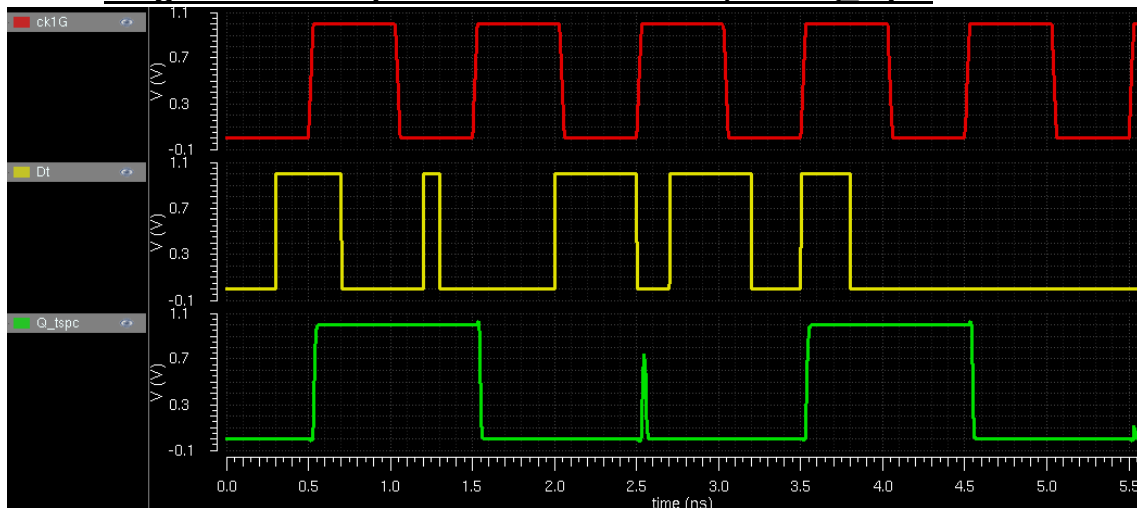
Tipo de Porta	Quantidade de Portas	NMOS	PMOS	Total
Transmission Gate	16	16	16	32
Inversor	20	20	20	40
				72 Transistores

#### 4) SIMULAÇÃO DO FLIP-FLOP DINÂMICO TSPC

##### 1. Descrição spice:

```
.subckt ff_tspc D CLK Q nQ vcc
M3 n0 D D vcc vcc psvtp w=wp l=0.06
M2 X CLK n0 vcc psvtp w=wp l=0.06
M1 X D 0 0 nsvtp w=wn l=0.06
M6 Y CLK vcc vcc psvtp w=wp l=0.06
M5 Y X n1 0 nsvtp w=wn l=0.06
M4 n1 CLK 0 0 nsvtp w=wn l=0.06
M9 nQ Y vcc vcc psvtp w=wp l=0.06
M8 nQ CLK n2 0 nsvtp w=wn l=0.06
M7 n2 Y 0 0 nsvtp w=wn l=0.06
X10 nQ Q vcc inv
.ends ff_tspc
```

##### 2. Diagrama de tempos com os sinais ck1G, Dt e Q tspc:



##### 3. A saída Q opera em qual borda do sinal de clock :

Opera na borda de subida do clock. Este comportamento pode ser observado durante a primeira borda de subida onde o 1 da entrada Dt passa para a saída Q\_tspc, apenas depois da borda.

##### 4. Como o circuito se comportou em relação ao tempo de setup?

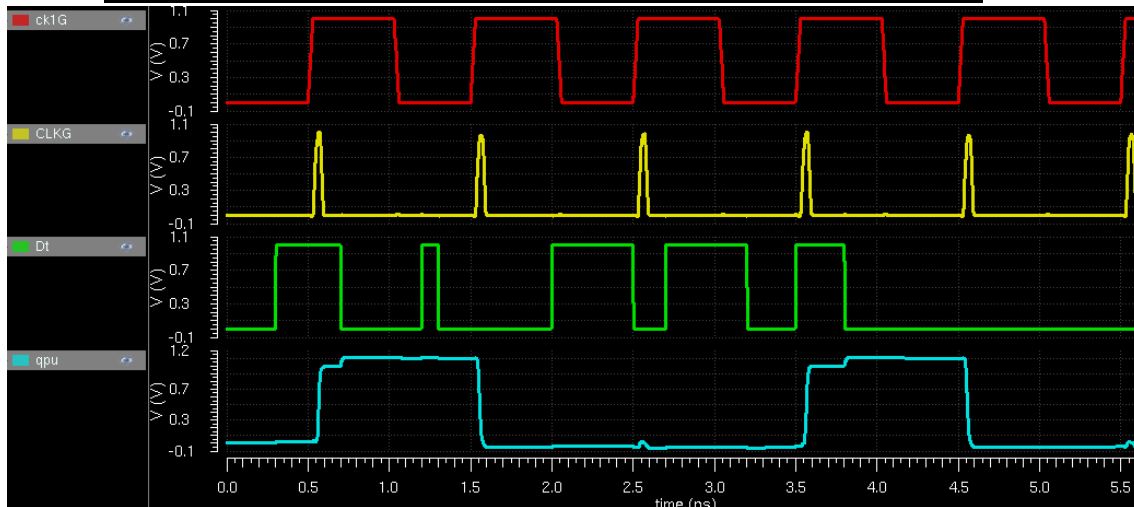
Este circuito apresenta diferentes resultados quando se trata de violações de tempo de setup, quando há alteração de nível lógico ocorre no sentido alto-baixo, o circuito desconsidera a alteração, como pode ser visto no instante 3,5ns. Já no caso onde a transição de nível lógico se dá no sentido baixo-alto, como no instante 2,5ns, o circuito manteve o nível lógico 1, pois devido a pré-carga, o tempo de setup para subida de nível lógico é praticamente nulo.

## 5) SIMULAÇÃO DO FLIP-FLOP COM CLOCK PULSADO

### 1. Descrição SPICE:

```
.subckt ms_clkpul      d      q      clkg vcc
M3      n0      d      vcc      vcc      psvtlp w=wp l=0.06
M2      n0      clkg    X      0      nsvtlp w=wn l=0.06
M1      X      d      0      0      nsvtlp w=wn l=0.06
M6      q      n0      vcc      vcc      psvtlp w=wp l=0.06
M5      q      clkg    n1      0      nsvtlp w=wn l=0.06
M4      n1      n0      0      0      nsvtlp w=wn l=0.06
.ends ms_clkpul
```

### 2. Diagrama de tempos com os sinais ck1G, CLKG, Dt e qpu.

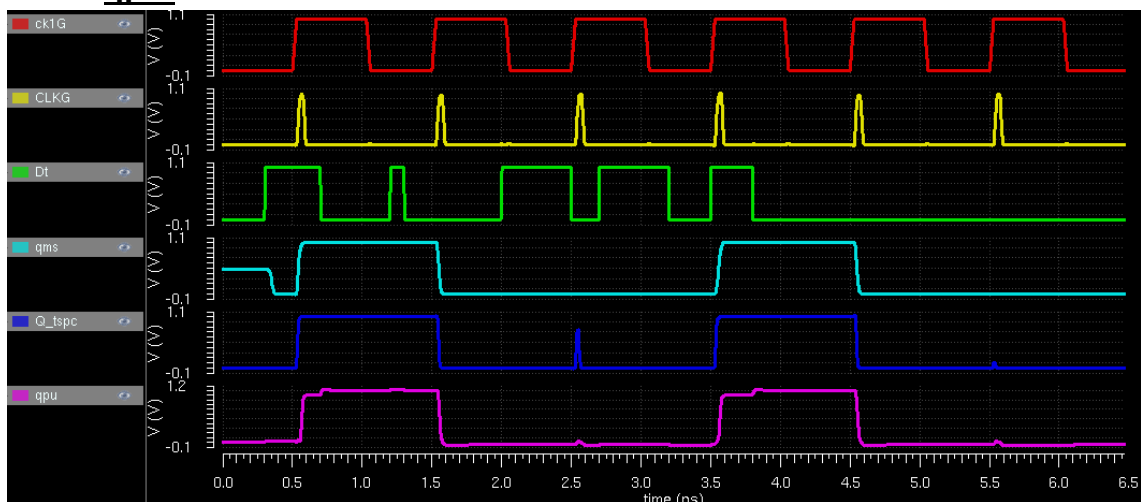


### 3. Explique o comportamento observado na saída qpu:

A saída qpu altera seu nível lógico sempre que ocorre um pulso de clock CLKG. Isto ocorre porque este flip-flop é implementado como uma latch de nível lógico passa-alto - quando o sinal do clock está em 1, o valor da entrada Dt aparece na saída qpu e quando o clock se encontra em 0, a saída mantém o valor anterior.

## 6) COMPARAÇÃO DOS FLIP-FLOPS

### 1. Diagrama de tempos com os sinais ck1G, CLKG, Dt, qms, Q tpsc, qpu:



## **2. Comente o comportamento dos três flip-flops, destacando as diferenças.**

Qms: A principal diferença no resultado obtido por este flip-flop em relação aos outros dois tipos testados, pode ser observado em dois momentos. O primeiro em 2,5ns e depois em 3,5ns - onde mostrou sua dependência de tempo de setup, logo, as alterações da entrada que ocorrem muito próximas ao momento da alteração de nível do clock não são passadas para a saída.

Qpu: Esta implementação tem funcionalidade igual a de um latch com nível lógico passa-alto - o valor da entrada é passado, quase instantaneamente, para a saída quando o clock está em 1; sendo assim este flip-flop não tem tempo de setup.

Q\_tspc: A diferença que este flip-flop apresentou é observada no instante 3,5ns - onde o tempo de setup não foi respeitado embora a saída fora alterada. Isto acontece, pois, esta implementação de flip-flop tem um estágio de pré-carga fazendo que uma transição de nível lógico baixo para alto tenha tempo de setup praticamente nulo.

## **3. Preencher a tabela abaixo, destacando o flip-flop mais rápido:**

	Tempo de subida (ps)	Tempo de descida (ps)
Flip-flop estático	27.1194	35.0698
Flip-flop TSPC	21.2107	33.6019
Flip-flop Glitch	24.2931	14.1594