



Pontifícia Universidade Católica do Rio Grande do Sul

Faculdade de Engenharia

Programa de Graduação em Engenharia da Computação



LAB4 – Simulação Spice

Portas Lógicas

Micro2: Maiki Buffet e Marcelo Pereira

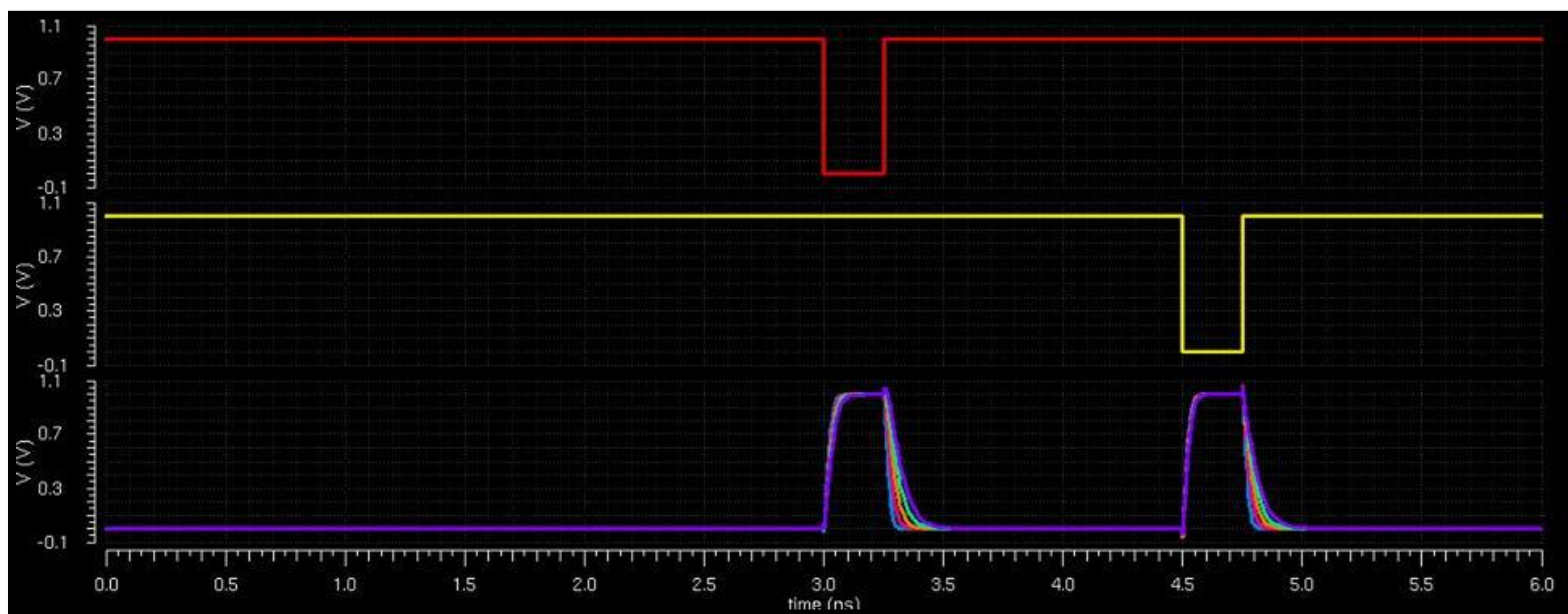
Professor: Fernando Gehm Moraes

Porto Alegre

Maio, 2017

NAND

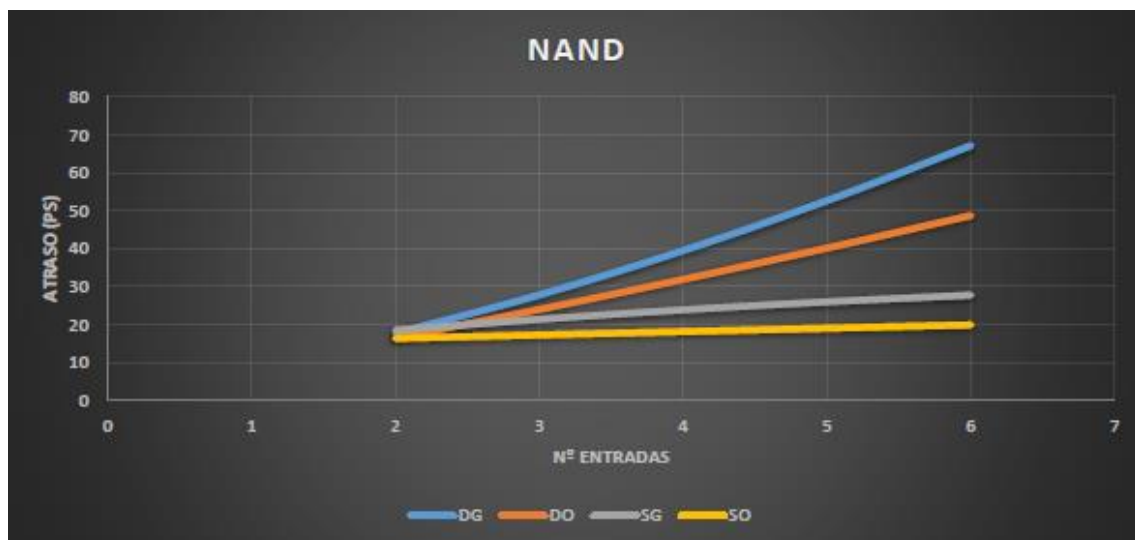
- 1) Apresentar as formas de onda com as entradas e as saídas das NANDs 2 a 6 entradas:



- 2) Fazer uma tabela para as portas NAND:

| NAND | Tempo de Descida (ps) | | Tempo de Subida (ps) | |
|-------------|-----------------------|-------------|----------------------|-------------|
| Nº Entradas | Entrada GND | Entrada OUT | Entrada GND | Entrada OUT |
| 2 | 17,6898 | 16,3936 | 18,4772 | 16,3393 |
| 3 | 27,7922 | 23,957 | 21,3505 | 17,234 |
| 4 | 39,4965 | 31,8943 | 23,8476 | 18,1235 |
| 5 | 52,6649 | 40,1536 | 25,9647 | 19,0111 |
| 6 | 67,1742 | 48,7157 | 27,7321 | 19,8967 |

- 3) Plotar um gráfico resultante da tabela acima:



- 4) **Como se pode resumir o impacto do número de transistores em série no plano N na porta NAND no tempo de propagação de subida e no tempo de propagação de descida?**

O número de transistores em série no plano N influencia os tempos de propagação de descida devido a capacitâncias parasitas na “pilha série”. O tempo de subida também aumenta, em menor proporção, devido à maior capacitância que deve ser carregada.

- 5) **O tempo de descida é mais afetado quando a entrada que varia está próxima de gnd ou da saída? Explicar a razão.**

Quando a entrada que muda de estado estiver próxima da saída, os nodos internos da “pilha série” já estão descarregados (em gnd). Assim, só se descarrega a capacitância de saída.

Quando a entrada que muda de estado estiver próxima a gnd, os nodos internos da “pilha série” estão carregados (em vcc). Assim, deve-se descarregar todas as capacitâncias internas. Por esta razão a entrada mais próxima de gnd é a mais lenta.

- 6) **Para a nand2, porque os tempos de subida e descida estão semelhantes para cada entrada que varia? Utilize a introdução ao método logic effort para justificar a resposta, lembrando do laboratório 2 onde se calculou a mobilidade para esta tecnologia.**

O objetivo é reduzir uma dada porta lógica a um inversor equivalente, onde o dimensionamento dos transistores obedeça a mobilidade (de acordo com o lab 2 a mesma foi calculada em 2,5).

Dado que o plano P tem $W=0,5 \mu\text{m}$ (transistores paralelos), o plano N deve ter W equivalente igual a $0,2 \mu\text{m}$.

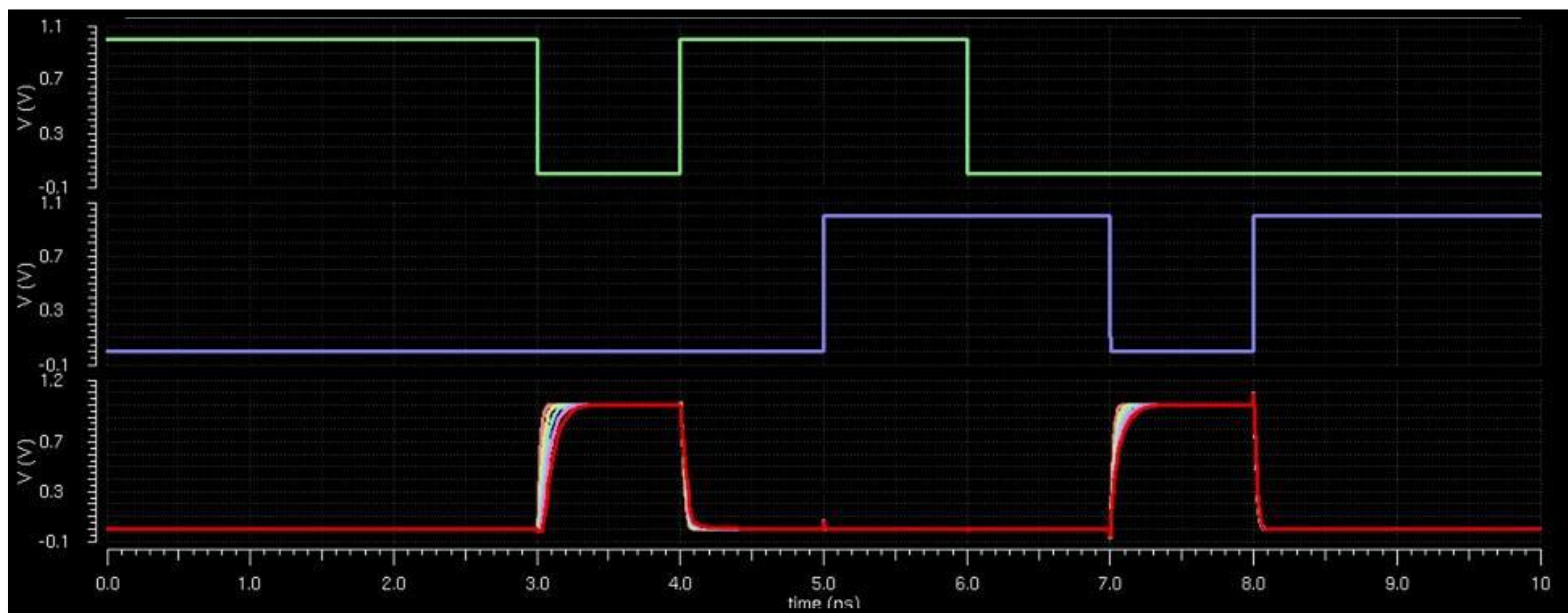
Para isto: $0,2 = 1 / ((1/x)+(1/x))$

$x = 0,4 \rightarrow$ De acordo com o netlist os W_n têm dimensionamento igual a $0,4 \mu\text{m}$, o que explica a equivalência dos tempos de subida e descida.

| NAND2 | Descida | Subida |
|-------|---------|--------|
| GND | 17,69 | 18,48 |
| OUT | 16,4 | 16,34 |

NOR

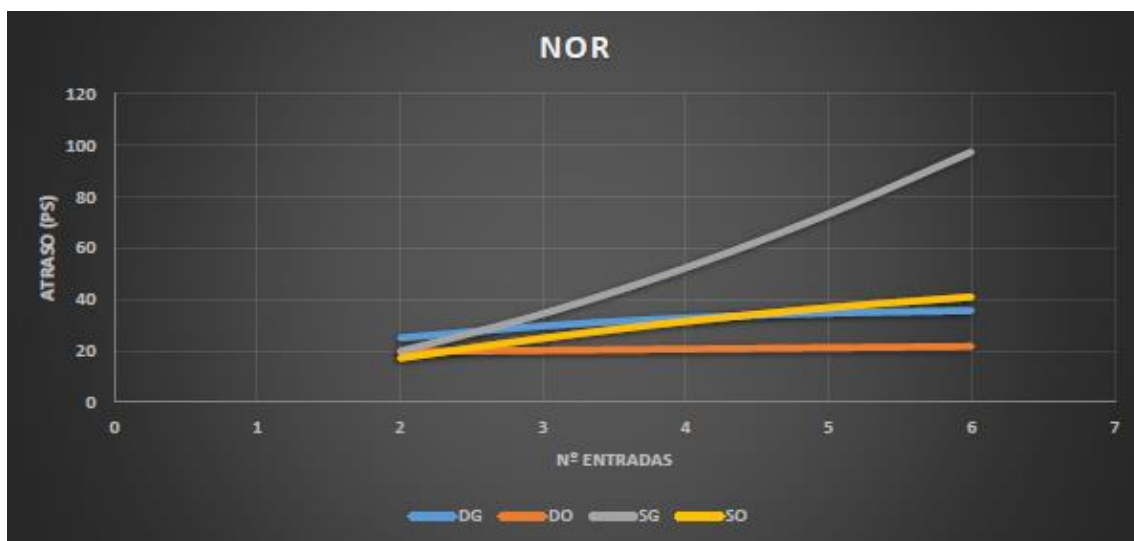
- 1) Apresentar as formas de onda com as entradas e as saídas das NORs 2 a 6 entradas:



- 2) Fazer uma tabela para as portas NOR:

| NOR | Tempo de Descida (ps) | | Tempo de Subida (ps) | |
|-------------|-----------------------|-------------|----------------------|-------------|
| Nº Entradas | Entrada GND | Entrada OUT | Entrada GND | Entrada OUT |
| 2 | 25,0861 | 19,7304 | 19,8114 | 17,2252 |
| 3 | 29,6951 | 20,2473 | 34,4903 | 24,9519 |
| 4 | 32,8569 | 20,7623 | 52,3688 | 31,488 |
| 5 | 34,7351 | 21,2759 | 73,3929 | 36,8139 |
| 6 | 35,701 | 21,7882 | 97,4734 | 41,0483 |

- 3) Plotar um gráfico resultante da tabela acima:



- 4) **Como se pode resumir o impacto do número de transistores em série na porta NOR em função do número de transistores em série no plano P?**

O número de transistores em série no plano P influencia os tempos de propagação de subida devido a capacitâncias parasitas na “pilha série”. O tempo de descida também aumenta, em menor proporção, devido à maior capacitância que deve ser descarregada.

- 5) **O tempo de subida é mais afetado quando a entrada que varia está próxima de vcc ou da saída? Explicar a razão.**

Quando a entrada que muda de estado estiver próxima da saída, os nodos internos da “pilha série” já estão carregados (em vcc). Assim, só se carrega a capacitância de saída.

Quando a entrada que muda de estado estiver próxima a vcc, os nodos internos da “pilha série” estão descarregados (em gnd). Assim, deve-se carregar todas as capacitâncias internas. Por esta razão a entrada mais próxima de vcc é a mais lenta.