

Relatório Trabalho I – Etapa síntese física

Alunos: Alexandre Carvalho / Daniel Vega

Disciplina: Projetos de Sistemas Integrados II

Professora: Letícia Pöhls

Conteúdo

Etapas da síntese física..... 3

 Environment Configuration..... 3

 Floorplaning 3

 Pin Editor 3

 Power Planning 4

 Placement..... 5

 Optimization Post Placement..... 6

 Clock Tree Synthesis..... 6

 Optimization Post CTS 6

 Nano Route 6

 Verification..... 6

 Output 6

Resultados..... 7

Conclusão 7

Etapas da síntese física

Environment Configuration

Nesta etapa definimos o nodo tecnológico de 65nm e também devemos informar os arquivos obtidos da síntese comportamental, no caso deste trabalho, serão os arquivos de output do *Genus* para a célula nos *corners typical*, *worst case* e *best case*.

Floorplaning

A etapa de *floorplaning* consiste na definição de alguns parâmetros tais como altura e largura da célula, utilização do core (neste caso 70%) e também os valores da margem entre o *core* e as bordas do chip que para este trabalho foi de 20. Após a realização desta etapa o *design* ficou conforme a Figura 1.

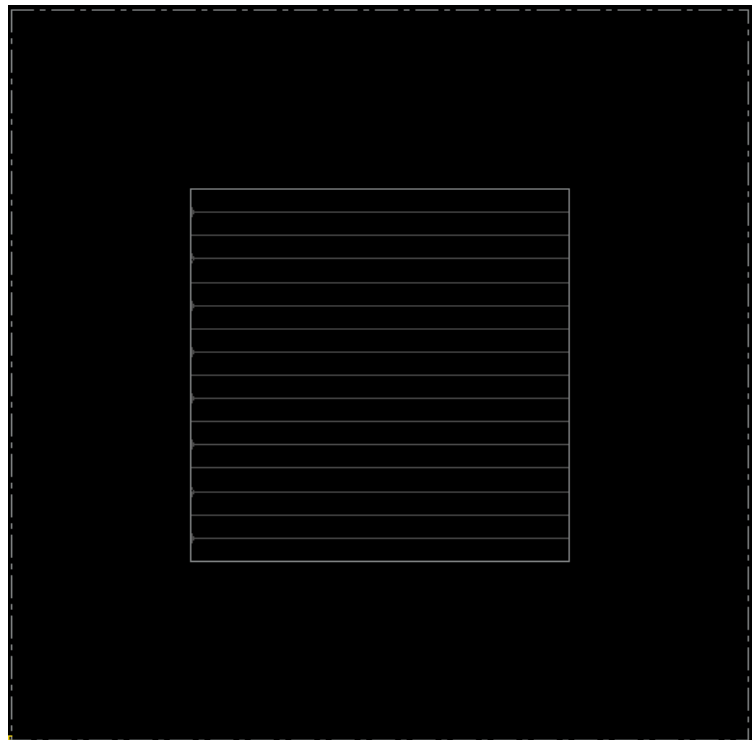


Figura 1 – Design resultante após a etapa de floorplaning

Pin Editor

Agora chegou a hora de configurar os pinos da célula que são 'clk', 'clr', 'hlt' e 'q3[8]'. Todos os pinos são colocados no topo. O design resultante é mostrado na Figura 2.

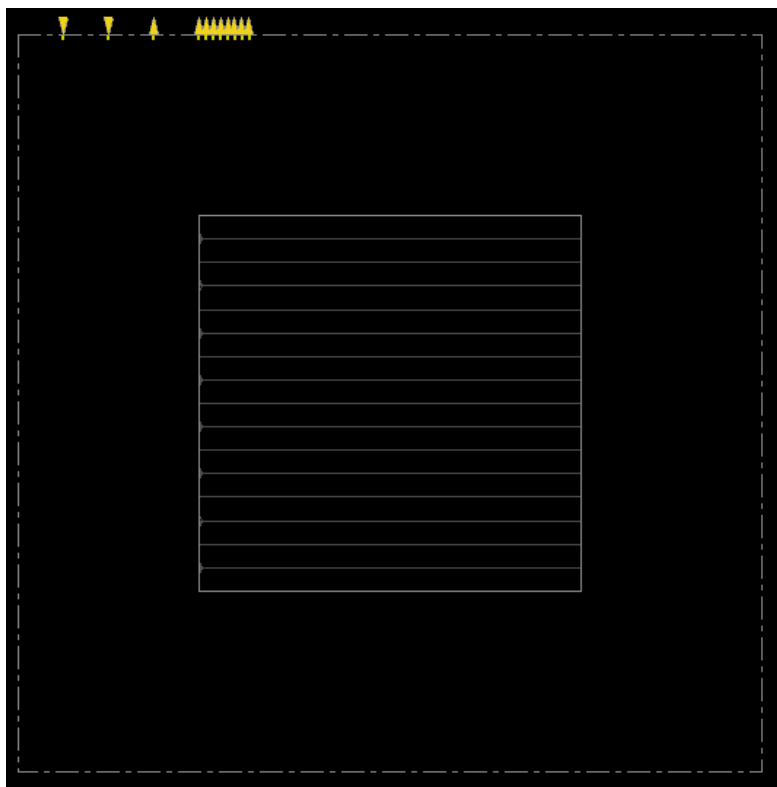


Figura 2 – Design resultante após a etapa de pin Editor

Power Planning

Nesta etapa é realizada a configuração dos *Power rings*, assim, definimos as nets como gnd e vdd, tamanho da largura de 0.5, espaçamento de 0.4972 e offset de 1.5. Devido ao tamanho pequeno da célula não foi necessário pôr os *Power Stripes*. A Figura 3 mostra o resultado do design após essa etapa.

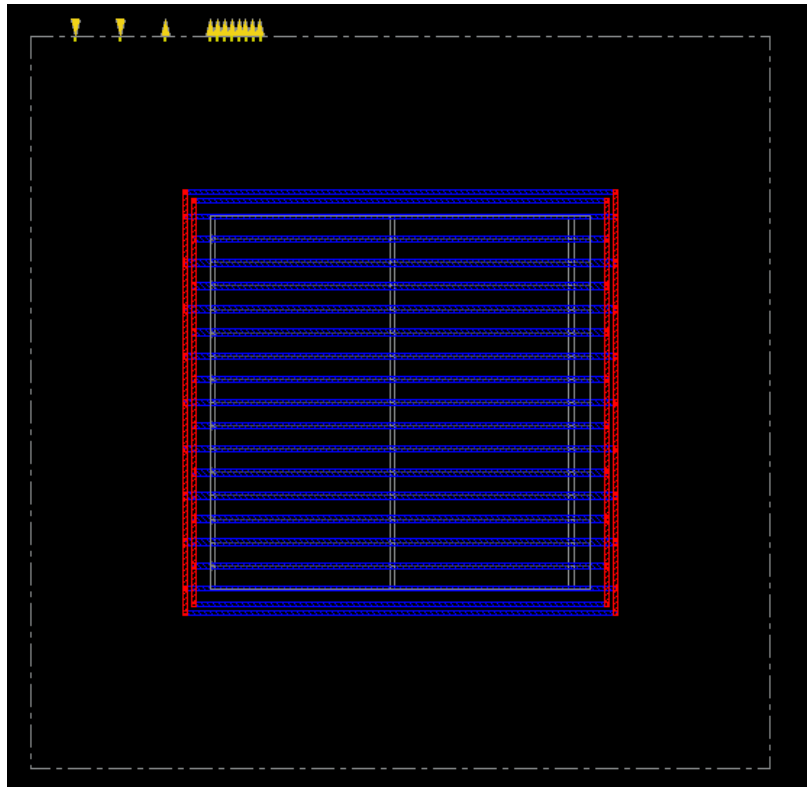


Figura 3 – Design resultante após a etapa de Power planning

Placement

Nesta etapa inserimos os componentes do circuito dentro da região do chip. Na *Physical view* mostra-se a alocação dos componentes. Abaixo temos a figura 4 ilustrando a *physical view* do design e podemos observar que o projeto começa a tomar forma.

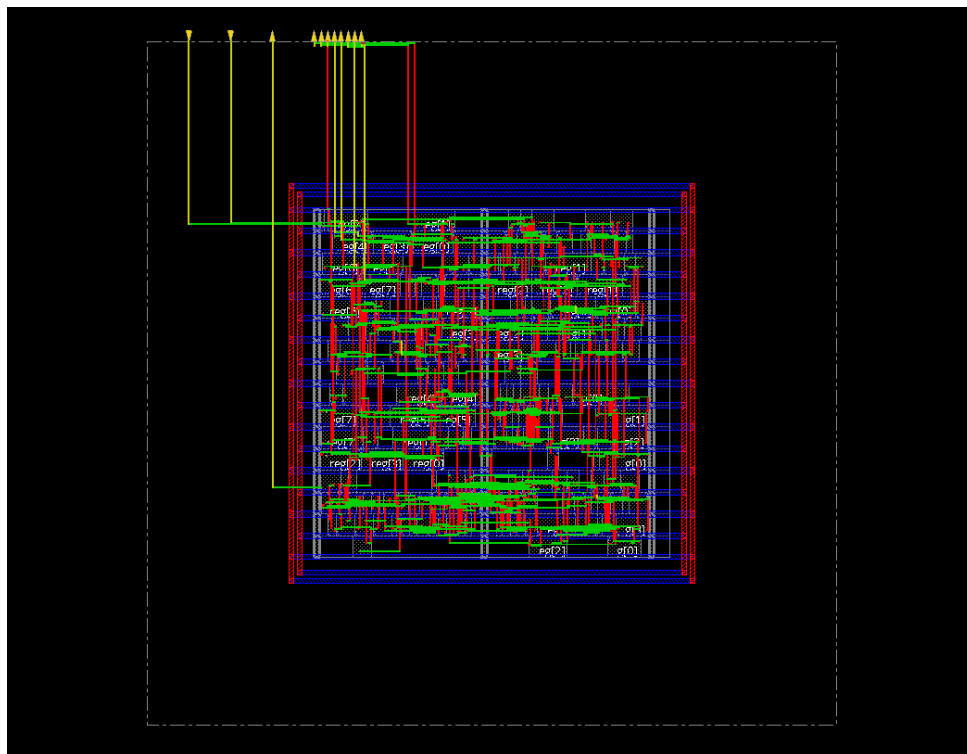


Figura 4 – Design resultante após a etapa de placement

Optimization Post Placement

Nesta etapa do processo é feita uma primeira otimização e também é feita uma análise do tempo de setup, que indica se há algumas violações de tempos nos caminhos.

Clock Tree Synthesis

Nesta etapa é feita a síntese da árvore de clock. Esta etapa é feita para garantir que o clock atenda o circuito de forma sincronizada.

Optimization Post CTS

Esta etapa faz mais uma otimização de circuito a fim de melhorar os tempos de setup. Se houver violações no tempo, deve-se realizar a otimização novamente.

Nano Route

Nesta etapa é feito o roteamento final do circuito, onde são definidos todos os caminhos por onde passarão os sinais elétricos do chip. A Figura 5 apresenta o design final do CI.

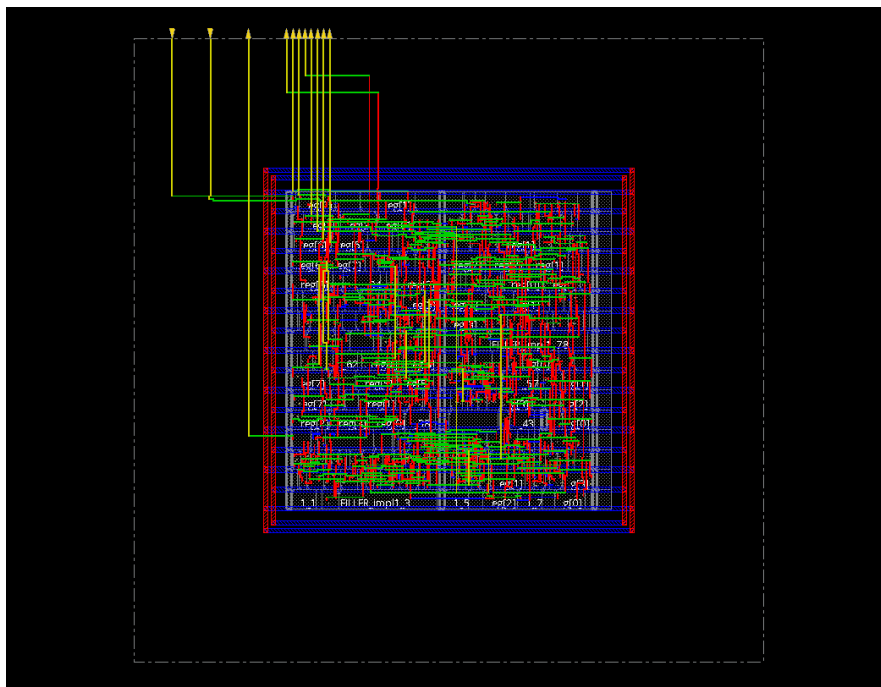


Figura 5 – Design final

Verification

Nesta etapa é executado o 'check_drc' e 'check_design -all' para tentar encontrar alguma violação no modelo geométrico, temporização do circuito ou elétrico que não estão de acordo com as regras do *design* e especificação.

Output

Agora que o projeto está finalizado, deve-se salvar o projeto e exportar os arquivos do netlist, .DEF, .SDF e os arquivos de *reports*.

Resultados

A tabela 1 exibe as informações de características do CI gerado nas três versões dos corners, nominal, worst e best. As informações foram retiradas dos dados gerados pela ferramenta *Innovus*.

Corner	Dimensão do die (μm)	Área do core (μm^2)	Nro de linhas	Nro de instâncias	Nro de layers
Worst	81000x84200	1812.20	17	543	8 (M1-M7, AP)
Nominal	82400x81600	1763.84	16	404	8 (M1-M7, AP)
Best	81400x84200	1829.88	17	540	8 (M1-M7, AP)

Tabela 1 – Características do CI para três versões de corners diferentes

A tabela 2 exibe informações sobre os relatórios de timing, power e DRC para as três versões de *corners*. O chip que mais ocupou área foi a do corner *best case*, entretanto, neste corner foi o que menos consumiu energia e teve o maior slack. Na versão *worst case* teve a medida de slack negativa, ou seja, ocorre uma violação de tempo necessário para um caminho crítico para um clock de 1Ghz. Os demais itens não tiveram diferenças muito drásticas em relação aos diferentes corners.

Corner	Área total do chip (μm^2)	Área total do core (μm^2)	Densidade do core (%)	Comprimento total de fio (μm)	Energia total (μW)	Slack (ps)	Nro de células utilizadas
Worst	6820.20	1812.20	69.154	3311.81	0.8498	-0.122	92
Nominal	6723.84	1763.84	68.809	3262.63	0.7348	0.035	97
Best	6853.88	1829.88	69.054	3352.05	0.6521	0.157	96

Tabela 2 – Comparação dos resultados obtidos nos relatórios de timing, Power e DRC para os três corners.

Conclusão

O trabalho permitiu uma imersão maior na elaboração da parte física de um chip, contribuindo para o conhecimento das características mais relevantes de um chip, tais como, dimensões de um die, área do core e etc. Os relatórios possuem informações relevantes a cerca do chip, como *slack time*, energia total e etc.

As informações obtidas nas tabelas 1 e 2 auxiliaram-nos ao seguinte raciocínio: o corner *best case* foi o que obteve o melhor resultado, pois, irá ter um consumo menor e portanto uma menor temperatura também, e como sabemos, a temperatura é o grande vilão de um CI, o *slack time* da versão *best* é maior e isso informa que o circuito será mais rápido comparado as outras versões, porém, o único ponto negativo da versão *best case* é o fato do CI ter ocupado uma área maior que os demais corners. A versão *nominal* ficou mediana em relação aos resultados e a versão *worst case* teve os piores resultados, em especial o *slack*

time negativo que irá causar um mau funcionamento do CI e sem falar que irá ter um consumo maior de energia ocasionando um aumento de temperatura em relação aos outros corners.

Referências

- Electronic design automation: synthesis, verification, and test – Laung-Terng Wang, Yao-Wen Chang, Kwang-Ting cheng [2008]
- Algorithms for VLSI physical design automation 3th edition – Naveed A. Sherwani