



Pontifícia Universidade Católica do Rio Grande do Sul
Faculdade de Engenharia



Programa de Graduação em Engenharia da Computação

LAB2 – Simulação Spice do Inversor

Micro2: Maiki Buffet e Marcelo Pereira

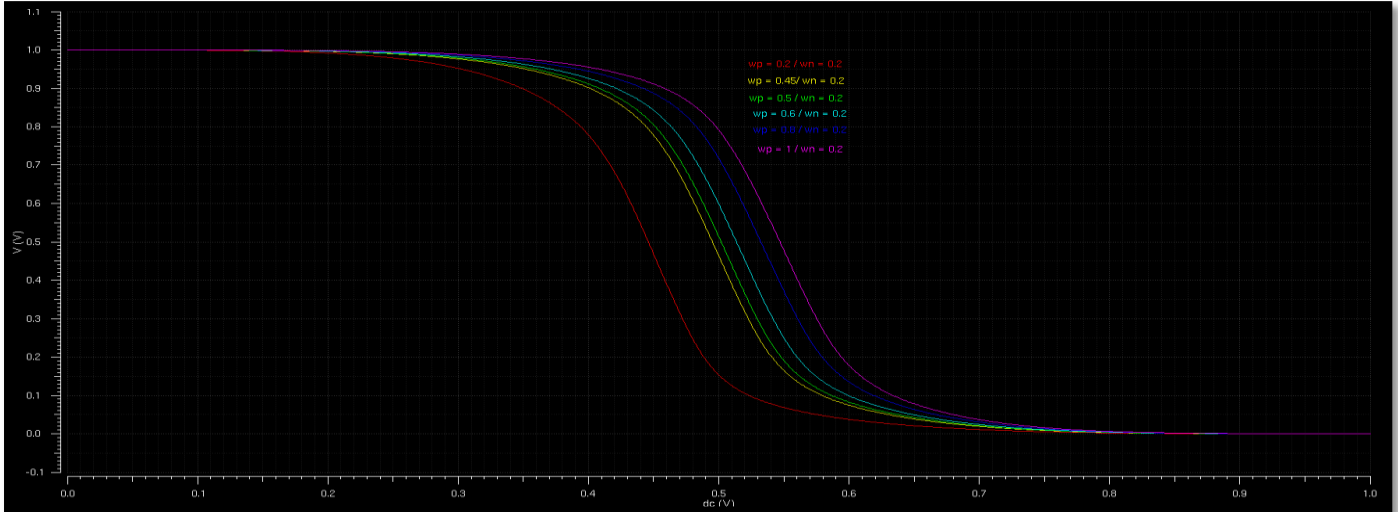
Professor: Fernando Gehm Moraes

Porto Alegre

Março, 2017

1) SIMULAÇÃO DC DE UM INVERSOR

1. No relatório, indicar o dimensionamento dos transistores em cada curva, inserindo labels sobre as mesmas (por exemplo: $W_n=x/W_p=x$). Explique o comportamento das curvas.

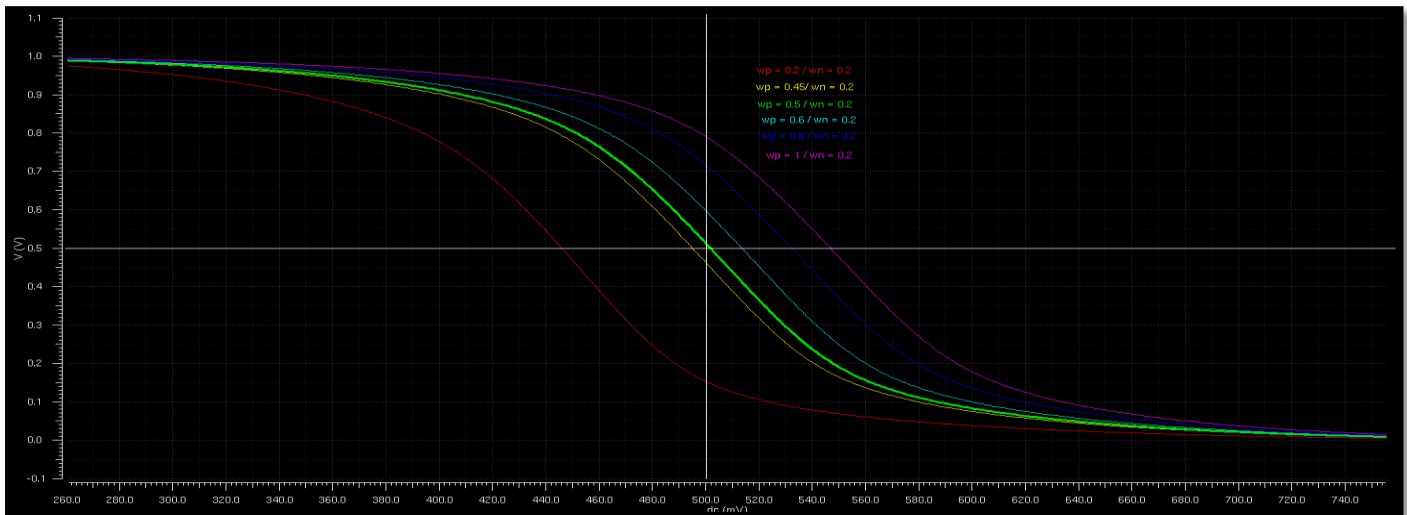


Na figura superior, pode-se observar que as curvas mostram a transferência de tensão entre os transistores tipo N e P que representam a mudança do estado de operação. Observa-se que na tensão de saída (eixo vertical) em 1 V, o transistor N não atua e o P está saturado, logo com o aumento da tensão de entrada (eixo horizontal), até aproximadamente 0,8 V, em relação ao eixo vertical que o transistor N começa a atuar em região linear e o transistor P está saturado.

Em aproximadamente 0.5 V (tensão Threshold de chaveamento) ocorre o chaveamento dos transistores, pois indica o local onde os transistores N e P estão em região linear. Quando a tensão de entrada chega perto de 0.2 V (eixo vertical) o transistor N satura e o transistor P continua em região linear. Quando a tensão chega próxima a 0 V o transistor N satura e o transistor P não atua.

2. A figura da direita é um zoom em torno da meia excursão do sinal (0.5 V) na entrada, mostrando que a curva apontada está com a saída próxima também a 0,5 V. Qual a relação W_p/W_n neste caso? O que esta relação indica?

W_p/W_n	0.2/0.2=1	0.45/0.2=2.25	0.5/0.2=2.5	0.6/0.2=3	0.8/0.2=4	1/0.2=5
-----------	-----------	---------------	-------------	-----------	-----------	---------



Analisa-se que no gráfico da simulação DC, o $W_p/W_n = 0.5/0.2$, é o local onde o inversor chaveia na meia excursão do sinal, pois a relação " $W_p/W_n = \mu_n/\mu_p$ " é satisfeita.

Na curva com dimensionamento $W_p/W_n = 1$, o chaveamento ocorre mais rapidamente, pois o valor de entrada está abaixo de $V_{CC}/2$ e passa de nível lógico 1 para 0, no qual é influenciado pela relação do tamanho do W dos transistores N e P ser menor do que a relação de mobilidade " $W_p/W_n < \mu_n/\mu_p$ " que resulta em maior ganho do transistor N. No dimensionamento $W_p/W_n = 3$, $W_p/W_n = 4$ e $W_p/W_n = 5$, o chaveamento ocorre mais lentamente, pois o valor de entrada está acima de $V_{CC}/2$ e passa do nível lógico 0 para 1, caracterizando mais ganho para o transistor P, e a relação de mobilidade é " $W_p/W_n > \mu_n/\mu_p$ ".

2) SIMULAÇÃO DE UM INVERSOR PARA DIFERENTES DIMENSIONAMENTOS DE TRANSISTOR

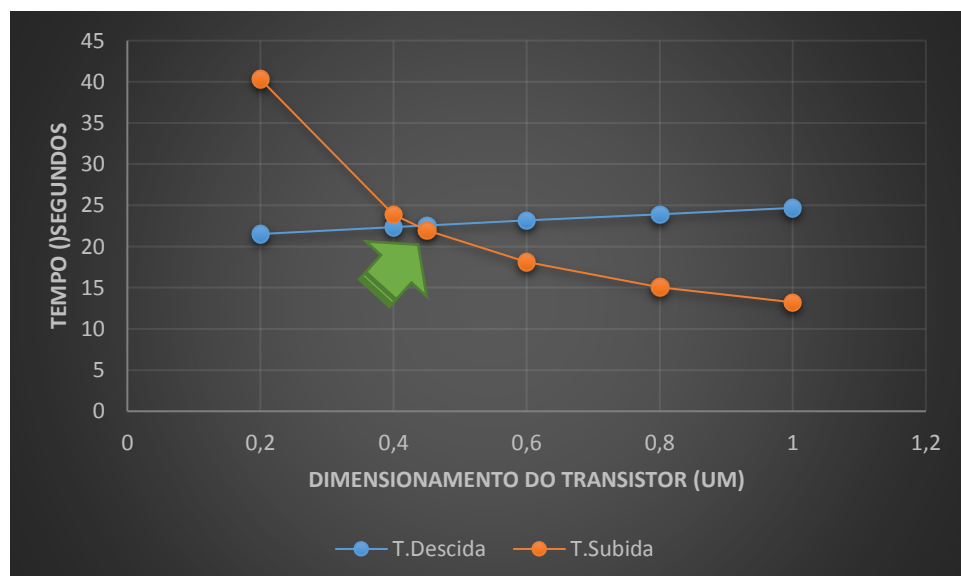
1. Fazer uma tabela para os tempos de propagação de subida e descida (arredondar para duas casas decimais). Os dados dos comandos de medida estão no arquivo inv1_w.measure. A coluna “diferença” corresponde à medida diff no arquivo measure.

Dimensão Wp (μm)	T. Descida (ps)	T. Subida (ps)	TD-TS
0.2	21.5172	40.3049	18.7878
0.4	22.3534	23.8907	1.53735
0.45	22.5419	21.9595	0.582389
0.6	23.1619	18.1061	5.05573
0.8	23.9312	15.0574	8.87385
1	24.6906	13.2314	11.4592

2. Notar que apesar do transistor N manter a mesma dimensão (0.2 μm), o tempo de propagação de descida (TD) aumentou com o aumento do transistor P. Pesquisar a razão e explicar.

O transistor P aumentando o seu W aumentará o seu ganho. Assim, para que haja a transição no transistor N (descarga do nodo de saída, que está sendo mantido pelo transistor P), é necessário aplicar um maior VGS no transistor N para que haja uma corrente IDS suficiente para ocorrer a descarga na saída.

3. Trace no excel (ou outro programa de gráficos como gnuplot) a evolução dos tempos de propagação de subida/descida em função do dimensionamento dos transistores. O gráfico terá duas curvas, no eixo X o dimensionamento do transistor P, e no eixo y os tempos TD e TS.

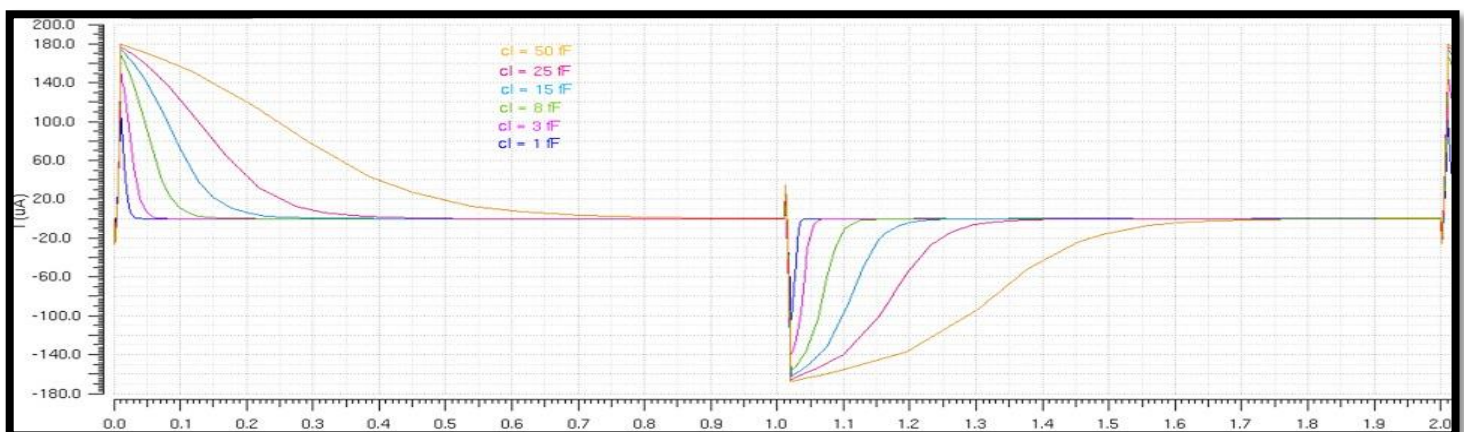
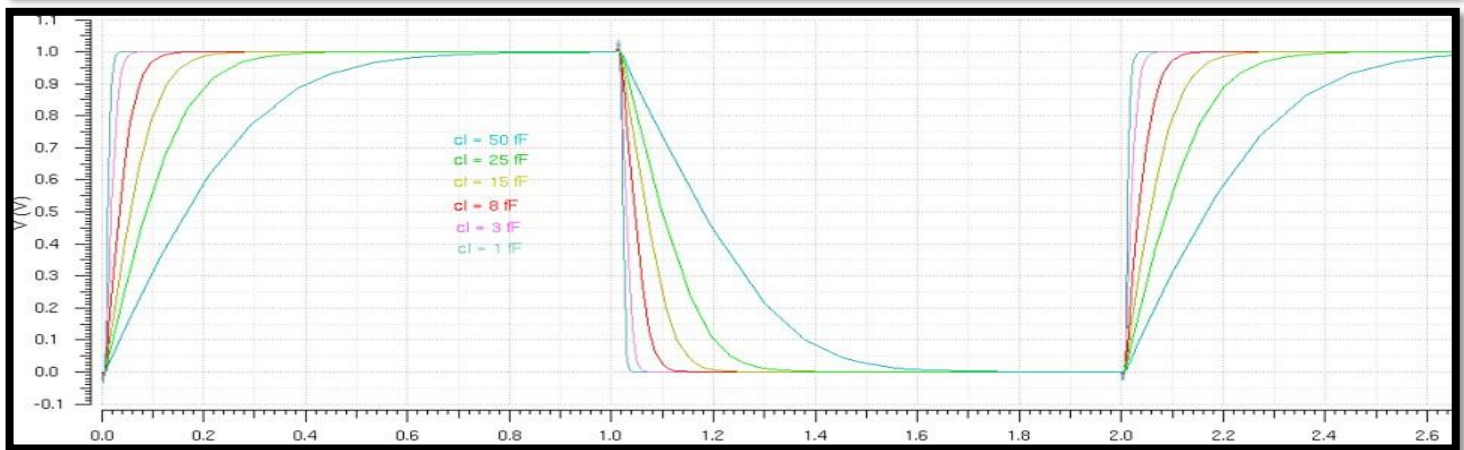
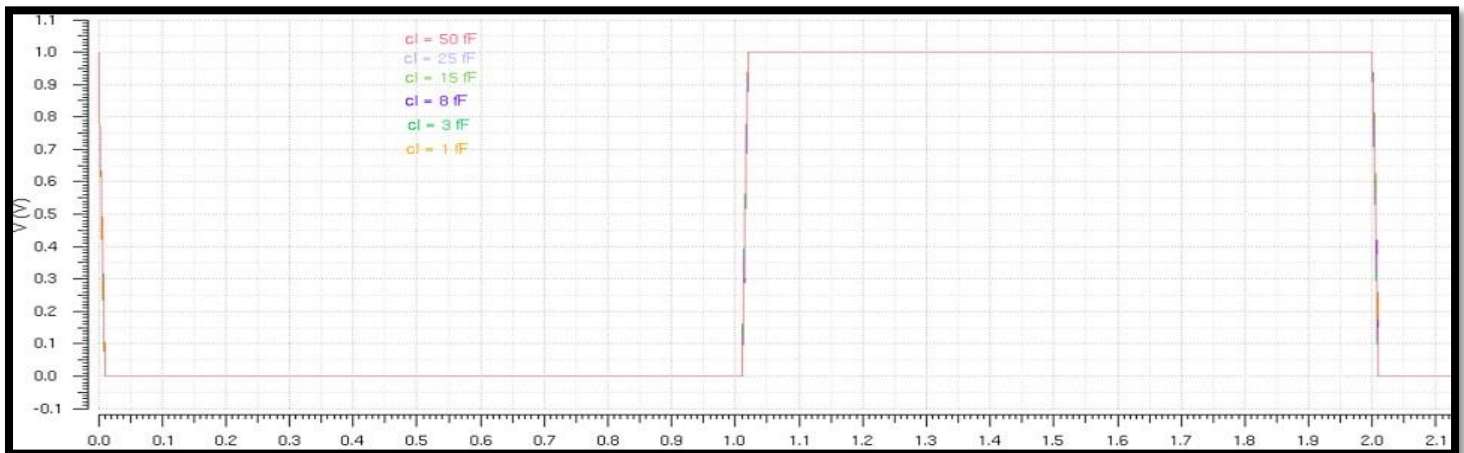


4. Sendo $w_n=0.2\text{ }\mu\text{m}$, para qual tamanho de W_p/W_n os tempos de subida e descida igualam-se (ou possuem a menor diferença)? Comparar com a primeira simulação e discutir. Mostrar este ponto no gráfico da questão 2.3

Para o tamanho de $W_p = 0.45$, os tempos de subida e descida possuem a menor diferença, pois correspondem à relação de mobilidade. Como vemos no gráfico logo acima. Comparando-se com a primeira simulação DC, observamos que é o local onde os transistores do N e P estão na região linear.

3) SIMULAÇÃO DE UM INVERSOR PARA DIFERENTES CONDIÇÕES DE CARGA

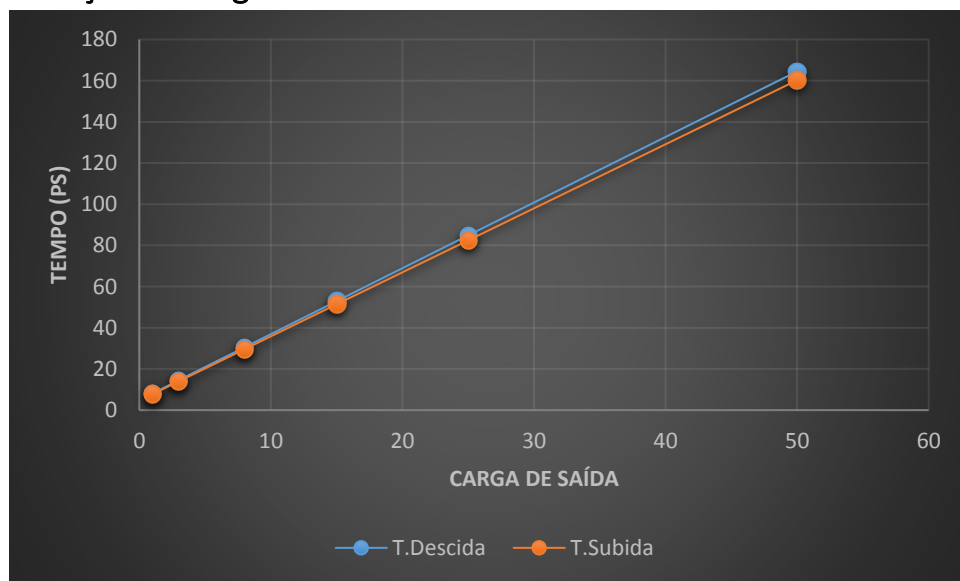
1. Plotar a tensão de entrada ($v(iv)$), as tensões de saída ($V(out)$), e as correntes em $i(vii)$, como acima. No plot indicar para cada curva a carga de saída utilizando labels.



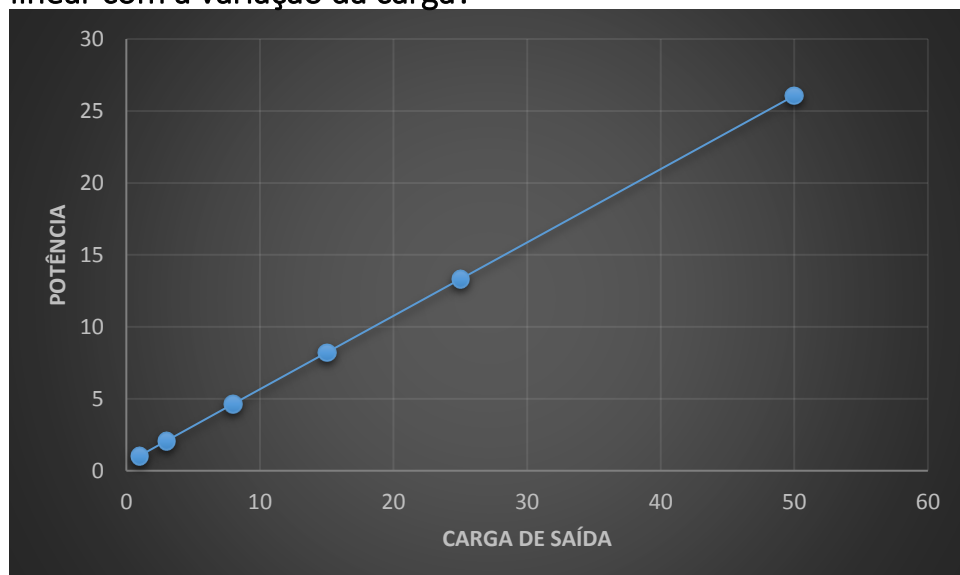
2. Fazer uma tabela para os diferentes tempos de subida e descida, potência média consumida e o fanout equivalente. Os dados de medida são obtidos no arquivo inv2_load.measure.

Carga de Saída (fF)	TD (ps)	TS (ps)	Potência (μ W)	Fanout Equivalente
1	8.02777	7.75845	1.03877	1.396
3	14.5451	14.0009	2.08036	4.1881
8	30.5543	29.6168	4.6404	11.1683
15	52.9381	51.4349	8.21499	20.9405
25	84.9183	82.4557	13.3242	34.9
50	164.508	160.23	26.0628	69.8018

3. Trace um gráfico com a evolução dos tempos de subida e descida em função da carga de saída. A evolução do atraso é linear com a variação da carga?



4. Trace um gráfico com a evolução do consumo de potência em função da carga de saída. A evolução do consumo de potência é linear com a variação da carga?



5. Porque a energia consumida por uma porta lógica CMOS aumenta com o aumento da carga de saída? Utilizar como referência a curva de corrente obtida na simulação.

Porque a carga de saída precisa de cada vez mais corrente, o transistor precisa permanecer mais tempo ligado para poder demandar a energia necessária que os demais transistores precisam para poder chavear, ou seja, o fanout sendo maior utilizará mais energia.

Quanto maior o fanout, mais lenta será a porta lógica e isso se reflete em mais corrente para chavear e uma maior dissipação de corrente.

$$P_T = C_{pd} \times V_{CC}^2 \times f_I \times N_{sw}$$

P_T = transient power consumption

V_{CC} = supply voltage

f_I = input signal frequency

N_{sw} = number of bits switching

C_{pd} = dynamic power-dissipation capacitance

6. Qual a corrente do inversor quando o mesmo não está mudando de estado? Passe o mouse sobre a curva de corrente para obter o valor de corrente quando não há transição de estado.

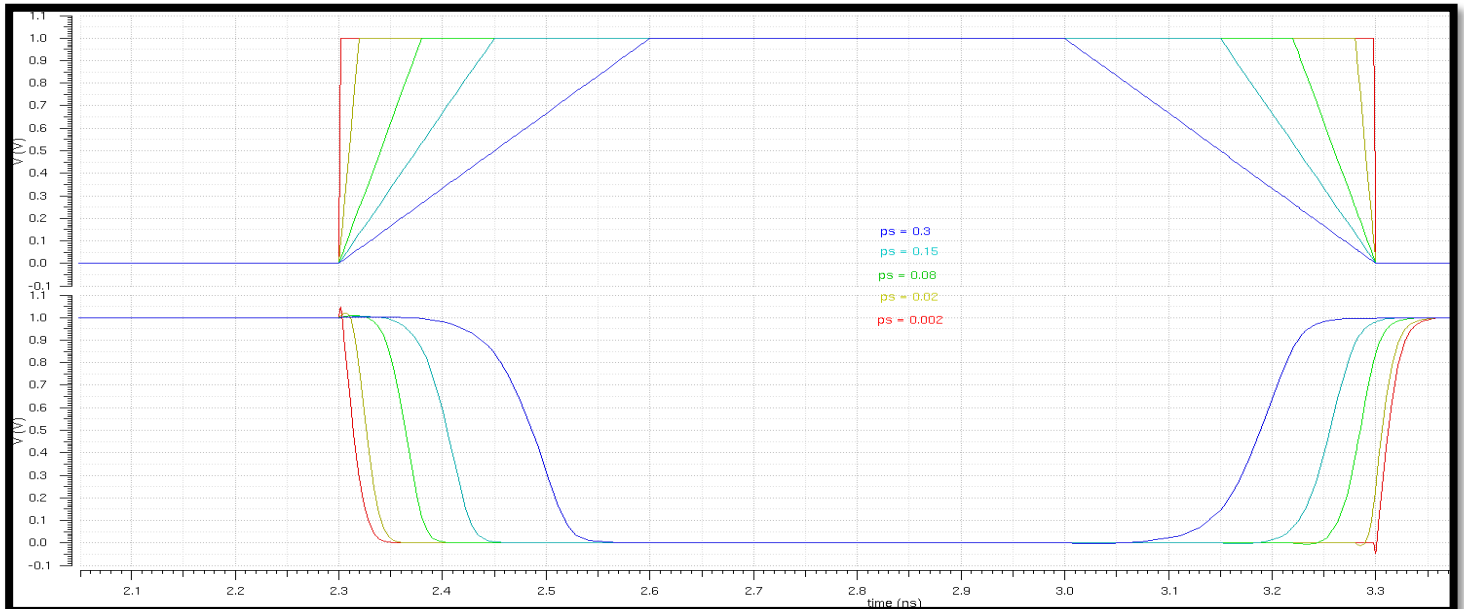
Um inversor CMOS é composto por transistores NMOS e PMOS em série. O terminal de entrada é ligado nas duas portas, de forma que uma tensão positiva coloca em condução o transistor NMOS e corta o PMOS, produzindo uma tensão zero na saída.

Uma tensão zero aplicada ao terminal de entrada produz um efeito complementar, produzindo uma tensão na saída igual à tensão de alimentação VDD. Devido ao emprego dos dois tipos de transistores complementares, a tecnologia foi chamada de CMOS (MOS complementar).

Uma característica fundamental de portas CMOS é que elas não consomem corrente (potência) durante um estado estático. Apenas durante a transição de um estado a outro temos consumo de corrente (potência), ou seja, praticamente não há corrente quando não há chaveamento.

4) SIMULAÇÃO DE UM INVERSOR COM DIFERENTES RAMPAS DE ENTRADA

1. Plotar as tensões de entrada (vin1 a vin5) e as tensões de saída (o1 a o5), como acima. No plot indicar para cada curva qual a inclinação das rampas de entrada utilizando labels.



2. Fazer uma tabela para os diferentes tempos de subida e descida, conforme os exercícios anteriores. Usar como parâmetro a inclinação da entrada. Por exemplo, em vin1 i1 0 pulse (1.2 0 1.298n 0.002N 0.002N 1N 2N) a inclinação de subida/descida é 0.02ns/0.02ns.

Rampa (ns)	TD (ps)	TS (ps)
0.002	13.4036	12.847
0.02	16.1737	15.8469
0.08	24.4668	24.8931
0.15	29.6737	30.947
0.3	36.1858	39.1002

3. Fazer um resumo explicando a influência no atraso no inversor dos seguintes parâmetros:

- a. Influência do tamanho do transistor:

O tamanho do transistor influencia no tempo de chaveamento. Ao sair da região de saturação para a região linear e depois para a região de corte. O mesmo vale para o caminho inverso. Logo, quanto maior o W , maior será a corrente e menor o atraso.

b. Da carga:

Quanto maior a carga na saída do inversor, mais corrente é necessária na saída, por consequência, atrasa a troca de nível lógico.

c. Da rampa no atraso do inversor:

Quanto maior a inclinação da rampa de entrada, maior o tempo para a tensão aumentar ou diminuir na entrada e como consequência, o inversor demorara mais para responder a essa tensão.

Pesquise (e apresente) as equações de atraso do inversor e procure comparar as equações com o obtido na simulação.

Medidas de desempenho:

O atraso de propagação “tp” de uma porta, indica o tempo com que esta responde a uma mudança nas suas entradas. O atraso “tp” é medido entre o meio da excursão do sinal de entrada e o meio da excursão do sinal de saída. Supõe-se naturalmente que o sinal de saída comuta devido à comutação de entrada. O atraso associado a uma comutação H→L na saída designa-se por “tpHL”; para uma comutação L→H é “tpLH”. Em geral, “tpHL” ≠ “tpLH”.

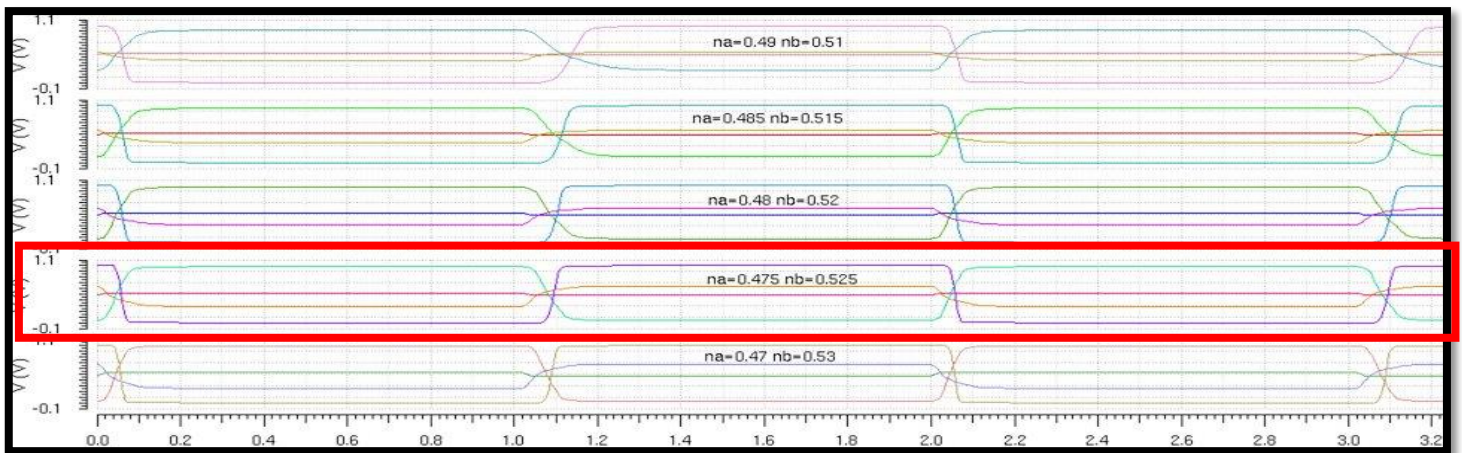
Equações de Atraso:

$$t_{pHL} \approx 0.52 \frac{C_L}{(W/L)_n k'_n V_{DSATn}}$$

5) SIMULAÇÃO DE INVERSORES EM SÉRIE

1. Defina a excursão mínima do sinal de entrada para que ao final de 2 inversores ($v(b)$) o sinal esteja restaurado (tem de ser de forma empírica, aumentar gradualmente a excursão do sinal de entrada em v_{in} com passo de 0.005 volts – 5 mV). Apresentar uma curva para cada teste, inserindo em cada curva os valores de excursão em $v(i)$, $v(a)$, $v(vb)$. Critério para regeneração do sinal: 0: menor que 0,05V (50 mV) 1: maior que 0,95V (950 mV)

Curva escolhida: 0.475 e 0.525



2. Por deve-se aumentar a excursão do sinal para ocorrer a regeneração dos níveis lógicos?

Dado que os transistores estão com dimensionamento fixo, o ganho dos mesmos não altera. Logo, deve-se aumentar a excursão do sinal para nos afastarmos do centro da curva DC, de tal forma a obtermos na saída valores mais próximos de 0 e 1.

6) SIMULAÇÃO DE UM ANEL DE INVERSORES

1. Utilizando o comando .alter, modificar o wp do tamanho original até 50 μm (0.45, 1, 2, 4, 6, 8, 10, 12, 14, 18, 20, 25, 30, 35, 40, 45, 50) - o Wn é função do Wp. Plotar um gráfico tendo como eixo x o dimensionamento de wp e no eixo y a frequência obtida. É possível chegar com 15 estágios em 5 GHz? Argumente a sua resposta.

Com o aumento de Wp, se aumenta a corrente, gerando um menor atraso. A frequência se estabiliza no momento em que o crescimento da corrente se equivale ao aumento da capacitância.

Wp (um)	Frequência (GHz)
0.45	4.1318
1	4.40981
2	4.55336
4	4.65082
6	4.68561
8	4.70358
10	4.71369
12	4.72241
14	4.72687
18	4.73245
20	4.73402
25	4.7371
30	4.73951
40	4.74296
45	4.74529
50	4.74467

