



Pontifícia Universidade Católica do Rio Grande do Sul
Faculdade de Engenharia



Programa de Graduação em Engenharia da Computação

TRABALHO 1 – FRONT-END: SÍNTESE COMPORTAMENTAL

Gabriel Chieza Chiele e Maiki Buffet

Professora: Letícia Pöhls

Porto Alegre, 24 de outubro de 2017

Sumário

1. Síntese Lógica	3
1.1 Síntese com foco <i>low power</i>	3
1.2 <i>Fanout</i> do caminho crítico	4
1.3 Gráficos de <i>timing, power</i> e <i>area</i>	5
2. Referências	5

1 - Síntese Lógica

Etapas de síntese lógica utilizando a ferramenta Genus com automatização via scripts TCL.

Foram criados os scripts *settings.tcl*, *mmmc.tcl*, *pre_mmmc.tcl*, *pos_mmmc.tcl*, *lp_pos_mmmc.tcl* a fim de gerar os resultados dos relatórios de *timing*, *power* e *área* para os 7 casos definidos.

Bibliotecas utilizadas (65nm):

- WC_1.00V_125C
- NOM_1.00V_25C
- BC_0.95V_M40C

A frequência de *clock* utilizada foi de 2GHz. O processo ocorreu, variando-se o período do *clock*, até que fosse encontrado o menor *slack*, não sendo negativo.

1.1 - Síntese com foco *low power*

Na síntese com foco em *low power*, o relatório de *clock gating* gerado foi:

Category	Number	%	Average Toggle Saving %
RC Clock Gating Instances	4	100	65.36
Non-RC Clock Gating Instances	0	0	0.00
RC Gated Flip-flops	47	100	66.98
Non-RC Gated Flip-flops	0	0	0.00
Total Ungated Flip-flops	0	0	-
Total Flip-flops	47	100	-

Figura 1:

Pode-se analisar que foram introduzidos 47 módulos de clock gating que abordam 100% dos *flip-flops* do *design*. Por conta disto, obteve-se um ganho de quase 67% em *toggle*.

1.2 - *Fanout* do caminho crítico

Para efetuar a identificação do caminho crítico, a ferramenta gera todas as possibilidades e seleciona aquela que possui o maior *delay*. Na Figura 1, fora gerado o caminho crítico com *effort high* e *view nominal*, com *slack* de 47.8ps.

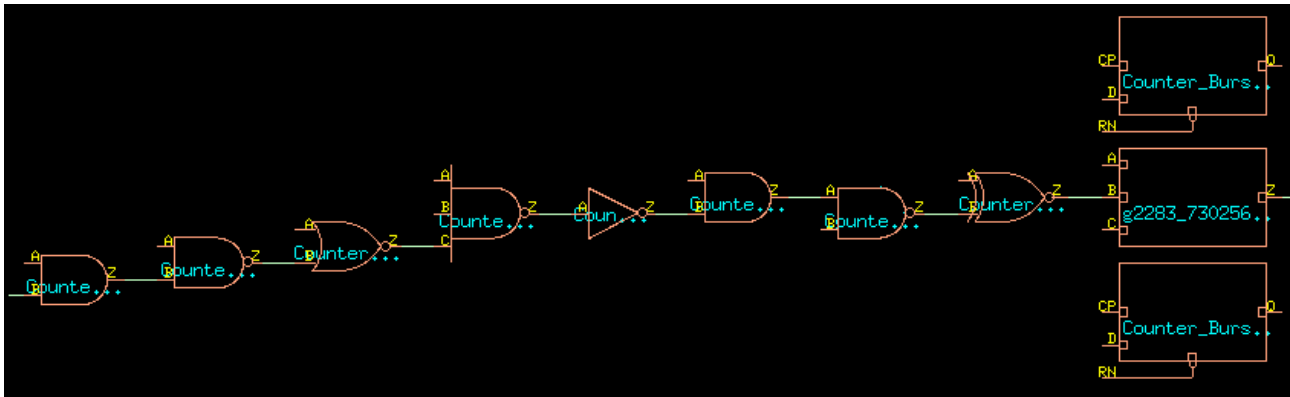


Figura 2: *Fanout* do caminho crítico.

1.3 - Gráficos de *timing*, *power* e *área*

Observação: é importante ressaltar que a biblioteca utilizada para o *best case*, indica uma tensão de operação de 0.95V, o que elimina, em parte, a possibilidade de se realizar algumas comparações diretas, principalmente em relação à sessão de *power*.

Timing: foi possível perceber que a cada simulação o caminho crítico sofreu alteração, portanto, não foi possível fazer uma análise assertiva dos tempos. No Gráfico 1, observa-se o esperado, sendo assim o *slack* do *best case* (BC), juntamente com a *nominal case*, manteram-se próximos, embora, pela grande variação na temperatura, fosse possível imaginar melhores valores para a simulação BC.

	High NOM	High WC	High BC	Express NOM	Express WC	Express BC	High NOM LP
Slack (ps)	6	45	8	15	68	16	0

Tabela 1: Tabela comparativa de *Timing*.

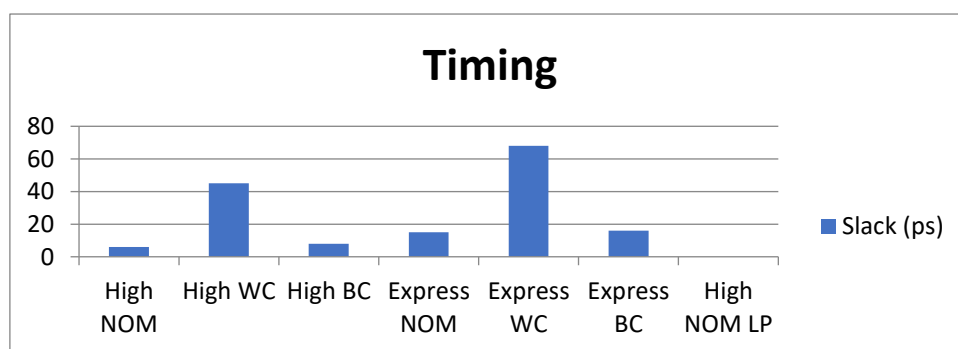


Gráfico 1: Gráfico comparativo de *Timing*.

Power: através do Gráfico 2, é possível observar que o *leakage power* se manteve praticamente o mesmo em todas as simulações, sendo a única grande variação de fato, o *dynamic power* (DP). Na simulação de *low power*, como esperado, obteve-se o menor DP. Fica evidente que o *total power* do *low power* é aproximadamente 40% inferior que as demais simulações.

	High NOM	High WC	High BC	Express NOM	Express WC	Express BC	High NOM LP
Leakage Power(nW)	21.337	18.884	20.370	26.797	26.933	26.207	16.762
Dynamic Power(nW)	1.699.009	1.593.784	1.658.203	1.844.001	1.907.818	1.793.907	1.110.863
Total Power(nW)	1.720.345	1.612.667	1.678.573	1.870.798	1.934.751	1.820.114	1.127.626

Tabela 2: Tabela comparativa de *Power*.

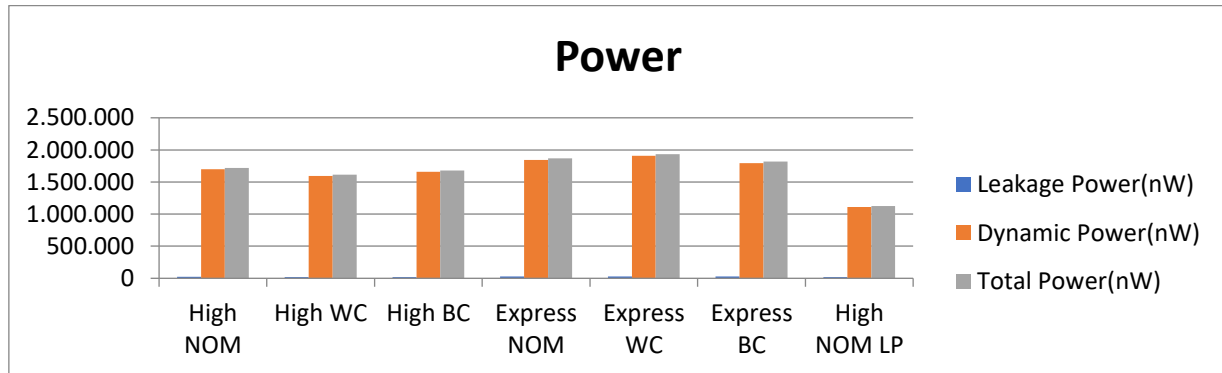


Gráfico 2: Gráfico comparativo de *Power*.

Area: é possível perceber, no Gráfico 3, que na síntese de *low power*, inversores e portas lógicas foram removidos, diminuindo o tamanho do circuito integrado, portanto, diminuindo a área, e consequentemente a sua temperatura – foco em *low power design*.

	High NOM	High WC	High BC	Express NOM	Express WC	Express BC	High NOM LP
Cells	333	292	333	344	327	358	270
Cell Area	1635	1559	1618	1773	1765	1777	1431
Net Area	877	787	874	888	854	899	686
Total Area	2511	2346	2492	2662	2620	2677	2117

Tabela 3: Tabela comparativa de *Area*.

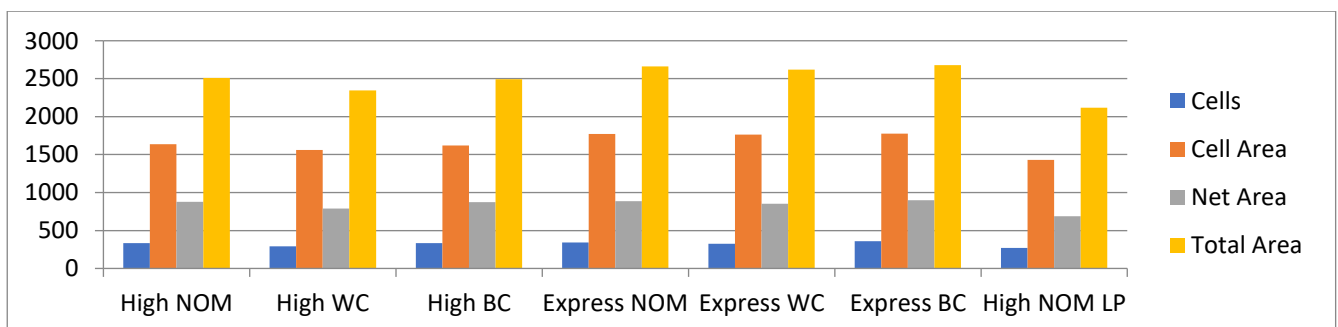


Gráfico 3: Gráfico comparativo de *Area*.

2. Referências

https://www.microsemi.com/document-portal/doc_view/131619-modelsim-user

<http://www.siliconintelligence.com/people/binu/perception/node13.html>