

Pontifícia Universidade Católica do Rio Grande do Sul - PUCRS
Faculdade de Engenharia - FENG

T1_3 - Síntese Física

Gabriel Chiele
Maiki Buffet

Porto Alegre, 28 de novembro de 2017.

SUMÁRIO

1 INTRODUÇÃO

2 SYNTHESIS SCRIPT

- 2.1 ENVIRONMENT CONFIGURATION**
- 2.2 FLOORPLANNING**
- 2.3 PIN EDITOR**
- 2.4 POWERPLANNING**
- 2.5 PLACEMENT**
- 2.6 POST-PLACEMENT OPTIMIZATION**
- 2.7 PRE-CTS OPTIMIZATION**
- 2.8 CLOCK TREE SYNTHESIS (CTS)**
- 2.9 POST-CTS OPTIMIZATION**
- 2.10 ROUTING**
- 2.11 VERIFICATION**
- 2.12 POST-ROUTING OPTIMIZATION**
- 2.13 FILLERS**
- 2.14 FINAL OPTIMIZATION**
- 2.15 OUTPUT**
- 2.16 TIME LAPSE**

3 ANÁLISE DOS RESULTADOS

- 3.1 RELATÓRIO DE DRC E DESIGN**
- 3.2 RELATÓRIO DE AREA**
- 3.3 RELATÓRIO DE POWER**
- 3.4 RELATÓRIO DE TIMING**
- 3.5 RELATÓRIO DE CAPACITANCE**
- 3.6 RELATÓRIO DE TRANSITION TIME**
- 3.7 RELATÓRIO DE FANOUT LOAD**
- 3.8 RELATÓRIO DE LENGTH**
- 3.9 ARQUIVO .DEF**
- 3.10 SÍNTESES: COMPORTAMENTAL VS FÍSICA**

1 INTRODUÇÃO

Este trabalho tem como foco a síntese física de um *hardware*, utilizando a ferramenta Innovus da Cadence, utilizando o *corner nominal* com alto esforço, sendo o processo de fabricação de 65nm, e o estudo da *physical view* - responsável por mostrar onde as células estão colocadas, além das conexões roteadas pela ferramenta.

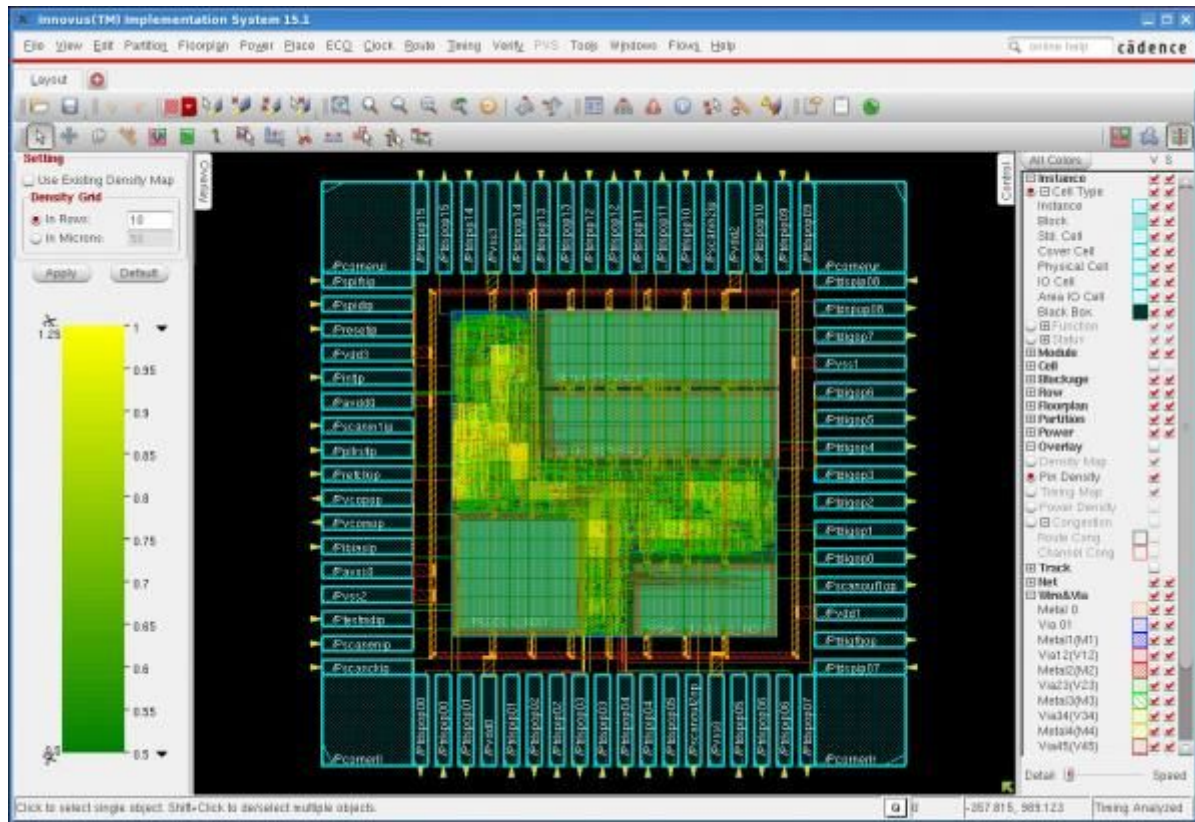


Figura 1: demonstração gráfica da ferramenta Innovus da Cadence.

2 SYNTHESIS SCRIPT

Para automatização da síntese, foi gerado um *script* denominado *physical.tcl* com os comandos necessários para a realização das tarefas de síntese pela ferramenta, para a geração dos arquivos desejados, além das saídas gráficas - *Graphical User Interface (GUI)*. O *script* foi dividido nas etapas a partir da seção 2.1.

2.1 ENVIRONMENT CONFIGURATION

Realizada a configuração do circuito a ser sintetizado, utilizando o *script physical.tcl* (*script* contendo todas as instruções necessários para realizar a síntese física com base nas saídas da síntese comportamental, uma vez que é feita a leitura dos arquivos de saída, além da definição do nodo tecnológico).

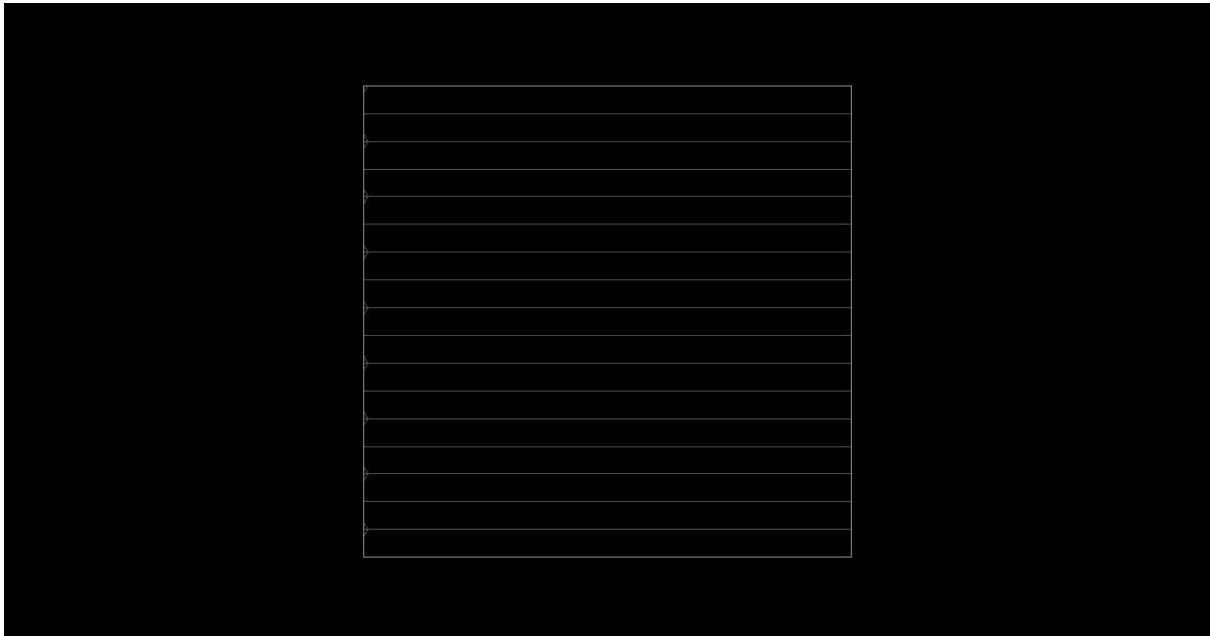


Figura 2: *Environment Configuration* através da *GUI*.

2.2 FLOORPLANNING

Realizada a especificação das características proporcionais do *hardware* a ser sintetizado. Consiste na definição de parâmetros tais como altura e largura da célula, utilização do core e dos valores da margem entre o core e as bordas do circuito.

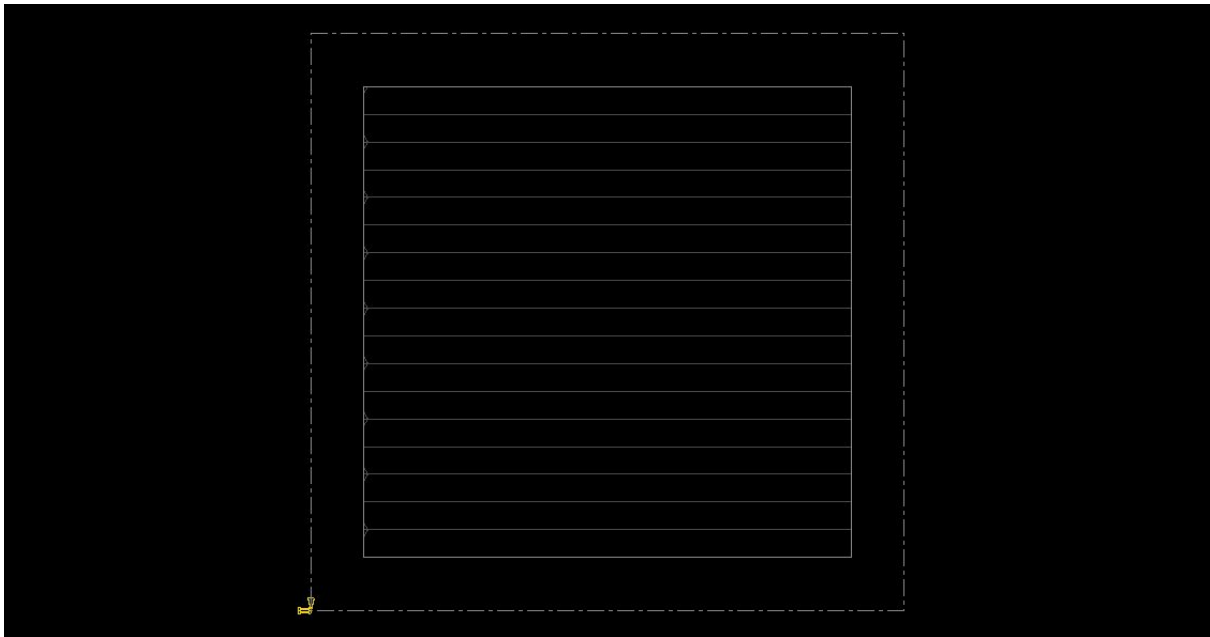


Figura 3: *Floorplanning* através da *GUI*.

2.3 PIN EDITOR

Realizada a colocação dos pinos do circuito. Visando atender a distribuição correta dos pinos, todos os planos foram utilizados para a pinagem – superior, direita, esquerda e inferior.

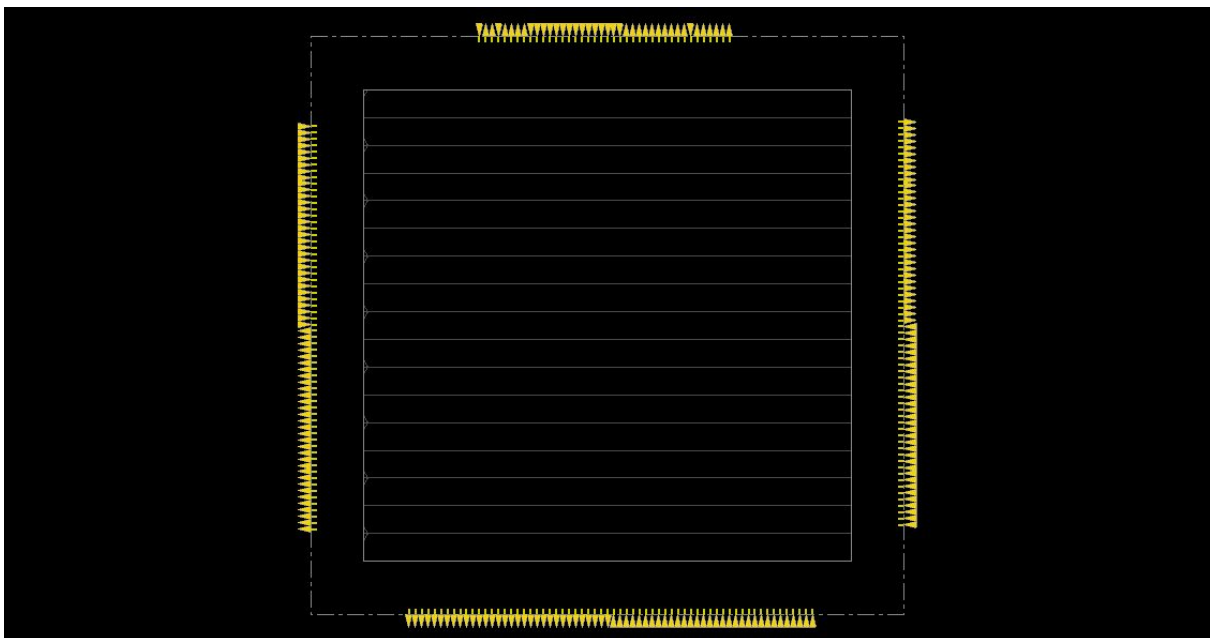


Figura 4: *Pin Editor* através da *GUI*.

2.4 POWERPLANNING

Realizada a adição dos anéis e linhas de alimentação, dos well-taps e a distribuição dos pinos.

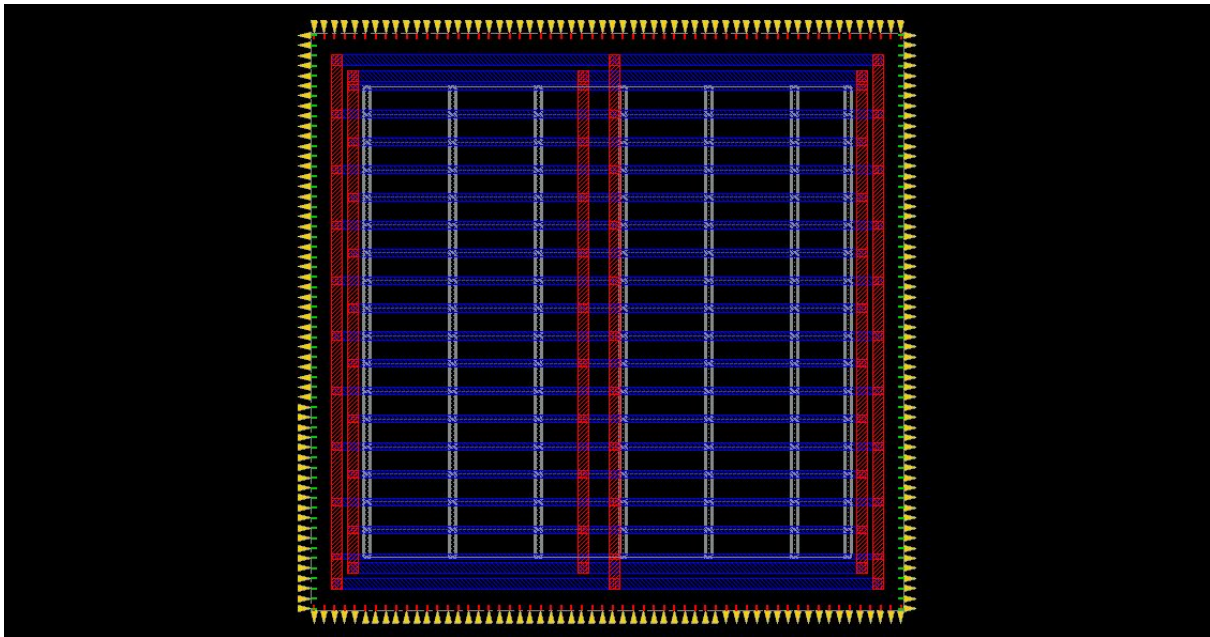


Figura 5: *Powerplanning* através da *GUI*.

2.5 PLACEMENT

Realizada a colocação dos componentes (células, por exemplo) do *design* no circuito. Neste estágio o processo não possui conexões, logo, a etapa de *timing* realizará um roteamento hipotético, estimando as conexões.

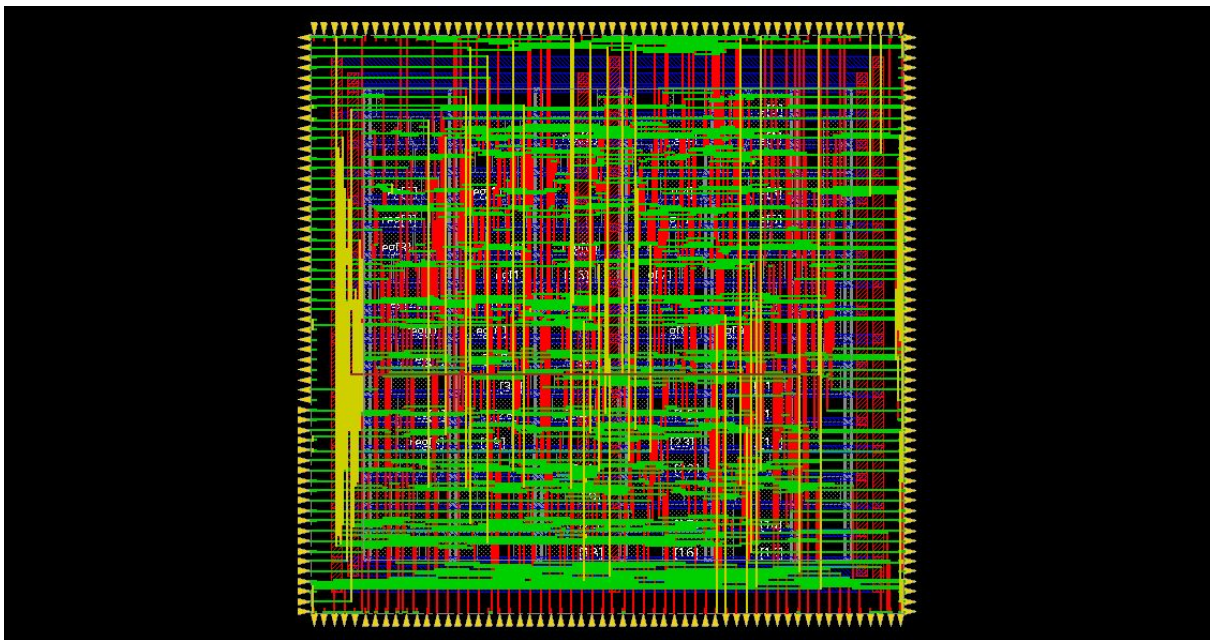


Figura 6: *Placement* através da *GUI*.

2.6 POST-PLACEMENT OPTIMIZATION

Realizada a otimização pós-*placement*, sendo realizado uma análise do tempo de *setup*, indicando se houve ou não alguma violação.

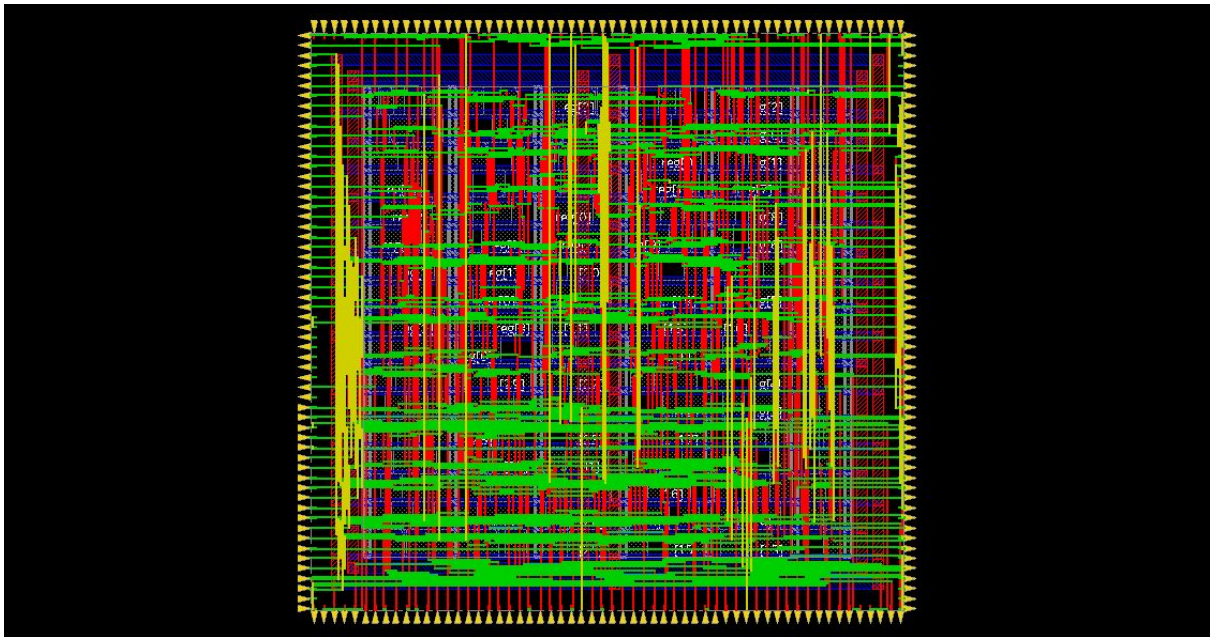


Figura 7: *Post-Placement* através da GUI.

2.7 PRE-CTS OPTIMIZATION

Realizada a otimização pré-CTS, além do salvamento dos resultados de performance.

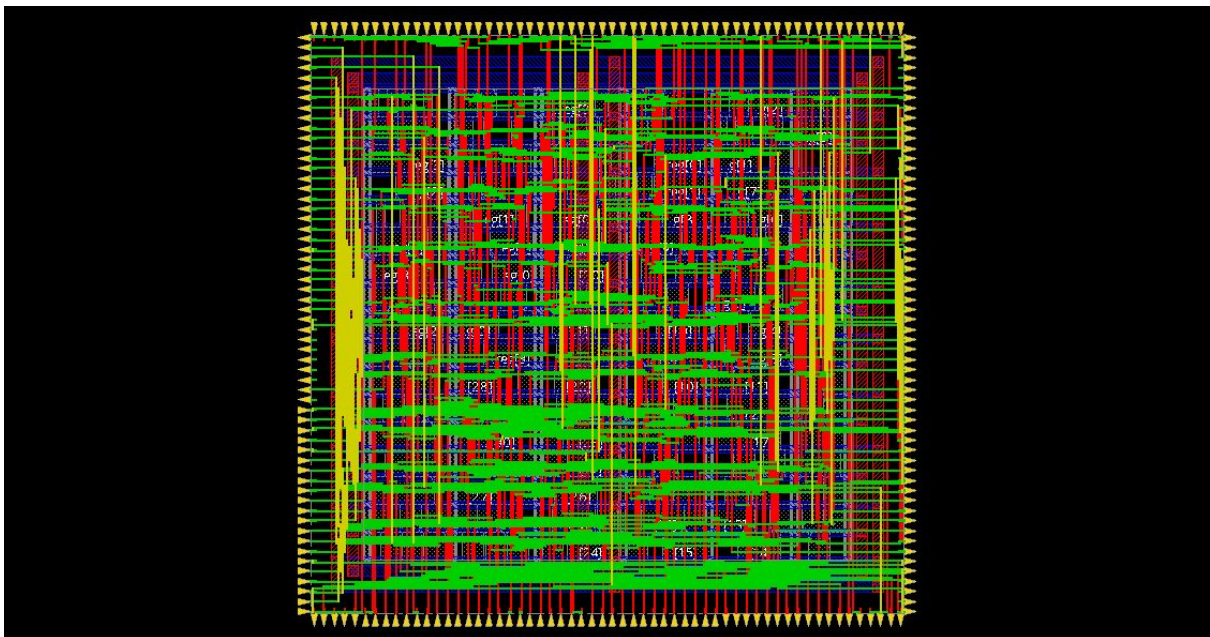


Figura 8: *Pre-CTS* através da GUI.

2.8 CLOCK TREE SYNTHESIS (CTS)

Realizada a geração da CTS - síntese da árvore de *clock*, além de informar a lista dos *buffers* que serão utilizados durante a CTS. Etapa cuja finalidade é fazer com que o sinal de *clock* atenda o circuito de forma distribuída e sincronizada.

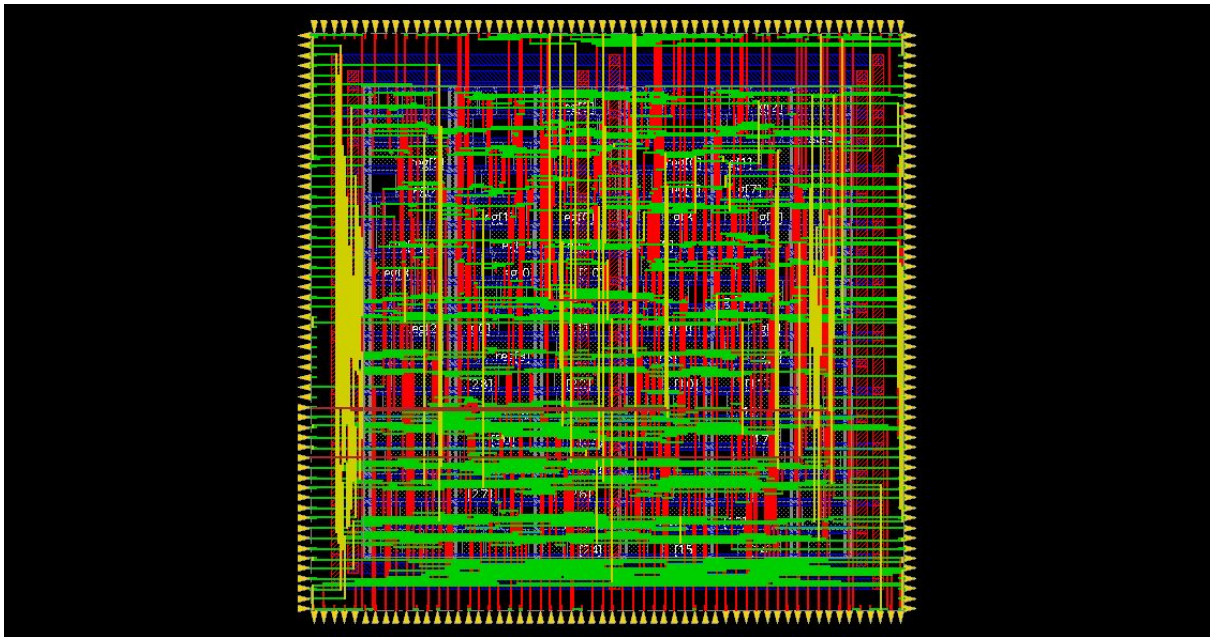


Figura 9: CTS através da GUI.

2.9 POST-CTS OPTIMIZATION

Realizada a otimização pós-CTS, além do salvamento dos resultados de performance.

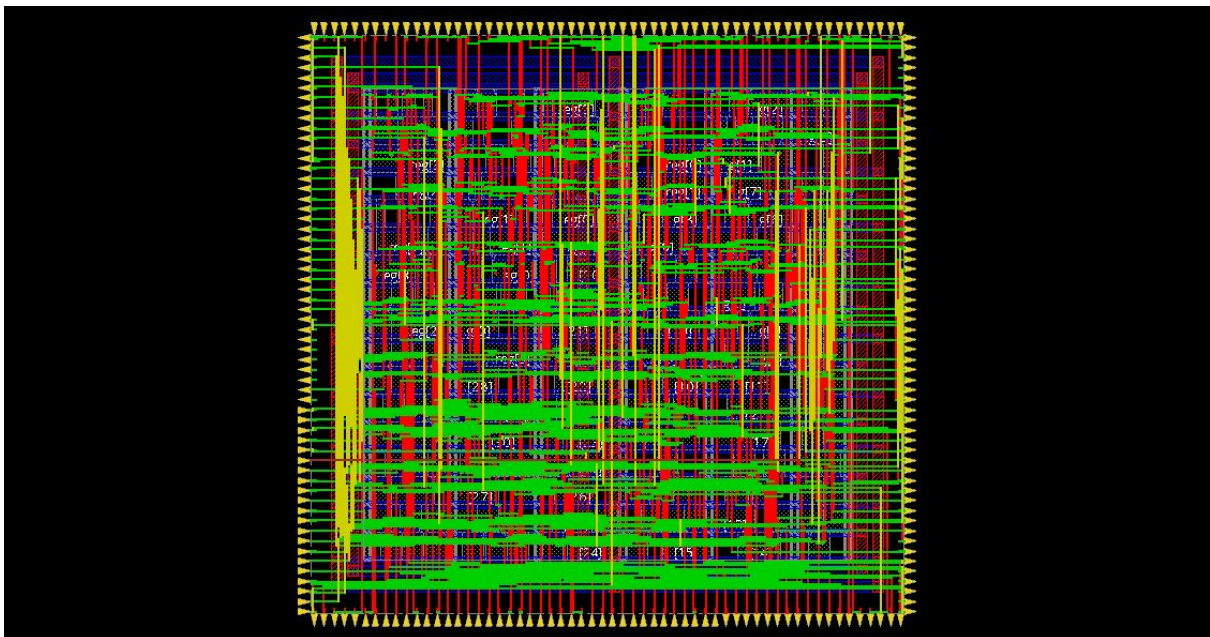


Figura 10: Post-CTS através da GUI.

2.10 ROUTING

Realizada a geração das interconexões entre células. Etapa de roteamento do circuito, definindo todos os caminhos por onde passarão os sinais pelo circuito.

2.11 VERIFICATION

Realizada a verificação do estado do circuito e, caso alguma regra de *design* seja violada, o erro é sinalizado. Possíveis violações: geométricas, temporais ou elétricas.

2.12 POST-ROUTING OPTIMIZATION

Realizada a otimização pós-roteamento, além do salvamento dos resultados de performance.

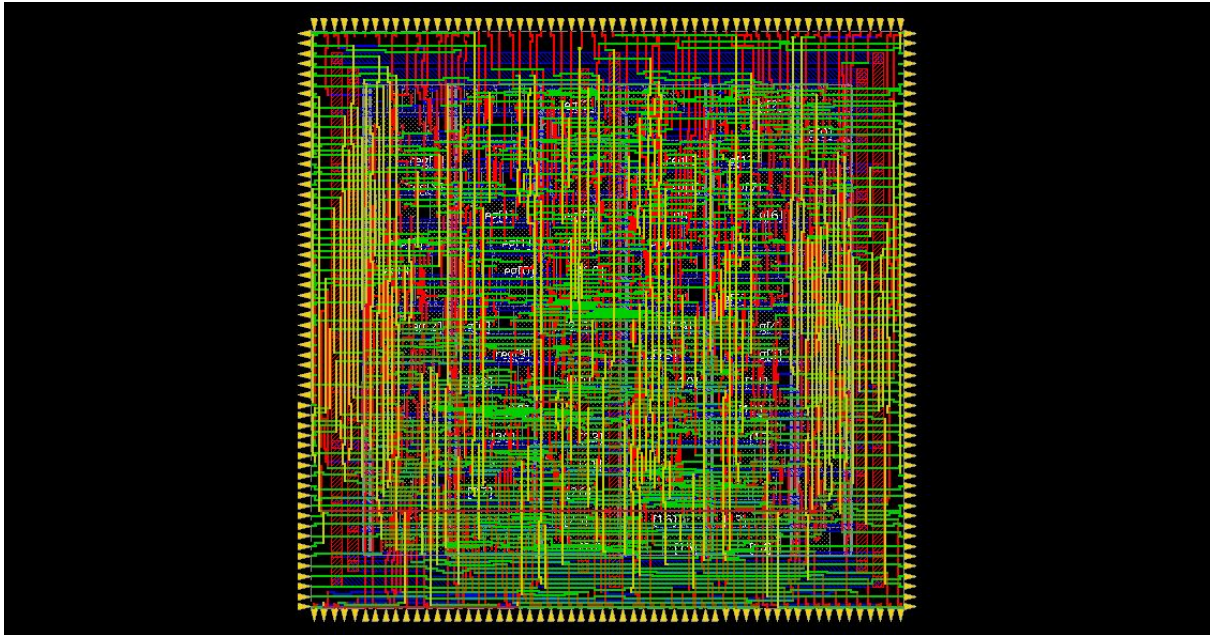


Figura 11: *Post-Routing* através da *GUI*.

2.13 FILLERS

Realizada a adição dos *fillers*, para preenchimento de toda a área do circuito.

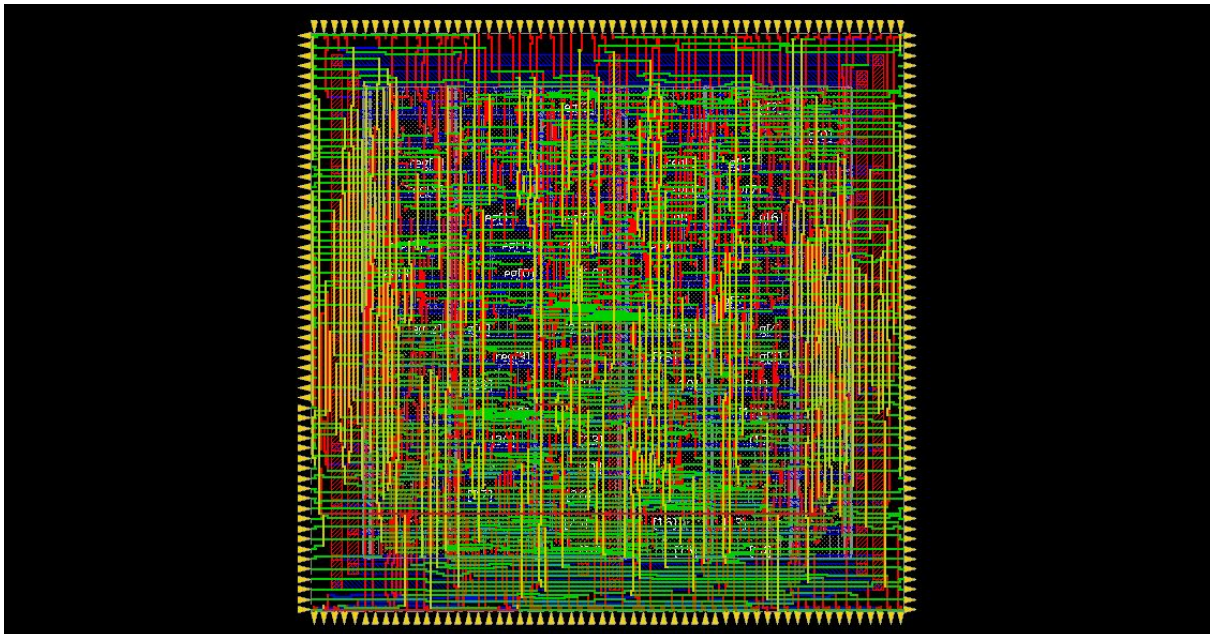


Figura 12: *Fillers* através da *GUI*.

2.14 FINAL OPTIMIZATION

Realizada a otimização final do *design*, além do salvamento dos resultados de performance.

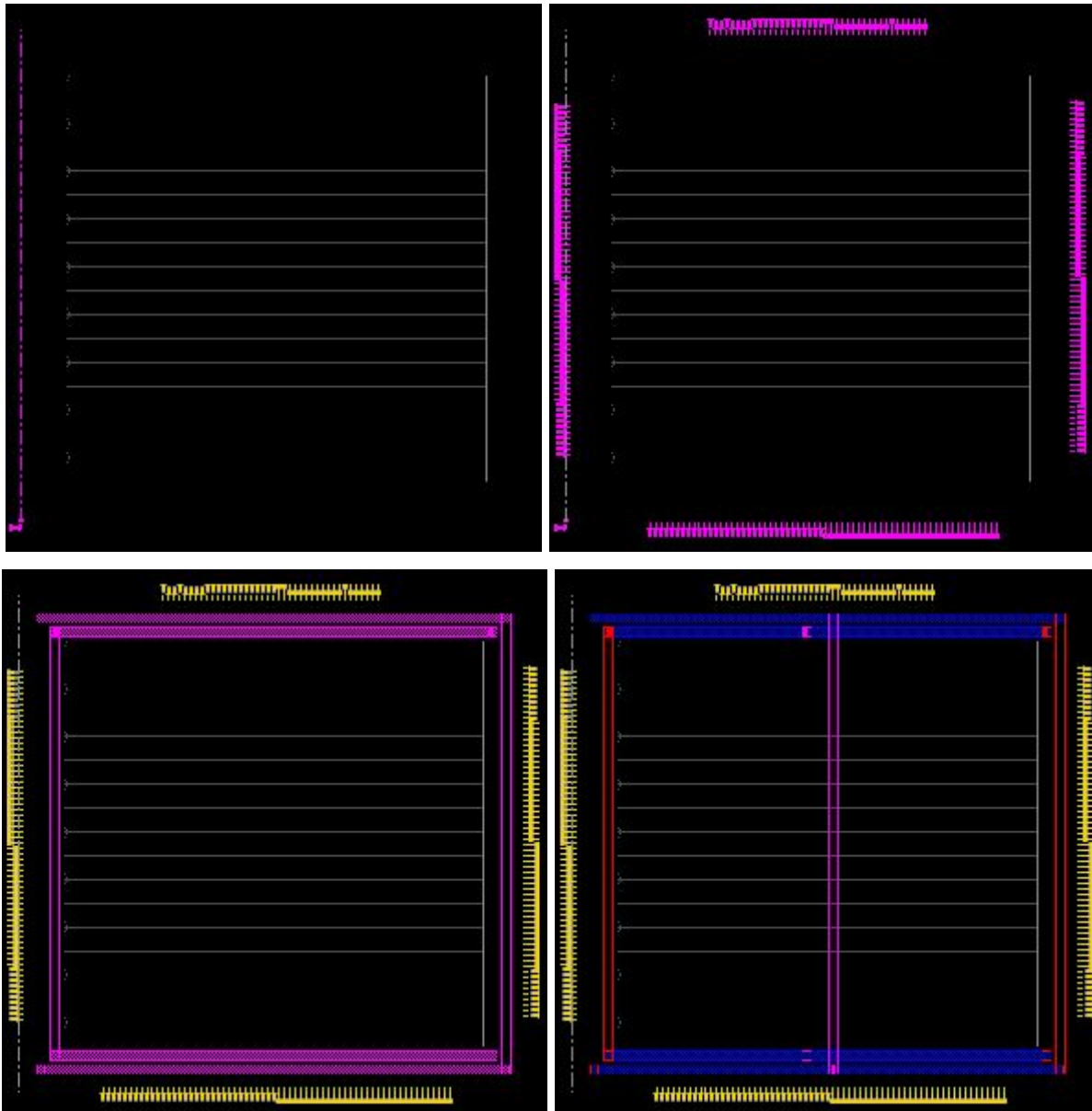
2.15 OUTPUT

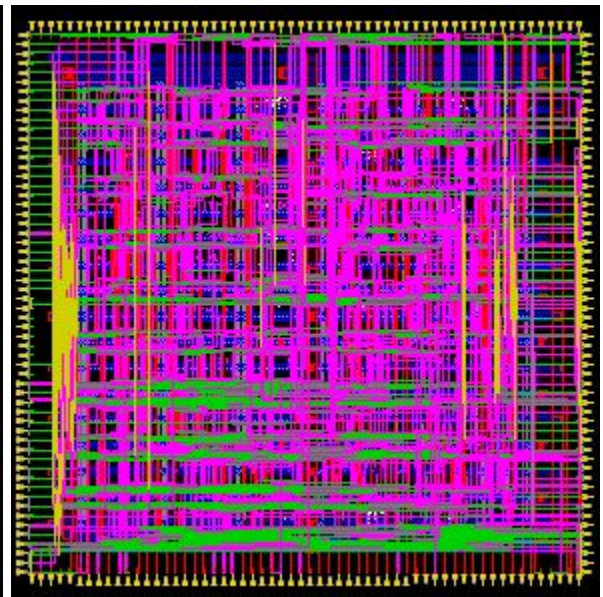
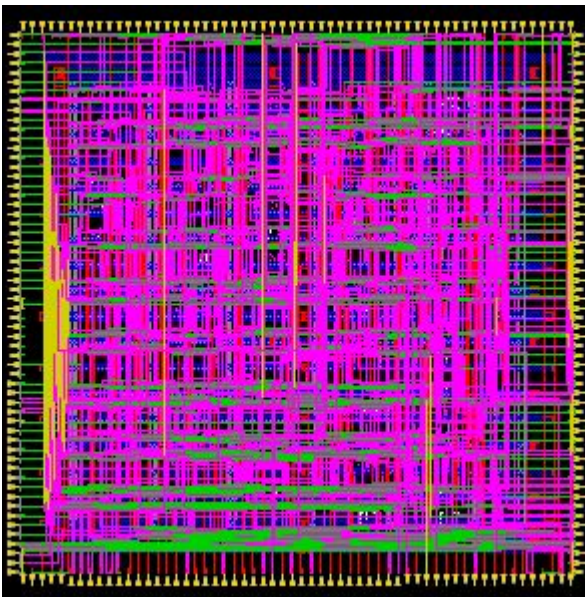
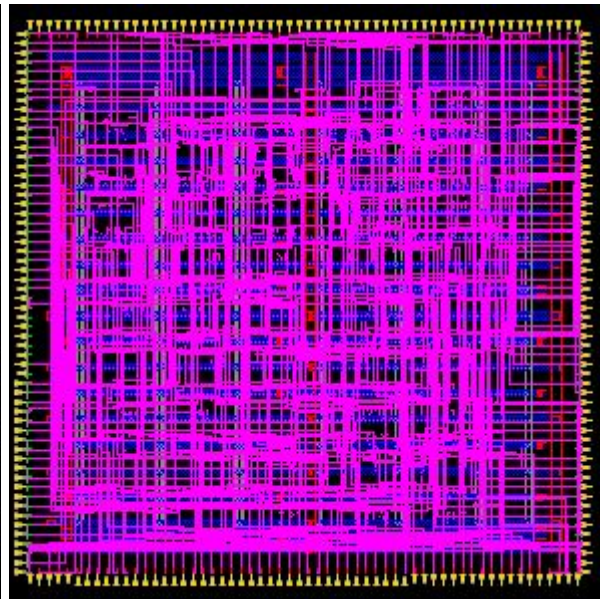
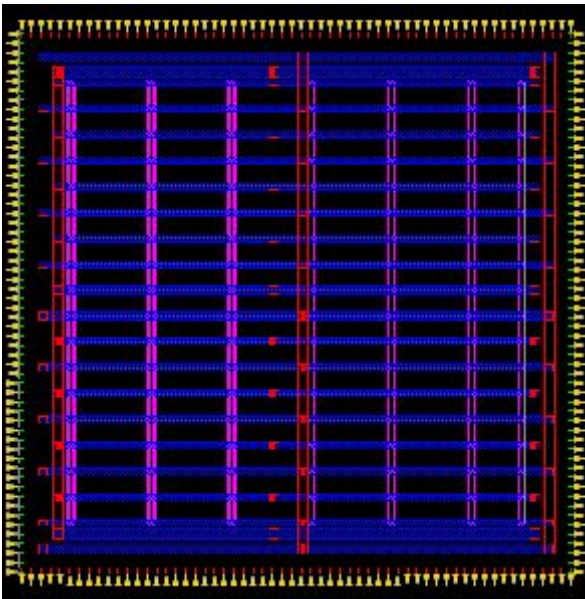
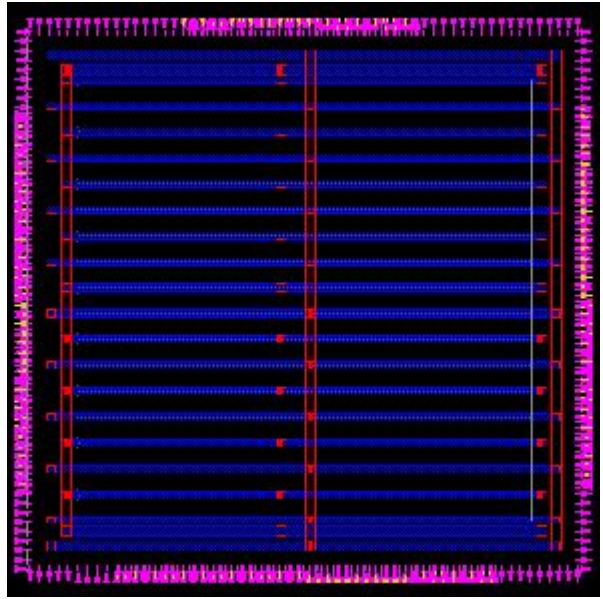
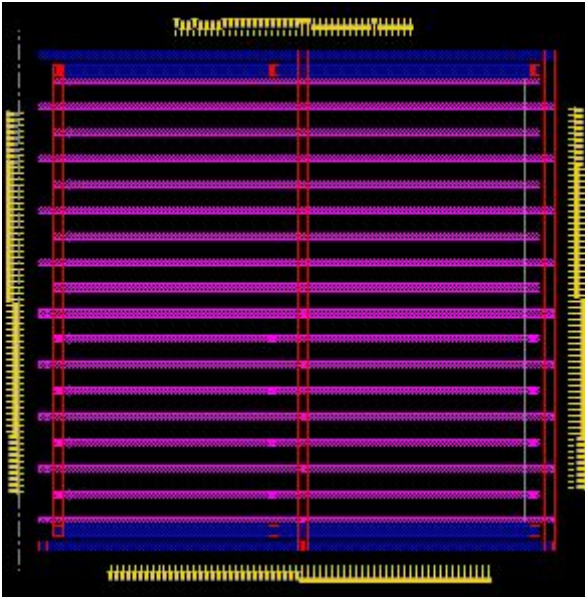
No final do *script*, o *netlist* (.v), .def e .sdf são salvos. Esses arquivos contêm informações a respeito do design sintetizado.

2.16 TIME LAPSE

Rápida demonstração das diferenças realizadas no processo gráfico entre as etapas.

Obs: a cor rosa foi utilizada para destacar o que foi alterado com base na etapa anterior, como as imagens sofreram redução de tamanho, algumas alterações podem não ser perceptíveis.





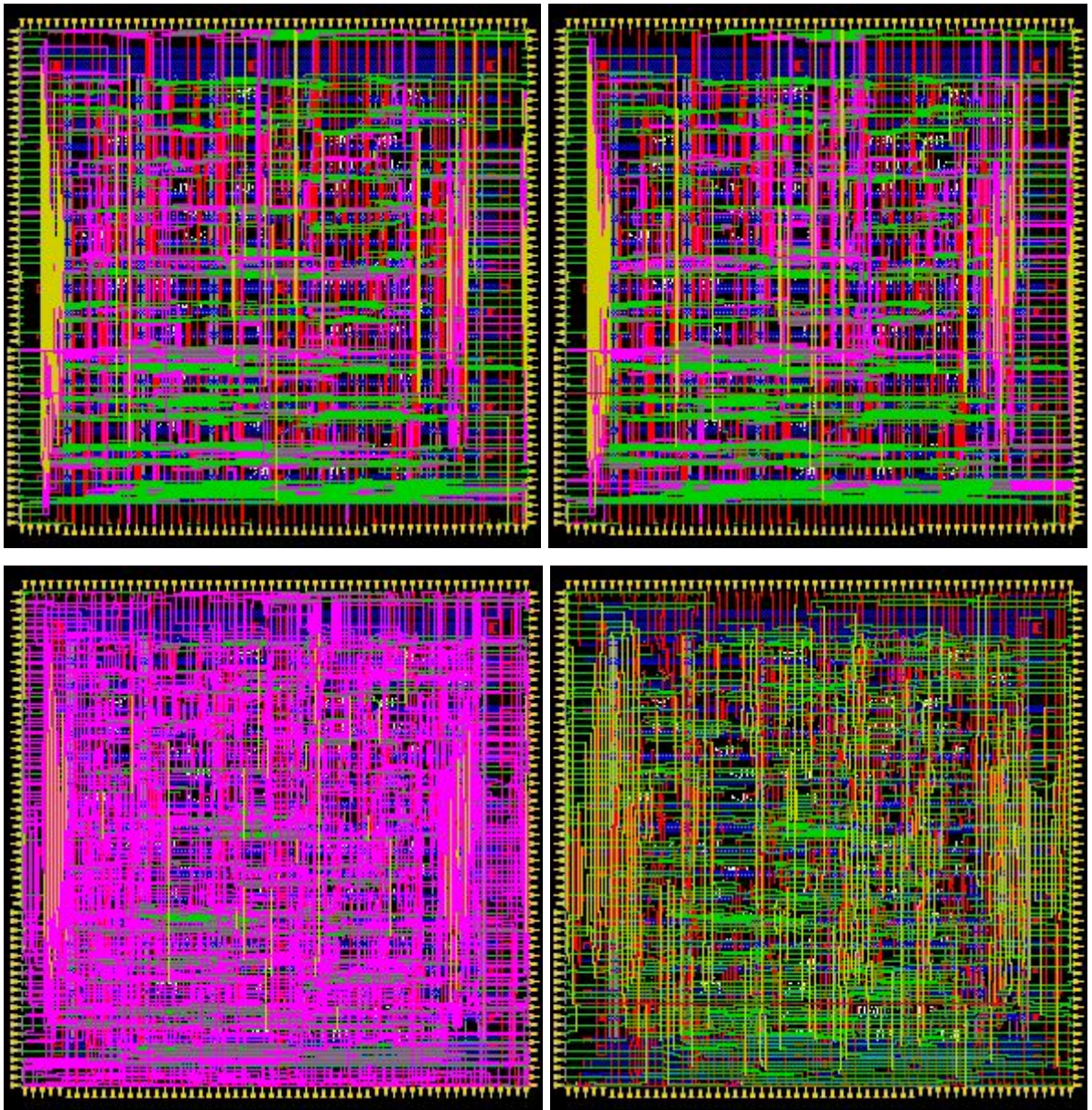


Figura 13: *Time Lapse* do processo de síntese física.

3 ANÁLISE DOS RESULTADOS

3.1 RELATÓRIO DE *DRC* E *DESIGN*

Nenhuma violação foi encontrada.

3.2 RELATÓRIO DE *AREA*

<i>Depth</i>	<i>Name</i>	<i>Inst</i>	<i>Area (um²)</i>
0	PIF2WB	252	1419.6

3.3 RELATÓRIO DE *POWER*

<i>Internal Power</i>	0.11009845 mW	63.7007%
<i>Switching Power</i>	0.04592215 mW	26.5696%
<i>Leakage Power</i>	0.01681639 mW	9.7296%
<i>Total Power</i>	0.17283699 mW	100%

3.4 RELATÓRIO DE *TIMING*

Os relatórios de timing representam os dados de atraso esperado para o circuito, este baseado no *corner nominal* e nas informações do circuito, na etapa em que o relatório foi gerado - indicadas no eixo horizontal do Gráfico 1. Espera-se que os resultados fiquem cada vez mais próximos da realidade, à medida que as etapas de síntese forem sendo executadas. Entre as etapas, pode-se observar que o atraso relacionado, aumenta pouco, tendo em vista que o *design* sintetizado é relativamente pequeno.

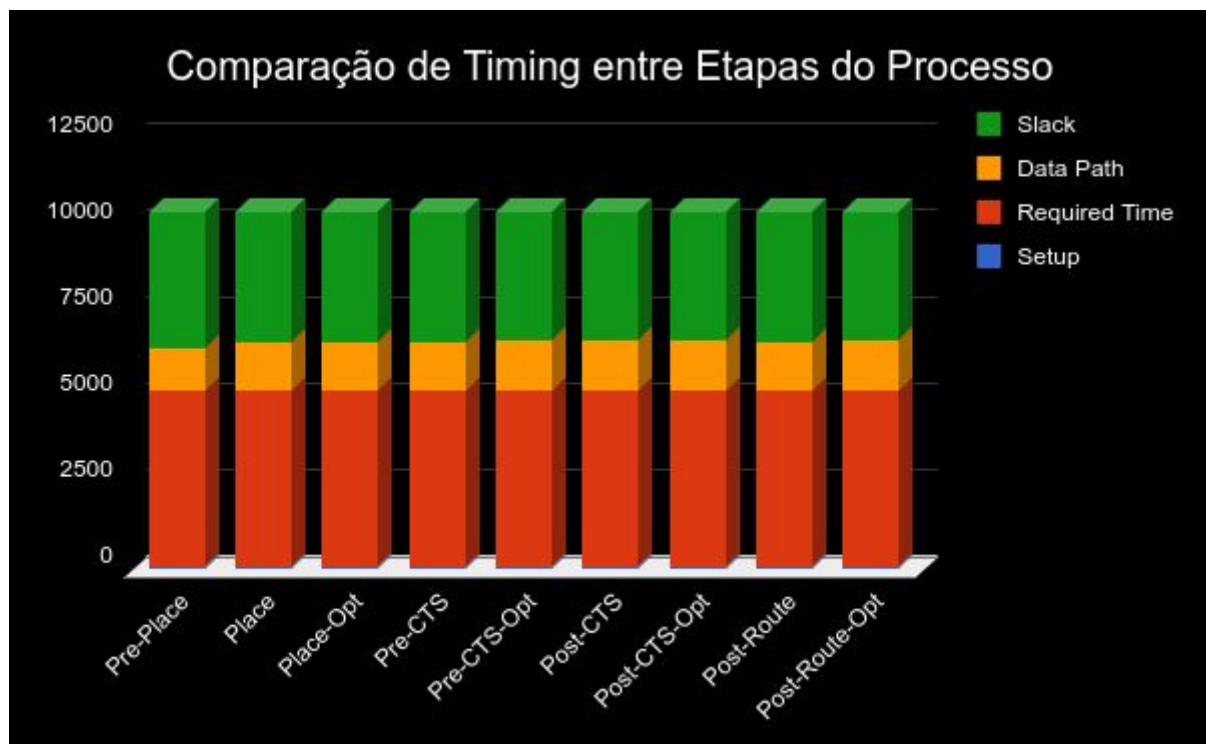


Gráfico 1: Comparação de Timing entre as diversas etapas da síntese.

3.5 RELATÓRIO DE *CAPACITANCE*

Nenhuma violação foi encontrada.

Total Capacitance: 2.210221e-12 F

3.6 RELATÓRIO DE *TRANSITION TIME*

Nenhuma violação foi encontrada.

3.7 RELATÓRIO DE *FANOUT LOAD*

Nenhuma violação foi encontrada.

3.8 RELATÓRIO DE *LENGTH*

Nenhuma violação foi encontrada.

3.9 ARQUIVO .DEF

Pelo arquivo .def, pode-se observar as características do circuito, tais como:

<i>Total Area</i>	2016 μm^2
<i>Die Area</i>	55600x54200 μm^2
<i>Components</i>	625
<i>Pins</i>	232
<i>Nets</i>	404
<i>Specialnets</i>	2
<i>Layers</i>	8
<i>Rows</i>	17
<i>Vias</i>	3

3.10 SÍNTESES: COMPORTAMENTAL VS FÍSICA

Síntese Comportamental

Setup Time	60 ps
Required Time	5140 ps
Data Path Time	1652 ps
Slack Time	3488 ps
Cell Area	1411 μm^2
Cells	253
Total Area	2123 μm^2
Leakage Power	15334 nW
Total Power	245774 nW

Síntese Física

Setup Time	56 ps
Required Time	5144 ps
Data Path Time	1421 ps
Slack Time	3727 ps
Cell Area	1420 μm^2
Cells	252
Total Area	2016 μm^2
Leakage Power	16816 nW
Total Power	172837 nW

Como pode ser observado através das tabelas de síntese comportamental e física, para um mesmo período de 5.2 ps, ambas etapas possuíram resultados semelhantes entre timing, power e area. Isto demonstra que a etapa de síntese comportamental pode ser utilizada como uma estimativa do resultado final do circuito projetado. Logo, os resultados obtidos durante a etapa de síntese física, pode-se dizer, que já eram esperados.