

# TF – TRABALHO FINAL – REALIZAR TODAS AS ETAPAS DO LAB3 PARA UMA DAS FUNÇÕES ABAIXO

MÁXIMO 1 GRUPO POR FUNÇÃO:

$$F1 = \overline{A \cdot B \cdot (C + D)}$$

$$F2 = \overline{A \cdot (B + C + D)}$$

$$F3 = \overline{(A \cdot B \cdot C) + D}$$

$$F4 = \overline{A \cdot ((B \cdot C) + D)}$$

$$F5 = \overline{((A + B) \cdot C) + D}$$

$$F6 = \overline{A + B + (C \cdot D)}$$

$$F7 = \overline{(A \cdot B) + (C \cdot D)}$$

**Conteúdo do relatório a ser mostrado ao professor e entregue no dia 03/julho/2017**

- (10%) **Esquemático**– *print screen* da tela e *print screen* do console com mensagem se houve ou não erro no esquemático.
- (30%) **Layout da célula**– *print screen* da tela, indicando as entradas A / B / C / D.
- (5%) **Relatório do DRC**–tela que indica se houveram ou não erros
- (5%) **Relatório do LVS**– tela que indica se houveram ou não erros
- (20%) **Extração e Simulação elétrica**. Apresentar os arquivos referentes ao netlist e às capacitâncias parasitas. Dado que é uma porta com 4 entradas, a sugestão é **gerar 16 estímulos** para a verificação da funcionalidade completa da porta projetada, como abaixo:  
$$\begin{aligned} v1 \text{ a } 0 & \text{ pulse } (1 \ 0 \ 0 \ 0.02N \ 0.02N \ 1N \ 2N) \\ v2 \text{ b } 0 & \text{ pulse } (1 \ 0 \ 0 \ 0.02N \ 0.02N \ 2N \ 4N) \\ v3 \text{ c } 0 & \text{ pulse } (1 \ 0 \ 0 \ 0.02N \ 0.02N \ 4N \ 8N) \\ v4 \text{ d } 0 & \text{ pulse } (1 \ 0 \ 0 \ 0.02N \ 0.02N \ 8N \ 16N) \end{aligned}$$
- (5%) **Layout da view abstract**. Print screen da tela da view abstract e o arquivo LEF.
- (5%) **Geração do arquivo de caracterização elétrica**– adicionar a homepage gerada pela ferramenta (*datasheet/index.html*) no relatório
- (10%) **Síntese lógica**– apresentar o esquemático gerado pela ferramenta de síntese. Pseudocódigo que deve ir para VHDL:  
$$\begin{aligned} \text{not\_a} & \leq \text{INV}(A); \\ \text{not\_b} & \leq \text{INV}(B); \\ \text{not\_c} & \leq \text{INV}(C); \\ \text{not\_d} & \leq \text{INV}(D); \\ \text{not\_S} & \leq \text{FUNÇÃO}(\text{not\_a}, \text{not\_b}, \text{not\_c}, \text{not\_d}); \\ S & \leq \text{INV}(\text{not\_S}) \end{aligned}$$
- (10%) **Síntese física**– apresentar o layout para o circuito acima, e o relatório de DRC.

## PASSOS PARA O DESENHO

- Desenhar a célula na mesma biblioteca do inversor do lab3**, pois esta célula será integrada ao lab3, na etapa de síntese lógica e física.
- $W_N = 0.2 \mu\text{m} / W_P = 0.4 \mu\text{m}$
- Nos drenos/*sources* desenhar o maior número de contatos possível.

- 4) As “cabeças de contato” devem ter um metal1 maior para a correta inserção dos pinos, como mostrado abaixo (0,15  $\mu\text{m}$  x 0,3  $\mu\text{m}$ ), sobre as linhas polisilício. A posição exata das “cabeças de contato” sobre o polisilício vai depender das conexões necessárias em M1 (metal1) ou M2 (metal2).

**Exemplo para seis entradas – as funções do trabalho têm 4 entradas!**

**Desenho não está em escala!**

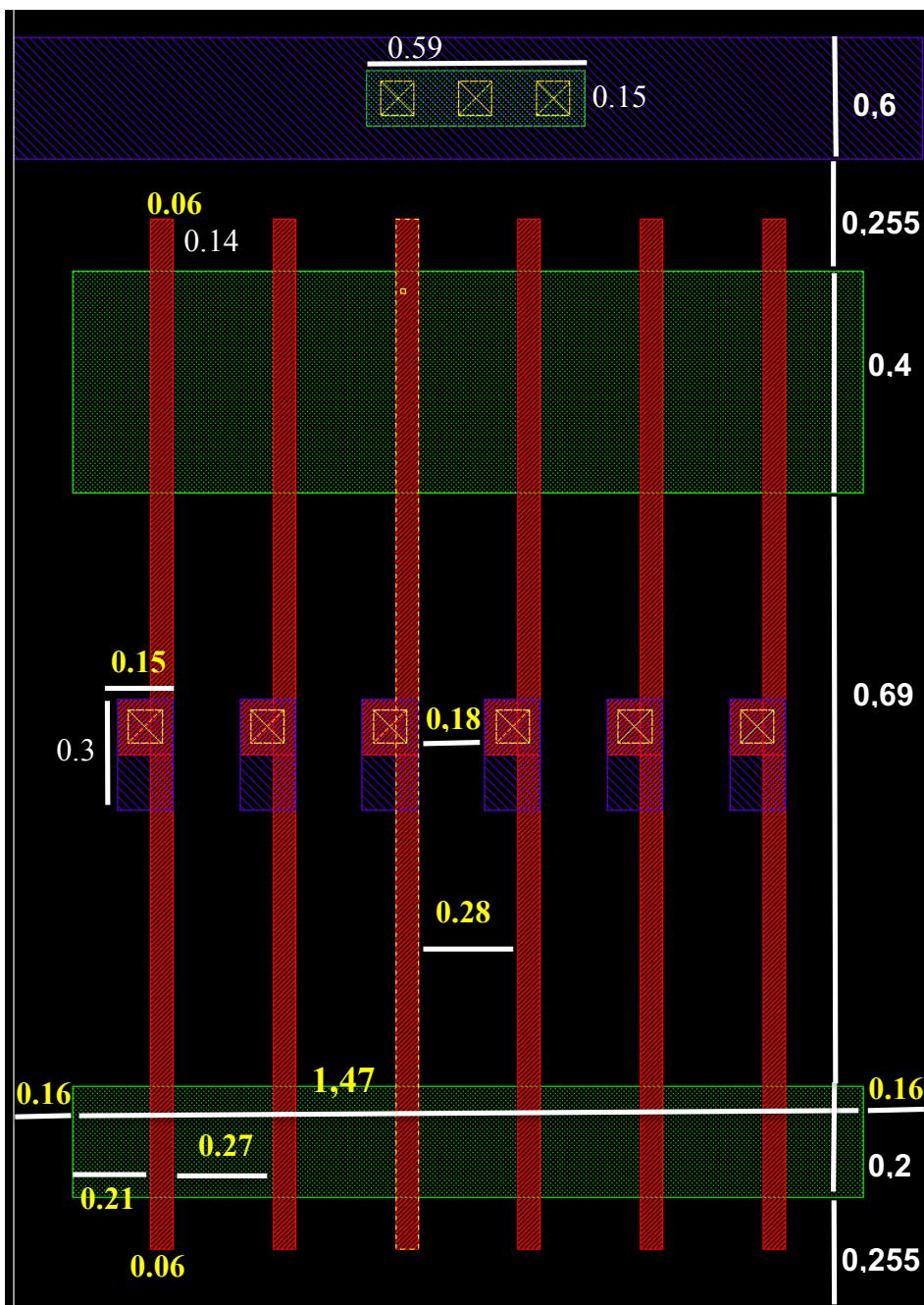
1. Desenhar no editor de layout o *template* abaixo, usando os níveis de área ativa (OD), polisilício (PO), metal1 (M1), e contato (CO). **Respeitar a altura de 3  $\mu\text{m}$ .**

**MEDIDAS VERTICAIS:**  $0,6 + 0,255 + 0,4 + 0,69 + 0,2 + 0,255 + 0,6 = 3 \text{ MICRONS}$

**MEDIDAS NA DIFUSÃO (em amarelo):**  $0,21 + (4 * 0,06) + 3*0,27 + 0,21 = 1,47$  ou

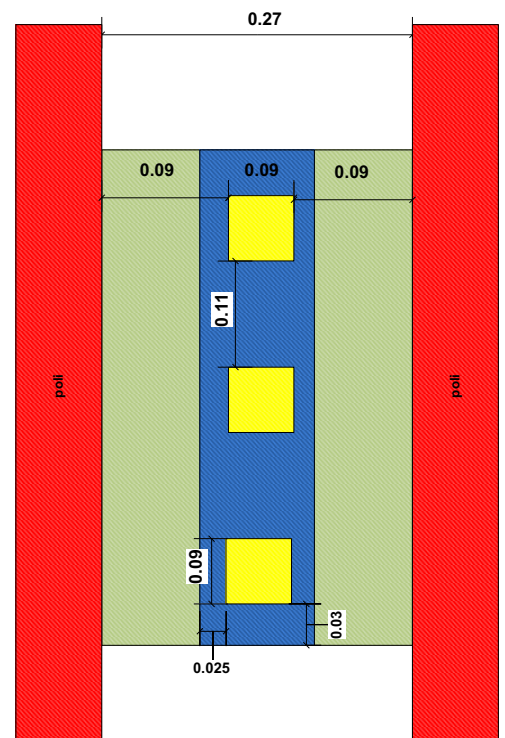
**MEDIDAS NA DIFUSÃO (em amarelo):**  $0,12 + 3*(0,15+0,18) + 0,15 + 0,21 = 1,47$

**MEDIDAS HORIZONTAIS (em amarelo):**  $0,16 + 1,47 + 0,16 = 1,79$

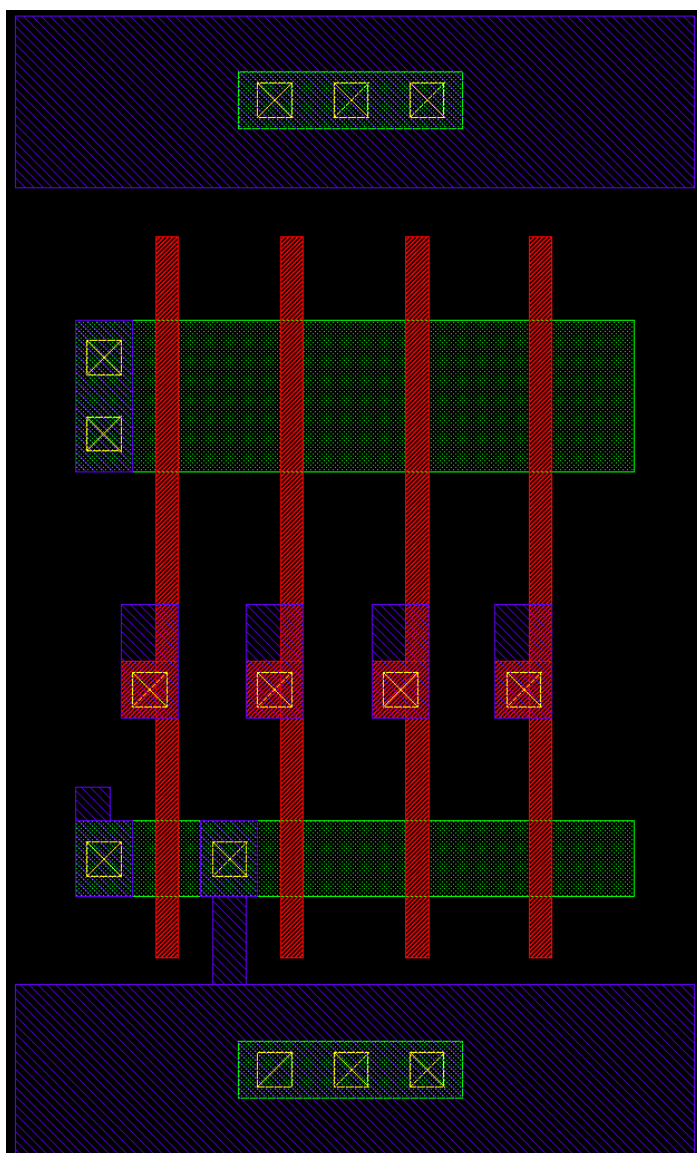


Lembrar: conexão por justaposição (transistores em série) não precisa de contato.

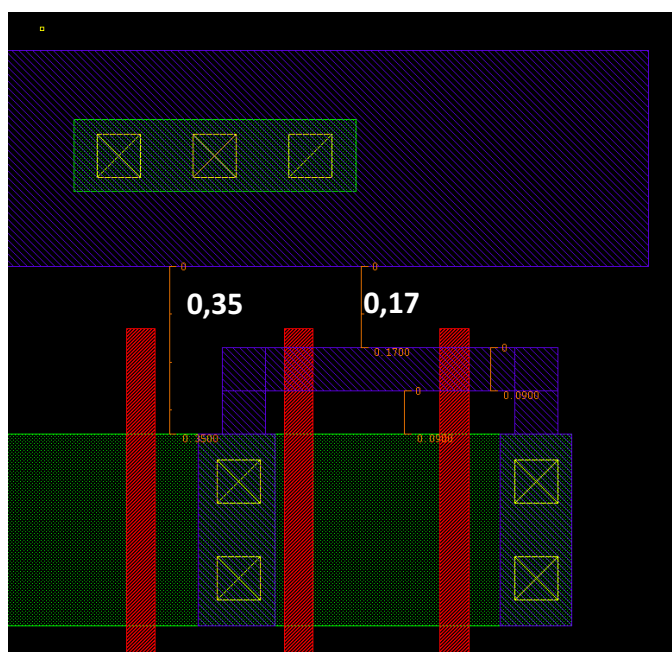
Exemplo de contato entre o dreno e source:



*Template* desenhado para 4 entradas, seguindo as distâncias acima. Neste *template* apresenta-se um exemplo de contato de dreno para roteamento e um contato para gnd.

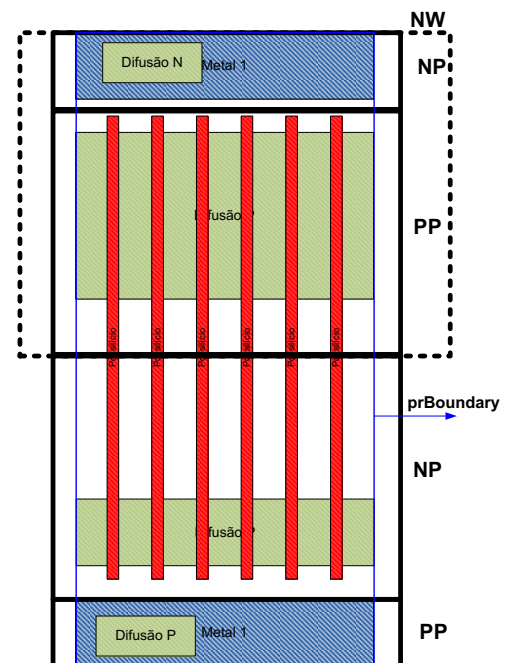
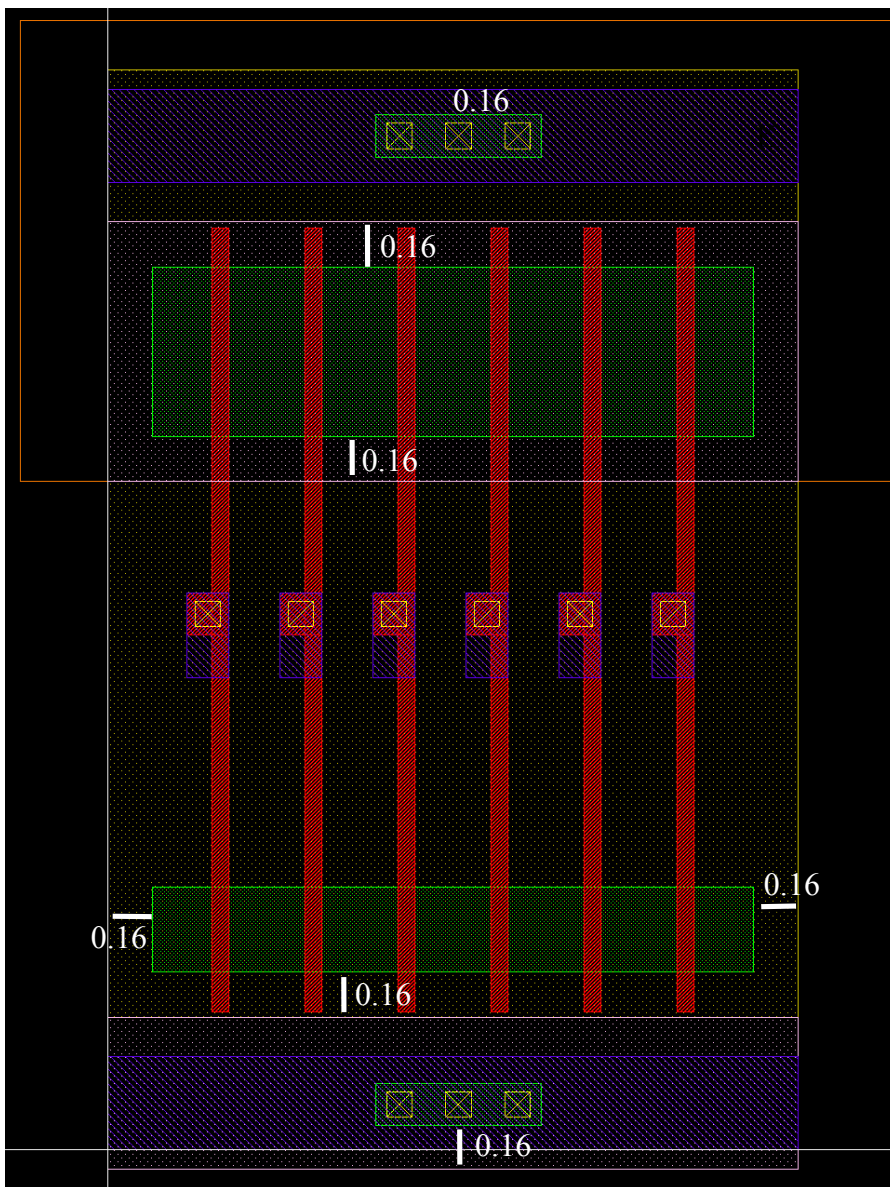


Notar que a distância entre a difusão e a alimentação pode mudar, se for necessário inserir roteamento:



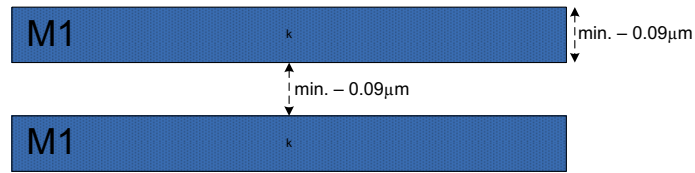
- Colocar os implantes (NP e PP), o poço N (NW) e ao redor de todo o desenho indicar a fronteira da célula (**prBoundary + DCO**). As figuras abaixo ilustram esta organização.

**LEMBRAR: do área ativa (OD) para os implantes a regra é 0.16  $\mu\text{m}$ .**

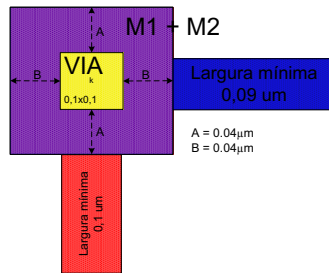


## ALGUMAS REGRAS DE DESENHO

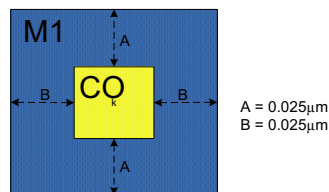
1. Para as conexões feitas com metal 1, lembrar que a camada deve possuir uma largura mínima de  $0.09\ \mu\text{m}$  e espaçamento de  $0.09\ \mu\text{m}$ . O Metal 2 tem largura de  $0,1\ \mu\text{m}$  com espaçamento  $0,1\ \mu\text{m}$ .



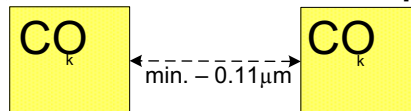
### 2. Conexão Metal 1 – Metal 2



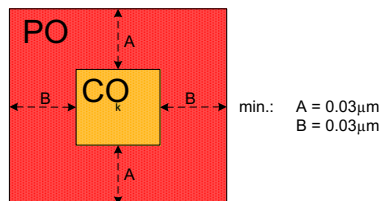
3. Para as conexões entre M1 e outras camadas (poli e difusão) o metal1 deve ter enclosure (margem) de  $0,025\ \mu\text{m}$ .



4. Espaçamento entre contatos, deve ser no mínimo  $0.11\ \mu\text{m}$ .



5. Para as conexões entre poli e metal 1, o contato deve ter “enclosure” mínimo de acordo com a figura abaixo:



6. Para as conexões entre metal 1 e pinos de E/S, o pino deve ter “enclosure” mínimo de acordo com a figura abaixo:

