

# LABORATÓRIOS 5 – MICROELETRÔNICA

Revisado em 22/Maio/2017

## Baixar dois arquivos da página da disciplina:

wget <http://www.inf.pucrs.br/~moraes/microel/lab5/latch.sp>

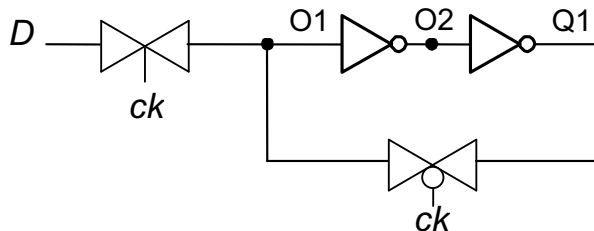
wget <http://www.inf.pucrs.br/~moraes/microel/lab5/st65.scs>

**Importante: em todo o laboratório utilizar o mesmo dimensionamento dos transistores → .param Wp=0.4 Wn=0.2**

## 1) SIMULAÇÃO DO CIRCUITO LATCH

No arquivo *latch.sp* há duas versões diferentes para o circuito *latch*:

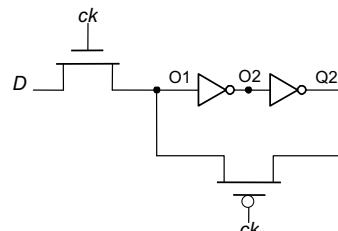
**Latch 1:** dois inversores, com *transmission gates* na realimentação e entrada



```
.subckt inv in out vcc
MP1 out in vcc vcc psvtgp w=Wp l=0.06
MM2 out in 0 0 nsvtgp w=Wn l=0.06
.ends inv

.subckt latch1 d q ck vcc
X1 o1 o2 vcc inv
X2 o2 q vcc inv
X3 ck nck vcc inv
X4 d ck nck o1 vcc tg
X5 q nck ck o1 vcc tg
.ends latch1
```

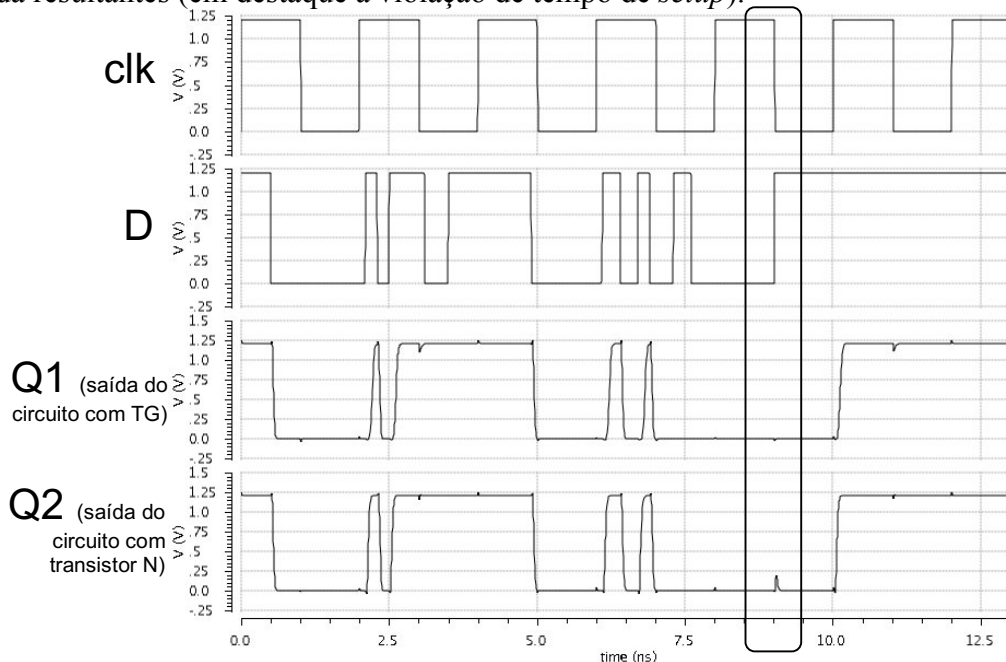
**Latch 2:** transistor N na entrada e transistor P na realimentação



```
.subckt tg a b nb out vcc
MP1 a nb out vcc psvtgp w=Wp l=0.06
MN1 a b out 0 nsvtgp w=Wn l=0.06
.ends tg

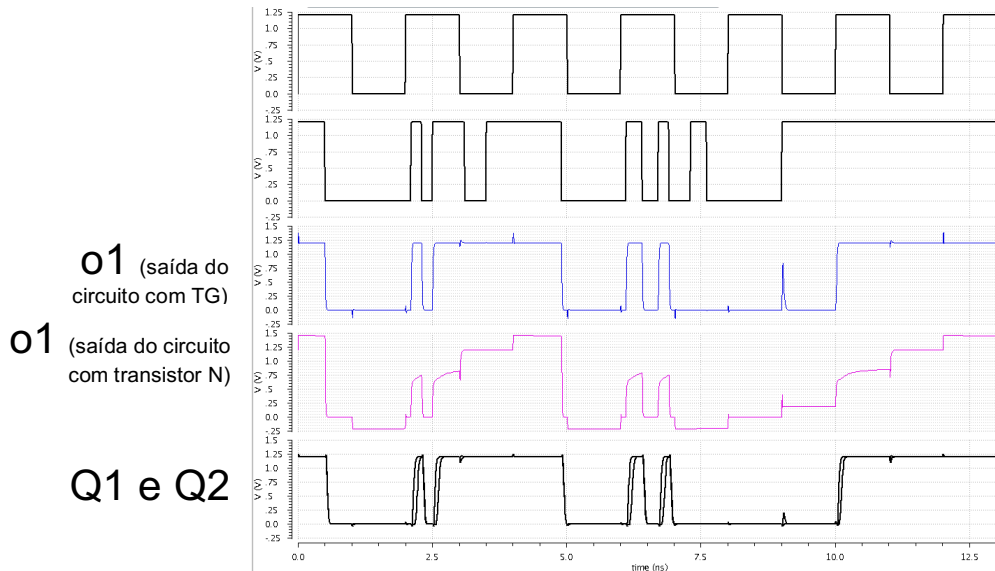
.subckt latch2 d q ck vcc
X1 o1 o2 vcc inv
X2 o2 q vcc inv
MP1 q ck o1 vcc psvtgp w=Wp l=0.06
MN1 d ck o1 0 nsvtgp w=Wn l=0.06
.ends latch2
```

Simular o arquivo fornecido, observar os sinais *clk*, *d*, *q1*, *q2*. A figura abaixo mostra as formas de onda resultantes (em destaque a violação de tempo de *setup*).



## Responder:

- 1.1. Para qual nível a *latch* é "passante" (ou "transparente", ou "seguidor")?
- 1.2. Observar o nodo interno "o1" de ambas latches (abaixo). Porque o nodo "o1" não atinge o nível lógico '1' no nível "passante"? Explicar a razão. Mostrar no relatório o gráfico desta simulação (para ver o sinal o1 clicar sobre o nome do subcircuito: 'X1')



- 1.3. **Tempo de setup.** Observe que a entrada D muda no mesmo instante que o clock em 9 ns, não havendo alteração na saída. Altere a transição de D para 8.8 ns e diga o que ocorreu, o motivo, e o novo gráfico de simulação – altere o comando pwl a partir da linha 62 do arquivo latch.sp:

```
+          7.61n    0    9n    0
+          9.01n    1 )
```

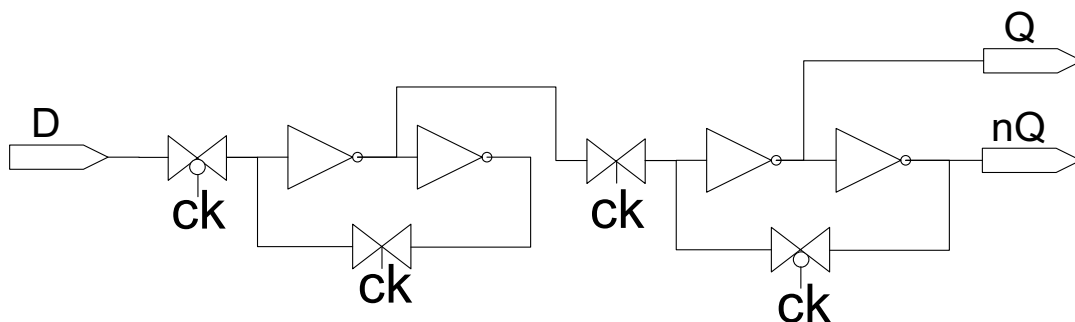
Para:

```
+          7.61n    0    8.8n    0
+          8.81n    1 )
```

- 1.4. Observar no gráfico da `questão 2 as saídas 'q1' e 'q2'. Abra o arquivo *latch.measure* e responda qual das *latches* tem melhor desempenho, explicando a razão. Qual a diferença, em picosegundos, entre os tempos de subida e descida (medidas *diff\_descida* e *diff\_subida*)?

## 2) SIMULAÇÃO DO CIRCUITO FLIP-FLOP D SENSÍVEL À BORDA DO CLOCK

Utilizando o sub-circuito *latch 1*, implemente o circuito FF-D mestre escravo como abaixo.



Criar o seguinte sub-circuito **ffd**, inserindo-o no arquivo *latch.sp* após a descrição do sub-circuito *latch2*:

```
.subckt ffd d q nq ck vcc
X1 ck nck vcc inv
X2 o1 o2 vcc inv
X3 o2 o3 vcc inv
X4 d nck ck o1 vcc tg
X5 o1 ck nck o3 vcc tg
X6 completar
X7 completar
X8 completar
X9 completar
.ends ffd
```

E utilizá-lo como segue – inserir após a linha “.ic q1=1.0 q2=1.0”:

```
**** parte 2 - MESTRE ESCRAVO
X3 D q3 nq3 clk vcc ffd
C31 q3 0 4fF
```

**Pede-se:**

- 2.1. Apresentar no relatório a descrição SPICE do flip-flop (a descrição do sub-circuito).
- 2.2. Apresentar o diagrama de tempos para os sinais **clk**, **D**, **q3**. Mostrar que o sinal é sensível à borda do *ck*, e à que borda ocorre a transição na saída.
- 2.3. Qual o número de transistores para este flip-flop?
- 2.4. Faça uma nova instância do flip-flop D mestre-escravo, realimentando o sinal **nq** com a entrada **D**.

Gerar um sinal de *clock* uma frequência de 1 GHz (após a linha que descreve *vck*):

```
v1G ck1G 0 pulse( 0 1 0.5N 0.03N 0.03N 0.5N 1N)
```

Insira o código para este circuito após a parte 2:

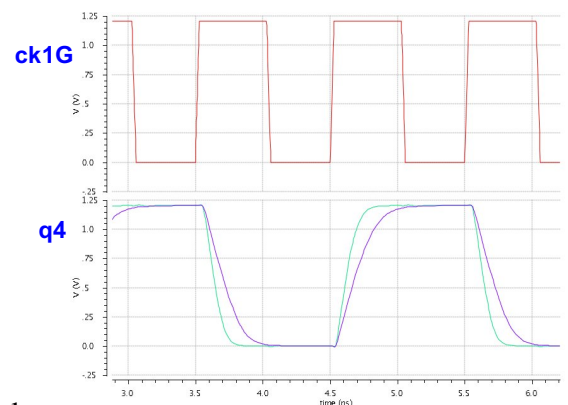
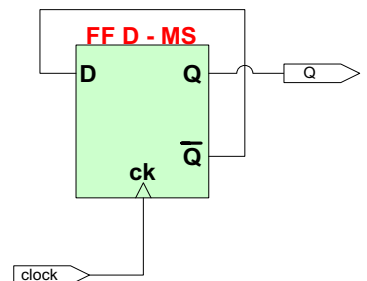
```
** parte 3 - FF mestre escravo realimentado
X4 nq4 q4 nq4 ck1G vcc ffd
C41 q4 0 clms
.ic v(q4)=0
```

Como capacitância de saída, sinal **clms** acima, assumir os valores {10fF, 20fF, 40fF, 80fF, 160fF}. Inserir o código abaixo antes do “.end”:

```
.param clms=10fF
.alter
.param clms=20fF
.alter
....
.end
```

- a) Apresente um diagrama de tempos contendo **ck1G** e **q4** (com os 5 valores de *q4* sobrepostos). Ao lado o *q4* para os dois valores de carga iniciais.

- b) Comente o comportamento do circuito, dizendo até qual capacitância de saída o circuito opera corretamente como um divisor de clock (ou seja, atingindo ‘0’ e ‘1’), explicando o comportamento.

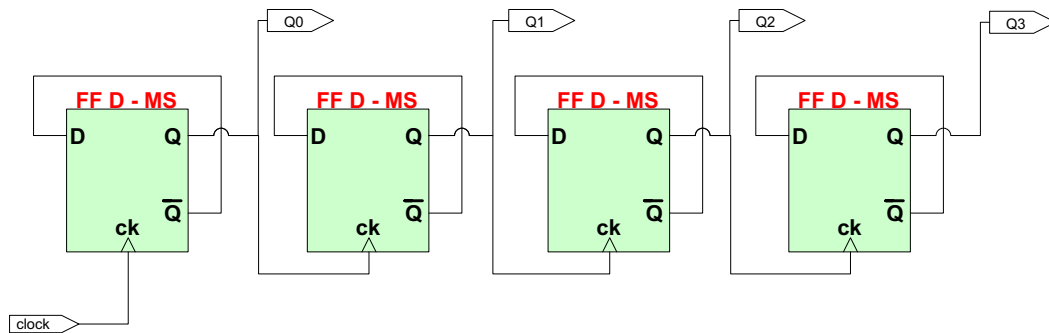


### 3) SIMULAÇÃO DE UM CONTADOR ASSÍNCRONO DE 4-BITS

Utilizando o flip-flop D mestre-escravo e o clock de 1 GHz (**ck1G**), implemente um contador conforme o diagrama abaixo.

- Aumentar o tempo de simulação para 35 ns: *.tran .001N 35N*
- Comentar as cargas da parte 3 (capacitâncias **clms**) deixando apenas a de 10fF.
- Estrutura do spice a inserir:

- 4 instâncias do ffd (exemplo para a primeira: *Xfa nf0 f0 nf0 ck1G vcc ffd*)
- 4 capacitâncias de carta (exemplo para a primeira: *c5 f0 0 4fF*)
- condições iniciais de tensão:
  - .ic v(nf0)=0 ...*
  - .ic v(f0)=1 ...*

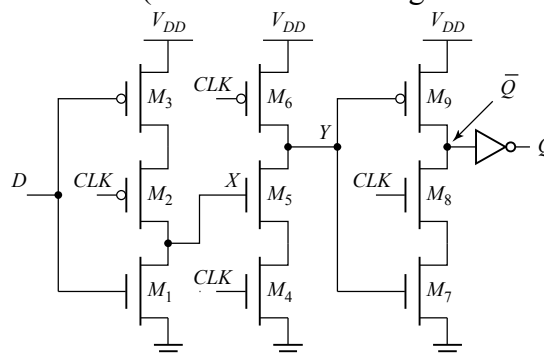


**Pede-se:**

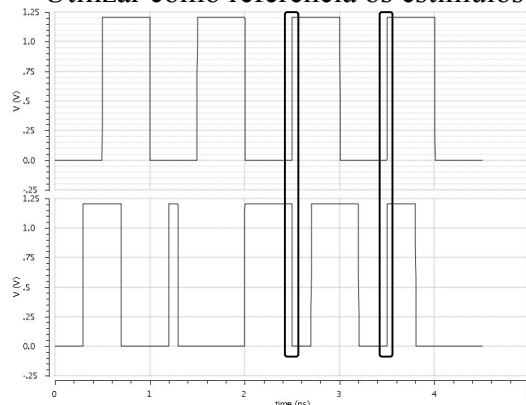
- 3.1. Entregue no relatório a descrição SPICE referente apenas ao trecho de código do contador.
- 3.2. Plote os sinais **ck1G**, Q0, Q1, Q2, Q3 (todos os 16 estados devem aparecer na janela de forma de ondas, um abaixo do outro).
- 3.3. Qual o número de transistores para o contador de 4 bits?

#### 4) SIMULAÇÃO DO FLIP-FLOP DINÂMICO TSPC

Implementar o FF TSPC visto em aula (11 transistores – diagrama elétrico abaixo):



- Utilizar como referência os estímulos abaixo, com violação de setup em 2.5 ns e 3.5 ns:



Este sinal é o clock de 1GHz

Este sinal D que deve ser escrito, após v1 e antes de vck:

```
v2 Dt 0 pw1(      0n      0      0.3n      0
+              0.303n    1      0.7n      1
+              0.703n    0      1.2n      0
+              1.203n    1      1.3n      1 ...
```

- Declaração do sub-circuito **ff\_tspc**, após o sub-circuito **ffd**:

```
.subckt ff_tspc D CLK Q nQ vcc
M3 n0 D vcc vcc psvtgp w='wp' l=0.06
M2 X CLK n0 vcc psvtgp w='wp' l=0.06
M1 X D 0 0 nsvtgp w='wn' l=0.06
...
.ends ff_tspc
```

- Instanciação do flip-flop TSPC, carga e condições iniciais do TSPC:

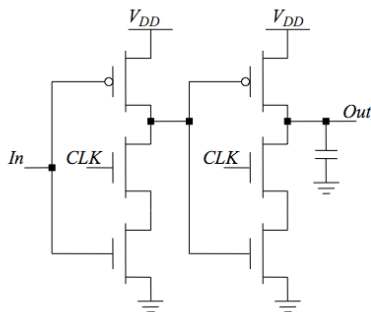
```
*** parte 5 tspc *****
X1ts Dt ck1G Q tspc nQ tspc vcc ff tspc
Clts Q tspc 0 1fF
.ic Q tspc=0 nQ tspc=1
```

Pede-se:

- 4.1. Apresente no relatório a descrição SPICE do flip-flop (apenas).
- 4.2. Diagrama de tempos com os sinais **ck1G**, **Dt**, e **Q\_tspc** para os primeiros 5 ns de simulação.
- 4.3. A saída Q opera em qual borda do sinal do clock?
- 4.4. Como o circuito se comportou em relação ao tempo de *setup*? Há diferença quando a entrada muda de 0→1 ou de 1→0 no mesmo instante que a borda de clock?

## 5) SIMULAÇÃO DO FLIP-FLOP COM CLOCK PULSADO

Implemente um flip-flop mestre escravo reutilizando uma *latch* TSPC, e um *clock* na forma de pulso. Utilizar como estímulos para este flip-flop os mesmos estímulos do exercício anterior (**Dt**), e mesma carga (1fF).

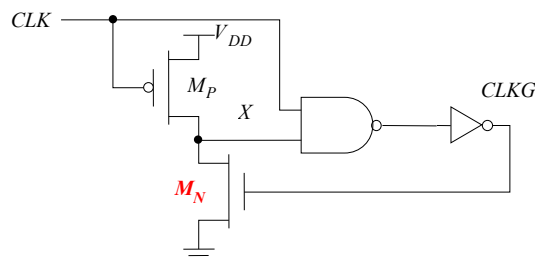


```
.subckt ms_clkpul d q clkg vcc
```

**completar**

```
.ends ms_clkpul
```

Latch TSPC



```
.subckt clkpg CLK CLKG vcc
M1 n0 CLK vcc vcc psvtgp w=wp l=0.06
M2 n0 CLKG 0 0 nsvtgp w=wn l=0.3
X1 n1 CLK n0 vcc nand2
X2 n1 CLKG vcc inv
.ends clkpg
```

Gerador de Pulso (transistor  $M_N$  com  $L$  igual a 0,3 para o pulso operar corretamente)

```
***** FLIP-FLOP PULSADO *****
X1p ck1G CLKG vcc clkpg
X2p Dt qpu CLKG vcc ms_clkpul
Clp qpu 0 1fF
.ic qpu=0 CLKG=0
```

Pede-se:

- 5.1. Apresente no relatório a descrição SPICE do flip-flop (apenas)
- 5.2. Diagrama de tempos com os sinais **ck1G**, **CLKG**, **Dt**, e **qpu**.
- 5.3. Explique o comportamento observado na saída Q.

## 6) COMPARAÇÃO DOS FLIP-FLOPS

- Utilizar os três flip-flops mestre-escravos visto anteriormente, com carga de saída de 1fF (lembrar de alterar *C31 q3 0 1fF*). Instancia um novo mestre-escravo estático para usar as mesmas entradas e clock dos outros flip-flops:

```
X3a Dt qms nqms ck1G vcc ffd
C31a qms 0 1fF
```

**Pede-se:**

- 6.1. Apresente no relatório o diagrama de tempos com os sinais **ck1G**, **CLKG**, **Dt**, **qms**, **Q\_tspc**, **qpu** para os primeiros 6 ns de simulação.
- 6.2. Comente o comportamento dos três flip-flops, destacando as diferenças.
- 6.3. Preencher a tabela abaixo, **destacando o flip-flop mais rápido**.

	Tempo de subida (ps)	Tempo de descida (ps)
Flip-flop estático		
Flip-flop TSPC		
Flip-flop Glitch		

Utilizar como referência para as medidas o seguinte código:

```
.measure tran t_fr trig v(ck1G) val=0.5 td=10p rise = 1 targ v(qms) val=0.5 rise = 1
.measure tran t_fs trig v(ck1G) val=0.5 td=10p rise = 2 targ v(qms) val=0.5 fall = 1

.measure tran t_tr trig v(ck1G) val=0.5 td=10p rise = 1 targ v(Q_tspc) val=0.5 rise = 1
.measure tran t_ts trig v(ck1G) val=0.5 td=10p rise = 2 targ v(Q_tspc) val=0.5 fall = 1

.measure tran t_pr trig v(CLKG) val=0.5 td=10p rise = 1 targ v(qpu) val=0.5 rise = 1
.measure tran t_ps trig v(CLKG) val=0.5 td=10p rise = 2 targ v(qpu) val=0.5 fall = 1

.measure tran t1_raise_FFD param = 't_fr * 1e12'
.measure tran t1_fall_FFD param = 't_fs * 1e12'
.measure tran t2_raise_TSPC param = 't_tr * 1e12'
.measure tran t2_fall_TSPC param = 't_ts * 1e12'
.measure tran t3_raise_PULSADO param = 't_pr * 1e12'
.measure tran t3_fall_PULSADO param = 't_ps * 1e12'
```

**FIM DO LABORATÓRIO 5**