

TUTORIAL PARA SIMULAÇÃO SPICE - PORTAS LÓGICAS

Fernando Moraes
28/setembro/2016

Objetivos e Setup inicial do ambiente

- Objetivo do laboratório: analisar a influência do número de transistores em série no atraso das portas lógicas e a posição do chaveamento (qual entrada está chaveando)
- Fazer download do laboratório 4: <http://www.inf.pucrs.br/moraes/microel/lab4>
[wget http://www.inf.pucrs.br/moraes/microel/lab4/nand6.sp](http://www.inf.pucrs.br/moraes/microel/lab4/nand6.sp)
[wget http://www.inf.pucrs.br/moraes/microel/lab4/st65.scs](http://www.inf.pucrs.br/moraes/microel/lab4/st65.scs)
- Observar na descrição Spice: (1) tensão de alimentação 1 Volt; (2) processo 65nm, com arquivo de tecnologia fornecido por fabricante; (3) comandos PWL.

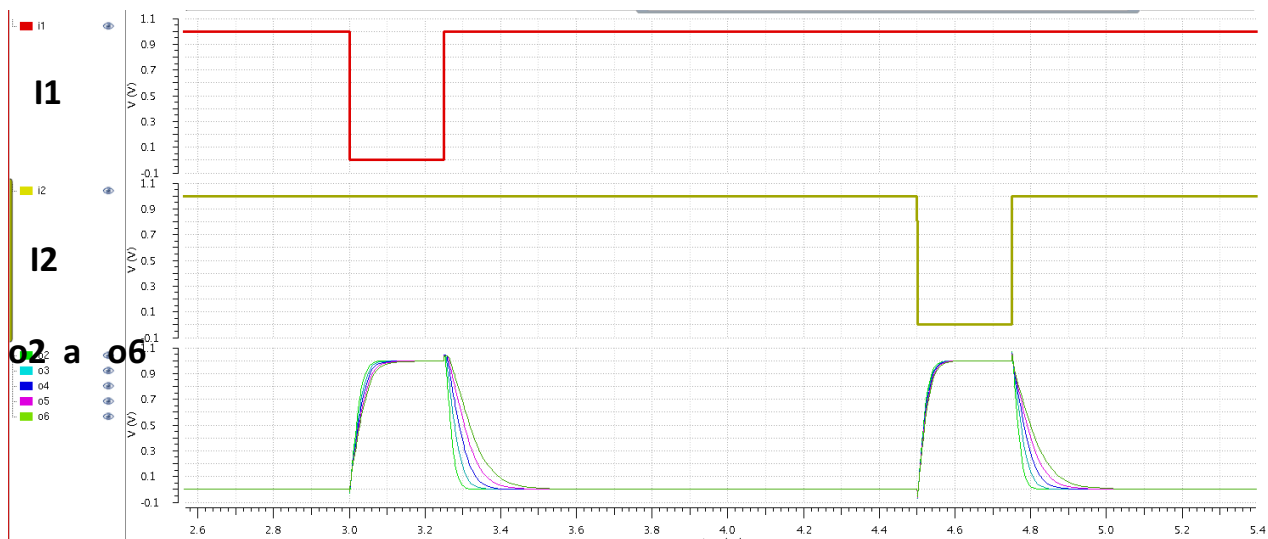
Simulação da porta NAND

- Completar** a descrição *nand6.sp* para os tempos de subida/descida das nands de 3, 4, 5 e 6 entradas - **ler os comentários do arquivo Spice!**
- Simular o arquivo "nand6.sp". As portas NAND possuem dimensionamento fixo para os transistores N e P, como abaixo para a NAND2:

```
.SUBCKT nand2 o1 s1 s2 vcc
M1 o1 s1 vcc vcc psvtgp w=0.5 l=0.06
M2 o1 s2 vcc vcc psvtgp w=0.5 l=0.06
M3 0 s1 2 0 nsvtgp w=0.4 l=0.06
M4 2 s2 o1 0 nsvtgp w=0.4 l=0.06
.ENDS nand2
```

TAREFAS:

- Apresentar as formas de onda com as entradas (I1 e I2) e as saídas das nands 2 a 6 entradas, como abaixo. Observar as formas de onda de entrada. Os estímulos foram escritos de tal forma que primeiro i1 vai para zero, causando a subida na saída da Nand, e depois i2 vai a zero, causando nova subida. **As demais entradas ficam em 1, para os transistores N em série conduzirem.**



2. Preencher a tabela abaixo para as portas NAND. Nomenclatura das colunas: *entr. gnd* significa entrada que varia é aquela próxima à gnd, ou seja *I1*. As demais tem significado similar. **Usar os tempos em pico-segundos – notar que o arquivo spice já fornece em pico-segundo** (a linha da nand2 contém o nome das medidas que devem ser obtidas no arquivo nand6.measure).

NAND	TEMPO DE DESCIDA (ps)		TEMPO DE SUBIDA (ps)	
N# Entradas	<i>entr. gnd</i>	<i>entr. saída</i>	<i>entr. gnd</i>	<i>entr. saída</i>
2	<i>t_n2dg</i>	<i>t_n2do</i>	<i>t_n2sg</i>	<i>t_n2so</i>
3				
4				
5				
6				

3. Plotar no excel (ou programa semelhante) um gráfico com **4 curvas**, uma para cada coluna da tabela acima. No eixo X teremos o número de entradas, e no eixo Y o atraso em pico-segundos.
4. Como pode-se resumir o impacto do número de transistores em série no plano N na porta NAND no tempo de propagação de subida e no tempo de propagação de descida?
5. O tempo de descida é mais afetado quando a entrada que varia está próxima de *gnd* ou da *saída*? Explicar a razão.
6. Para a nand2, porque os tempos de subida e descida estão semelhantes para cada entrada que varia? Utilize a introdução ao método *logic effort* para justificar a resposta, lembrando do laboratório 2 onde se calculou a mobilidade para esta tecnologia.

Simulação da porta NOR

- **Escrever o netlist para simular portas NOR, de 2 a 6 entradas.** Exemplo para a NOR2:

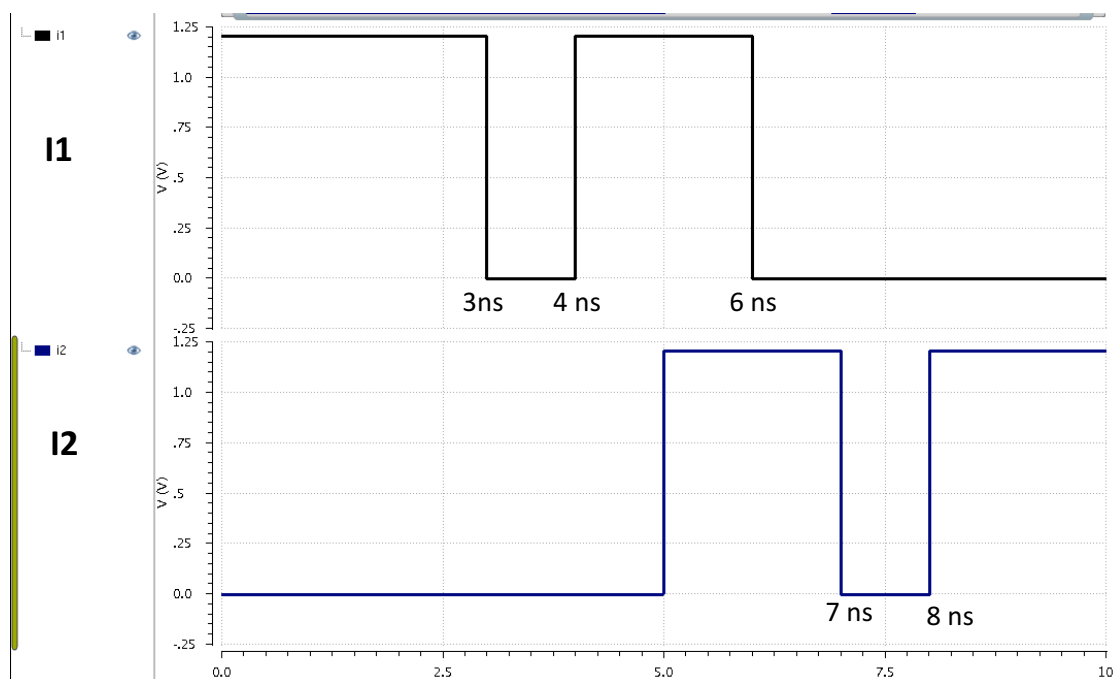
```
.SUBCKT nor2      o1      s1      s2      vcc
M1      10      s1      vcc      vcc      psvtgp  w=1      l=0.06
M2      o1      s2      10      vcc      psvtgp  w=1      l=0.06
M10     0      s1      o1      0      nsvtgp  w=0.2    l=0.06
M11     0      s2      o1      0      nsvtgp  w=0.2    l=0.06
.ENDS      nor2
```

➔ Todos os transistores, N com $w=0.2 \mu\text{m}$ e P com $w=1 \mu\text{m}$. Carga de saída 4 fF.

➔ **Entrada s1 próxima à vcc e entrada s2 próxima à saída.**

- **Escrever os estímulos para a porta NOR.** Importante: lembrar que as entradas não utilizadas devem estar em **0** (**zero**) e o slew (rampa) das entradas deve ser 1ps.

```
vcc vcc 0 dc 1.0
v1 i1 0 pwl(...escrever como na figura abaixo...)
v2 i2 0 pwl(...escrever como na figura abaixo...)
v3 i3 0 dc 0
v4 i4 0 dc 0
v5 i5 0 dc 0
v6 i6 0 dc 0
```



- Escrever os comandos de medida para as portas NOR, como o modelo abaixo para a porta NOR2:

```
.measure tran n2_subida_vdd trig v(i1) val=0.5 td=2n fall=1 targ v(o2) val=0.5 rise=1
.measure tran n2_descida_vdd trig v(i1) val=0.5 td=2n rise=1 targ v(o2) val=0.5 fall=1
.measure tran n2_subida_out trig v(i2) val=0.5 td=2n fall=1 targ v(o2) val=0.5 rise=2
.measure tran n2_descida_out trig v(i2) val=0.5 td=2n rise=2 targ v(o2) val=0.5 fall=2
```

- Aumentar o tempo de simulação para 10 ns:

```
.tran 0.001N 10N
```

TAREFAS PARA A PORTA NOR (análogas às da porta NAND):

1. Apresentar as formas de onda com as entradas (I1 e I2) e as saídas das nor 2 a 6 entradas
2. Para as portas NOR fazer uma tabela equivalente à NAND.
3. Plotar no excel (ou programa semelhante) um gráfico com **4 curvas**, uma para cada coluna da tabela. No eixo X teremos o número de entradas, e no eixo Y o atraso.
4. Como pode-se resumir o impacto do número de transistores em série na porta NOR em função do número de transistores em série no plano P?
5. O tempo de subida é mais afetado quando a entrada que varia está próxima de vcc ou da saída? Explicar a razão.

FINAL DO LAB4