

**PONTIFÍCIA UNIVERSIDADE CATÓLICA**

**DO RIO GRANDE DO SUL – PUCRS**

**FACULDADE DE ENGENHARIA**

**PROJETOS DE SISTEMAS INTEGRADOS II**

**TRABALHO 1**

**ETAPA DE SINTESE FÍSICA**

**PROF.: DRA. LETICIA PÖHLS**

Nomes: Alexandre Carvalho

Daniel Vega

**TURMA 590**

Porto Alegre, 13 de junho de 2017.

* 1. **Etapas da Síntese Física**

1. **Etapa 1 – Loading the Design:**

Para começar, deve-se ter em mãos os arquivos *design\_pos\_rtl.v* e *design\_pos\_rtl.conf* obtidos na síntese comportamental. Estes arquivos são necessários para se carregar o projeto a partir da síntese comportamental. O arquivo .V contém o código verilog do projeto e o arquivo .CONF contém as configurações do projeto. Também são necessárias as bibliotecas

.LEF utilizadas na síntese comportamental. A figura 1 mostra o design carregado e pronto para as próximas etapas.

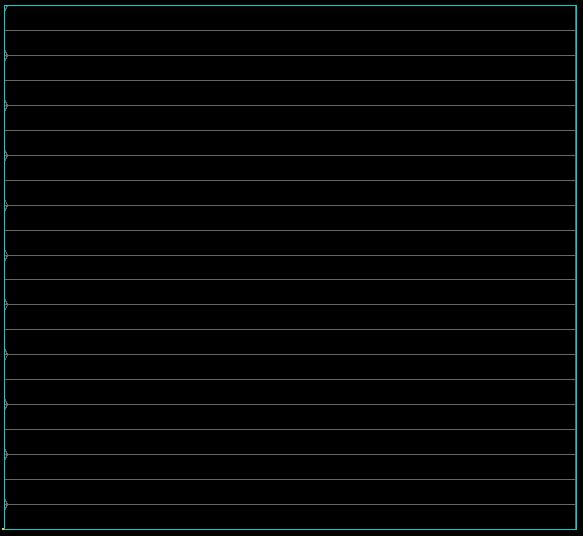


Figura 1 – Design pronto carregado pronto para síntese física

**1.2. Etapa 2 – Floorplaning:**

A etapa 2 consiste no início da implementação do Floorplaning. Neste passo vamos definir o tamanho das células e o quão densa elas serão. Definimos alguns padrões como dimensão (altura/largura), utilização do core (neste caso 70%) e margens (10 para todos os cantos). Definidos estes valores o design fica conforme a figura 2 abaixo.



Figura 2 – Floorplanning realizado

**1.3. Etapa 3 – Power Planning:**

A etapa 3 é feita a configuração do Power Planing. Definimos os Net como gnd e vdd. Iremos adicionar Power rings (Anéis de energia), as configurações dos anéis (Ring Configuration) devem ser 0.5 de largura em todos os cantos do CI, espaçamento de 0.25 e offset de 1.5.

Para designs maiores pode-se adicionar Power stripes junto com os Power rings, mas não é o caso deste design. Feito os passos da etapa, o design fica conforme a figura 3.

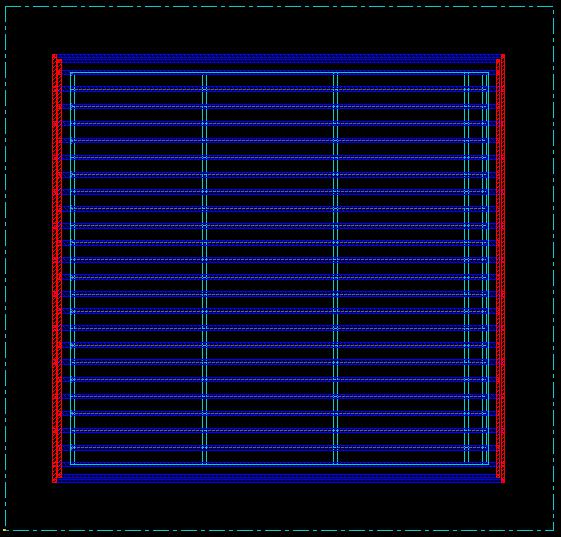


Figura 3 – Design com os rings, vdd e gnd definidos

**1.4. Etapa 4 – Placement:**

Nesta etapa inserimos os componentes do circuito. É possível visualizar o circuito na Amoeba view mostrando a distribuição dos blocos. Na Physical view mostra-se a alocação dos componentes. Abaixo temos a figura 4 ilustrando a physical view do design e podemos observar que o projeto começa a tomar forma.

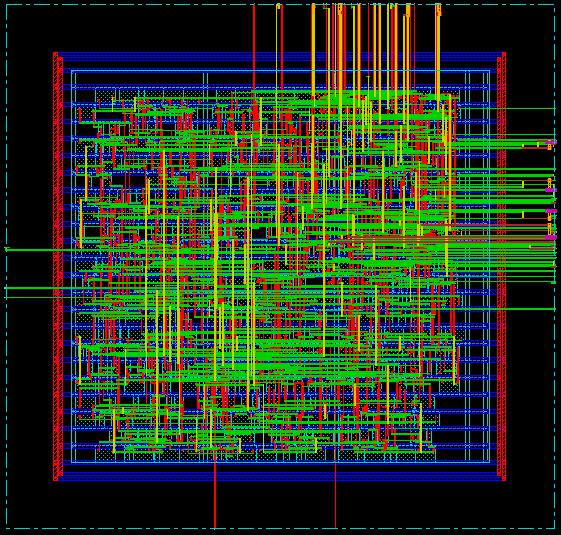


Figura 4 – Physical view do design após etapa 4

**1.5. Etapa 5 – First Optimization Phase:**

Nesta etapa do processo é feita uma primeira otimização. Não há fios por enquanto, somente um roteamento do que poderá ser os fios do CI. Também é feita uma análise do tempo de setup, que indica se há algumas violações de tempos nos caminhos. Podemos ver na figura 5 o terminal de comando do cadence mostrando os tempo calculados pela otimização.

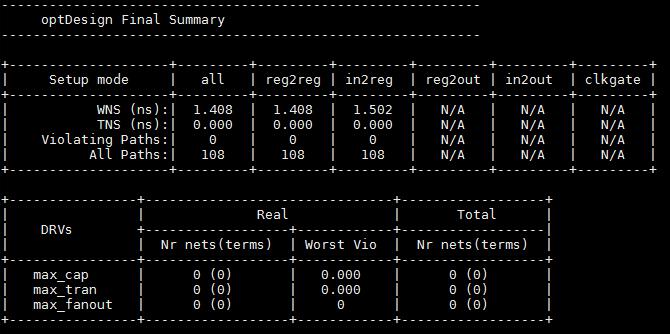


Figura 5 – Tempos de setup

**1.6. Etapa 6 – Clock Tree Synthesis:**

Nesta etapa é feita a síntese da árvore de clock. Para designs muito grandes, esta etapa tem um impacto muito grande. Esta etapa é feita para garantir que o clock atenda o circuito de forma sincronizada.

**1.7. Etapa 7 – Post-CTS Optimization:**

Esta etapa faz mais uma otimização de circuito afim de melhorar os tempos de setup. Se houver violações no tempo, deve-se realizar a otimização novamente.

**1.8. Etapa 8 – Final Routing:**

Nesta etapa é feito o roteamento final do circuito, onde todos os fios do CI é distribuído ao longo das células. É possível verificar se há erros de DRC (Design Rules Constraints). Caso haja algum erro, deve-se realizar o roteamento novamente ou realizar a otimização pós roteamento e verificar se o erro persiste. Caso o problema persista, deve-se diminuir a utilização o core (Core Utilization), realizada na etapa 2 (Floorplanning). Na figura 6 podemos observar que existe um erro de DRC no design. Neste caso, iremos realizar as etapas anteriores mas neste caso iremos diminuir o Core Utilization para 60% e testar se o design obtido não possui erros.

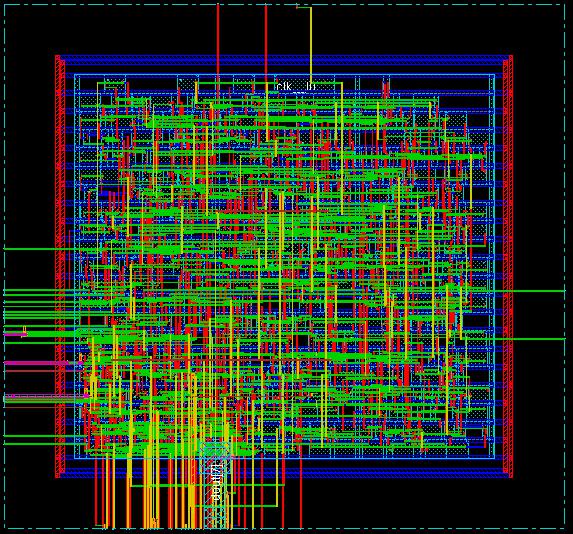


Figura 6 – Possível erro no deisgn

Feito o ajuste de Core Utilization e seguidas todas as etapas anteriormente realizadas, temos então um design sem erros de DRC e pronto para as próximas etapas. A figura 7 ilustra o design obtido.

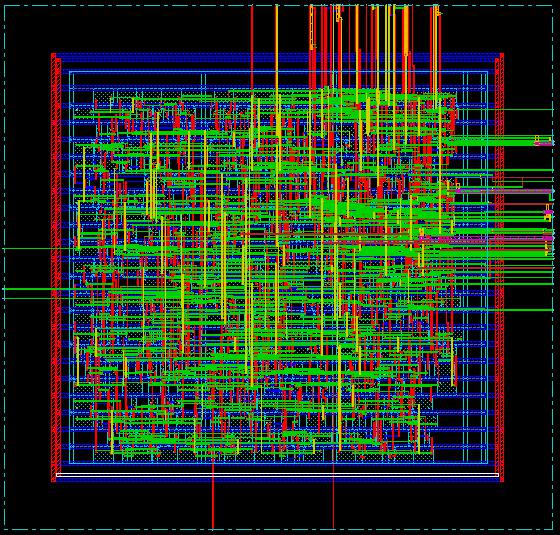


Figura 7 – Design sem erros de DRC

**1.9. Etapa 9 – Post-Route Optimization;**

Etapa de otimização do roteamento. A figura 8 mostra os tempos de setup obtidos após a otimização final do projeto com a densidade do CI, em torno de 60%.

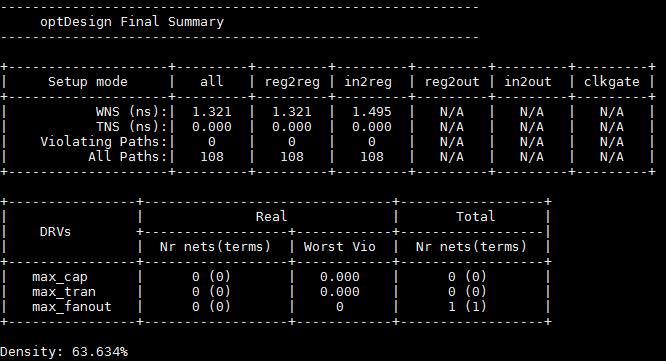


Figura 8 – Tempos de setup e densidade do CI

**1.10. Etapa 10 – Filler Cells:**

Aqui realizamos a inserção de células de enchimento (Filler cells). Estas células têm por objetivo preencher espaços vazios dentro do CI e não possuem circuitos ativos, apenas fios de energia e aterramento.

**1.11. Etapa 11 – Checking the Results:**

Para uma finalização do CI, é verifica se a geometria e a conectividade estão de acordo com as regras especificadas no netlist. Havendo alguma violações, deve-se fazer as etapas 8 e 9 novamente. Não havendo erros o circuito está pronto. A figura 9 mostra os resultados da verificação de geometria, indicando que não há violações.

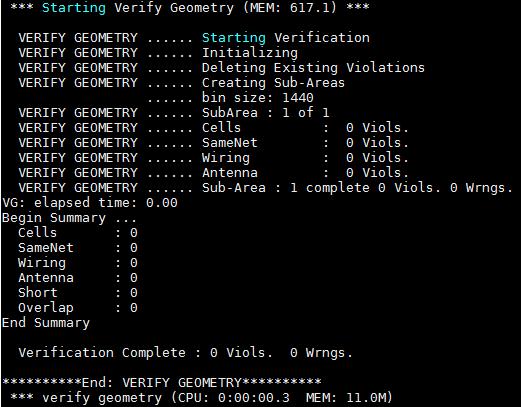


Figura 9 – verificação de geometria

A figura 10 abaixo mostra os resultados da verificação de conectividade do CI. Novamente não há indícios de violações.

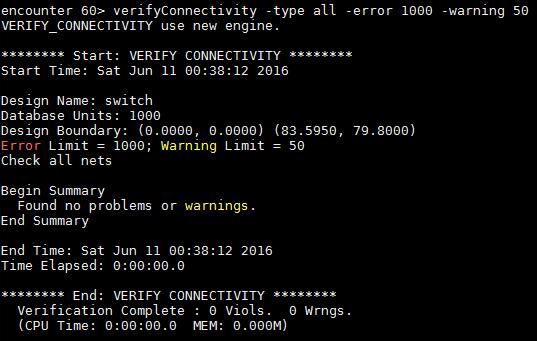


Figura 10 – Verificação de conectividade

E a figura 11 mostra o CI após todas as etapas da síntese física. Após esta etapa o CI esta pronto.

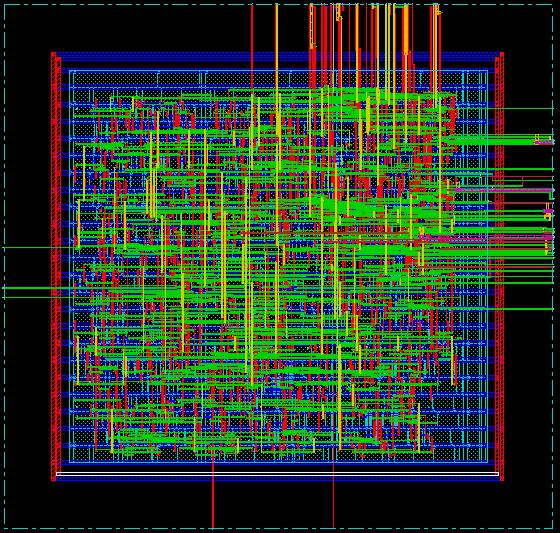


Figura 11 – CI pronto após as etapas da síntese física

**1.12. Etapa 12 – Saving da Exporting the Design:**

Agora que o projeto está finalizado, deve-se salvar o projeto e exportar os arquivos do netlist, .DEF, .SDF e os arquivos de reports.

**2. Análise dos resultados**

**2.1. Dimensões do Die:**

A área do Die pode ser encontrada no arquivo switch.DEF logo no topo do arquivo. A área calculada pelo design é de 83595um x 79800um.

**2.2. Dimensões do Core:**

As dimensões do Core são similares às dimensões do Die, porém com uma margem a ser subtraída. Conforme a etapa dois (Floorplanning), foi estipulado uma margem de 10 para todos os lados do CI. Portanto, as dimensões do Core são 63595um x 59800um.

**2.3. Número de Linhas:**

O número de linhas gerados para este design pode ser observado na figura 2 durante a etapa de Floorplanning. Na figura é possível contar um número de 24 linhas.

**2.4. Número de Instâncias:**

O número total de instancias do CI pode ser obtido dentro da própria ferramenta do cadence, acessando a opção Design Browser logo abaixo de Verify, como podemos ver na figura 12.

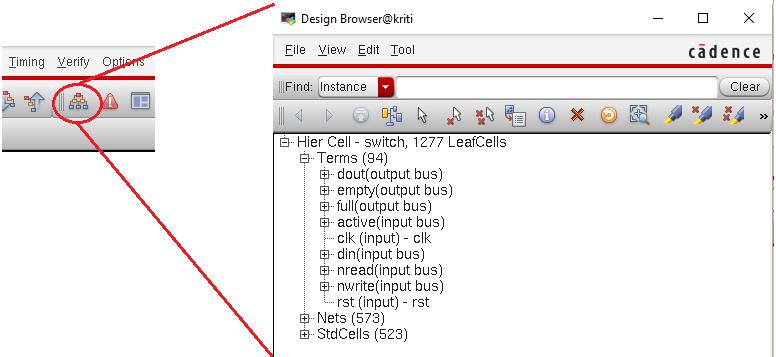


Figura12 – Total de instâncias

Podemos observar que número total de instâncias é de 1277, dentre estas estão 523 células, 573 Nets, que são os vdds e gnds do circuito e 94 Terms.

**2.5. Número de Layers:**

Ao final da etapa de roteamento, é possível obter o total de layers (camadas) que o CI irá trabalhar. O número máximo que um CI pode obter para este tipo de design são 8 layers. Para encontrar os layers obtidos pelo roteamento foi necessário acessar o log gerado pela síntese física. Abaixo temos a figura 13 mostrando o trecho do código gerado no log da síntese física.

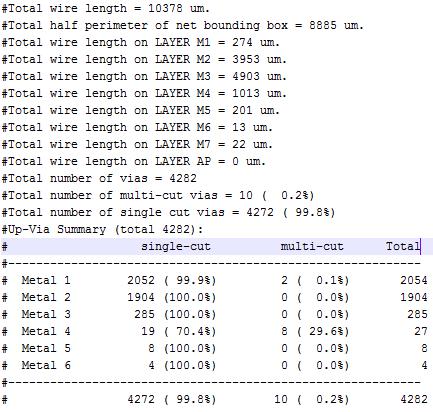


Figura 13 – Layers implementados no CI

Podemos observar que foram gerados 7 layers para esta aplicação. Além disto, foram utilizados seis tipos de metais para implementar estes layers.