

Guía Práctica 6

Ejercicio 1 - Sugerido.

Diseñar un multiplicador serial no signado de 4x4 bits asumiendo entradas y salidas de bits seriales (ingresa y sale de a un bit). Modificar el multiplicador para realizar una operación de número fraccional signado por número fraccional signado (S4.3 x S4.3). Truncar el resultado a 4 bits S4.3 ignorando los bits menos significativos.

Ejercicio 2 - Sugerido.

Utilizando el multiplicador del ejercicio 1, diseñar un filtro FIR serial de 3 coeficientes. Asumir los datos de entrada y coeficientes ambos de formato S4.3, ignorar los bits menos significativos para mantener el formato de la salida S4.3.

Ejercicio 3.

Diseñar una máquina de estados (FSM) que detecte una secuencia de entrada 1101. Implementar la máquina de estados utilizando las técnicas de Mealy y Moore, e identificar si la implementación de la máquina de Moore requiere más estados. Para codificar los estados utilizar la técnica one-hot. Escribir el código RTL verilog de los diseños. Escribir los test necesarios para probar todas las transiciones de la máquina de estados.

Ejercicio 4.

Diseñar la máquina de estados de Mealy y Moore que genere un bit de salida valor 1, cada 50 bits de entrada de valor 1, seriales. Chequear el diseño utilizando la siguiente cadena de bits de entrada: 111111001111111111110011010111111011100011111111.