

Лабораторная работа №7

ТРИГГЕРЫ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

ЦЕЛЬ РАБОТЫ

Моделирование и исследование работы JK-, RS- и D-триггеров в LTspice.

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Основными устройствами цифровой техники, наряду с логическими устройствами, являются триггеры.

Триггер – электронное устройство, обладающее двумя устойчивыми состояниями и способное скачком переходить из одного состояния в другое под воздействием внешнего импульса.

Триггерами называют большой класс электронных устройств, обладающих способностью длительно находиться в одном из двух устойчивых состояний и чередовать их под воздействием внешних сигналов. Каждое состояние триггера распознается по значению выходного напряжения.

Каждому состоянию триггера соответствует определённый уровень выходного напряжения:

- триггер установлен в единичное состояние – высокий уровень напряжения на выходе;
- триггер сброшен в ноль – низкий уровень напряжения на выходе.

Установившееся состояние сохраняется сколь угодно долго и может быть изменено внешним импульсом или отключением напряжения питания. Таким образом триггер является элементарным элементом памяти, способным хранить наименьшую единицу информации (один бит) «0» или «1».

К основным типам триггеров относят RS-, D-, T- и JK-триггеры. Кроме того, триггеры делятся на асинхронные и синхронные. В асинхронных триггерах переключение из одного состояния в другое осуществляется непосредственно с поступлением сигнала на информационный вход. В тактируемых триггерах помимо информационных входов имеется вход тактовых импульсов. Их переключение производится только при наличии разрешающего тактового импульса.

1 RS-триггер

Триггер такого типа имеет минимум два входа: S – производится установка триггера в состояние уровня «1» и R – сброс триггера в состояние уровня «0». (рисунок 1).

При наличии входа C триггер является синхронным – переключение триггера (изменение состояния выхода) может происходить только в момент прихода тактирующего (синхронизирующего) импульса на вход C.



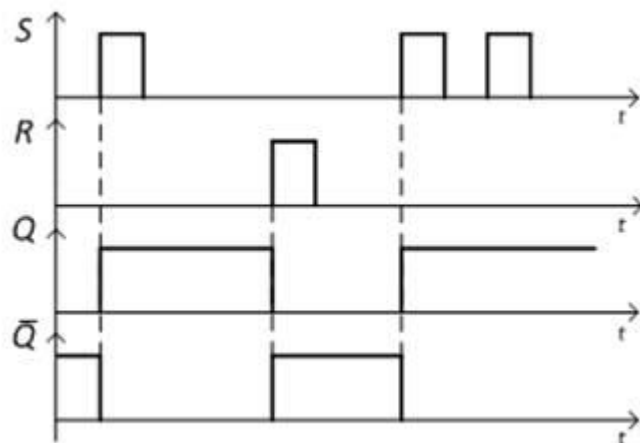
Рисунок 1 – Условно-графическое обозначение RS-триггера и назначение выводов а) асинхронный, б) синхронный

Кроме прямого выхода, триггер может иметь также инверсный выход, сигнал на котором будет противоположным.

В таблице 1 представлены состояния, которые может принимать триггер в процессе работы. В таблице указаны значения входных сигналов S и R в некоторый момент времени и состояние триггера (на прямом выходе) Q_{n+1} в следующий момент времени после прихода очередных импульсов. На новое состояние триггера влияет также предыдущее состояние Q_n .

Комбинация $S = 1, R = 1$ является запретной комбинацией, т.к. нельзя предугадать какое состояние установится на выходе.

R	S	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	x
1	1	1	x



На рисунках 3 и 4 представлена схема реализации RS-триггера на логических элементах ИЛИ-НЕ и И-НЕ соответственно.

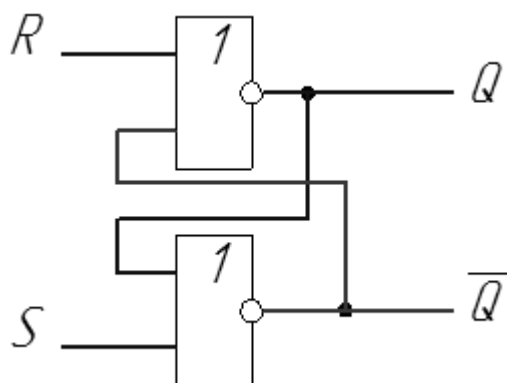


Рисунок 3 – RS-триггер на элементах ИЛИ-НЕ

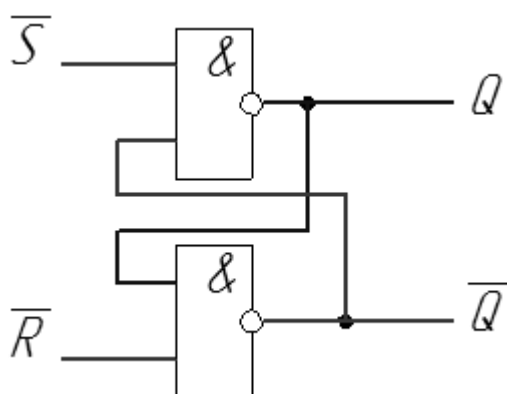


Рисунок 4 – RS-триггер на элементах И-НЕ

Пример схемы синхронного RS-триггера приведен на рисунке 5. По аналогии можно построить синхронный RS-триггер на элементах ИЛИ-НЕ, однако для синхронизации также потребуются элементы И.

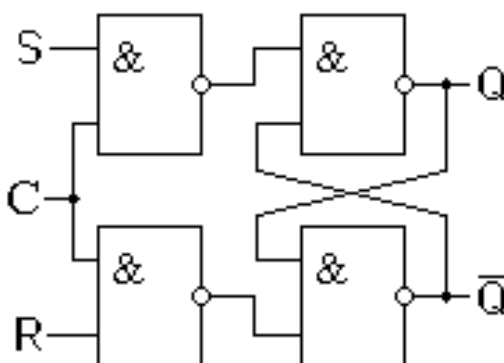


Рисунок 5 – Синхронный RS-триггер на элементах И-НЕ

2 JK-триггер

На рисунке 6 представлено графическое изображение JK-триггера. Его таблица истинности практически совпадает с таблицей истинности

синхронного RS-триггера. Для того чтобы исключить запрещённое состояние, его схема изменена таким образом, что при подаче двух единиц JK-триггер превращается в счётный триггер. Это означает, что при подаче на тактовый вход С импульсов он изменяет своё состояние на противоположное.

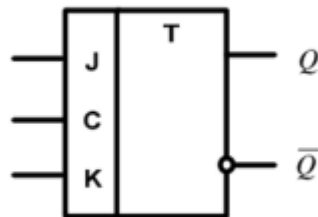


Рисунок 6 – Условное графическое обозначение JK-триггера

На рисунке 7 изображена схема JK-триггера.

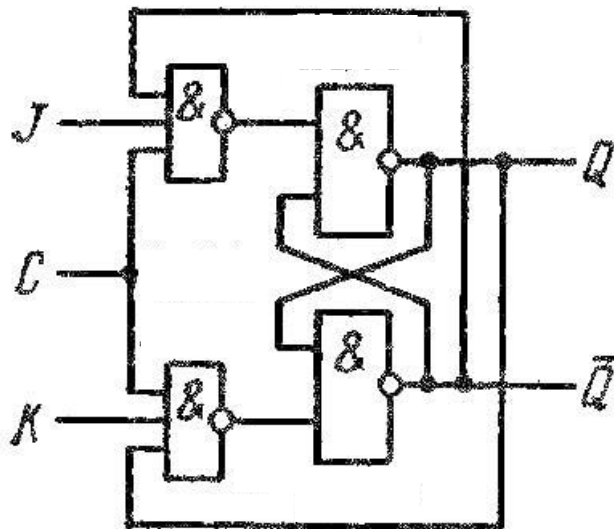


Рисунок 7 – JK-триггер

В таблице 2 указаны состояния прямого выхода триггера в зависимости от сигналов на входе и предыдущего состояния триггера.

Таблица 2 – Таблица состояний JK-триггер

С	К	J	Q_n	Q_{n+1}
0	0/1	0/1	0	0
0	0/1	0/1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

3 D-триггер

D-триггером называется триггер с одним информационным входом, работающий так, что сигнал на выходе после переключения равен сигналу на входе D до переключения. Основное назначение D-триггеров - задержка сигнала, поданного на вход D. Он имеет информационный вход D (вход данных) и вход синхронизации C.

Условное графическое обозначение D-триггера показано на рисунке 8, а его схема – на рисунке 9.

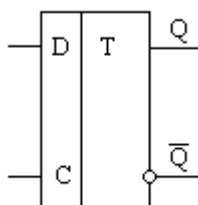


Рисунок 8 – Условное графическое обозначение D-триггера

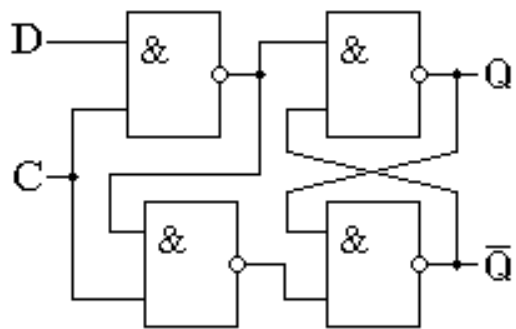


Рисунок 9 – D-триггер

Таблица состояний D-триггера приведена в таблице 3.

Таблица 3 – Таблица состояний D-триггера

C	D	Q_n	Q_{n+1}
0	0/1	0	0
0	0/1	1	1
1	0	0/1	0
1	1	0/1	1

РАБОЧЕЕ ЗАДАНИЕ

1 Подключение библиотеки

1.1 Откройте вкладку Component в LTspice. В окне Select Component Symbol в строке Top Directory указан путь к папке, в которой хранятся библиотеки элементов. Пример показан на рисунке 10.

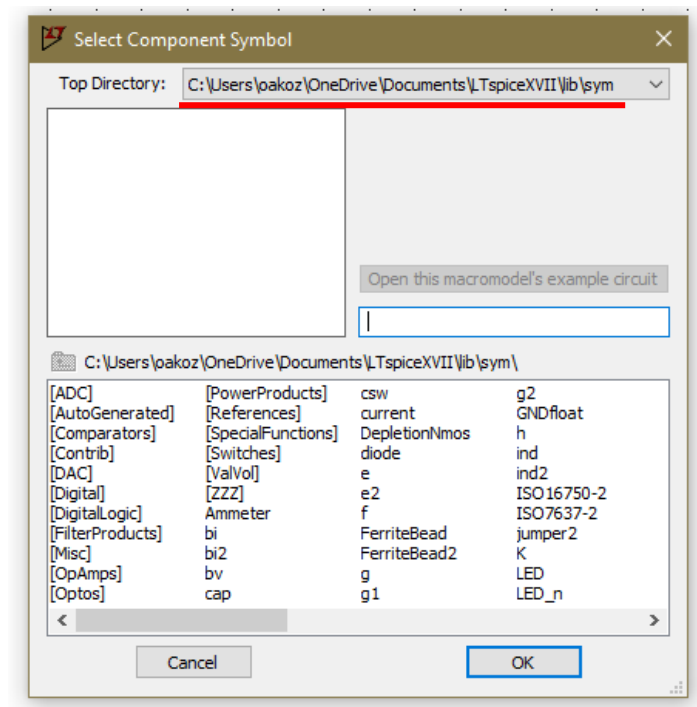


Рисунок 10 – Пример окна Select Component Symbol

1.2 Скопируйте папку lib из архива Lab7 в папку, указанную в строке Top Directory.

1.3 Используйте для выполнения работы реальные логические элементы. Они находятся в папке [ZZZ]\[LOGIC]\[74HC].

2 Соберите в LTspice модель триггера в соответствии с вариантом, указанным в таблице 4.

3 Составьте таблицу состояний триггера, для каждого из состояний приведите временные диаграммы, включающие входные сигналы и прямой выходной сигнал.

Таблица 4 – Исходные данные

Вариант	Тип триггера
1	Асинхронный RS-триггер на И-НЕ
2	Синхронный RS-триггер на ИЛИ-НЕ
3	JK-триггер на И-НЕ
4	D-триггер на И-НЕ
5	Синхронный RS на И-НЕ
6	Асинхронный RS на ИЛИ-НЕ
7	JK-триггер на И-НЕ
8	D-триггер на И-НЕ
9	Синхронный RS на И-НЕ
10	Асинхронный RS на ИЛИ-НЕ