|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Instruction | Action | Opcode[15-12] | DST[11-8] | SRC[7-4] | DST[3-0] |
| ADD DST,SRC1,SRC2 | DST=SRC1+SRC2 | 0000 | DST | SRC1 | SRC2 |
| AND DST,SRC1,SRC2 | DST=SRC1&SRC2 | 0001 | DST | SRC1 | SRC2 |
| OR DST,SRC1,SRC2 | DST=SRC1|SRC2 | 0010 | DST | SRC1 | SRC2 |
| XOR DST,SRC1,SRC2 | DST=SRC1^SRC2 | 0011 | DST | SRC1 |  |
| ADDI DST,SRC1,IMM | DST=SRC1+IMM | 0100 | DST | SRC1 | IMM4 |
| ANDI DST,SRC1,IMM | DST=SRC1&IMM | 0101 | DST | SRC1 | IMM4 |
| ORI DST,SRC1,IMM | DST=SRC1|IMM | 0110 | DST | SRC1 | IMM4 |
| XORI DST,SRC1,IMM | DST=SRC1^IMM | 0111 | DST | SRC1 |  |
| JUMP ADDR | PC+=ADDR | 1000 | ADDR | ADDR | ADDR |
| LD DST,ADDR | DST=\*(offset+ADDR) | 1001 | DST | ADD8 | ADD8 |
| ST SRC,ADDR | \*(offset+ADDR)=SRC | 1010 | SRC |  |  |
| BEQ OP1,OP2,ADDR | İf(OP1=OP2)(PC+ADDR\*4) | 1011 | OP1 | OP2 | ADDR |
| BLT OP1,OP2,ADDR | İf(OP1<OP2)(PC+ADDR\*4) | 1100 | DST |  |  |
| BGT OP1,OP2,ADDR | İf(OP1>OP2)(PC+ADDR\*4) | 1101 | DST |  |  |
| BLE OP1,OP2,ADDR | İf(OP1<=OP2)(PC+ADDR\*4) | 1110 | OP1 | OP2 | ADDR |
| BGE OP1,OP2,ADDR | İf(OP1>=OP2)(PC+ADDR\*4) | 1111 | OP1 | OP2 | ADDR |

**Instruction Set Architecture**