

# هم طراحی سخت افزار نرم افزار

جلسه دوازدهم: مروری بر ادامه فرایند هم طراحی

ارائه دهنده: آتنا عبدی

[a\\_abdi@kntu.ac.ir](mailto:a_abdi@kntu.ac.ir)

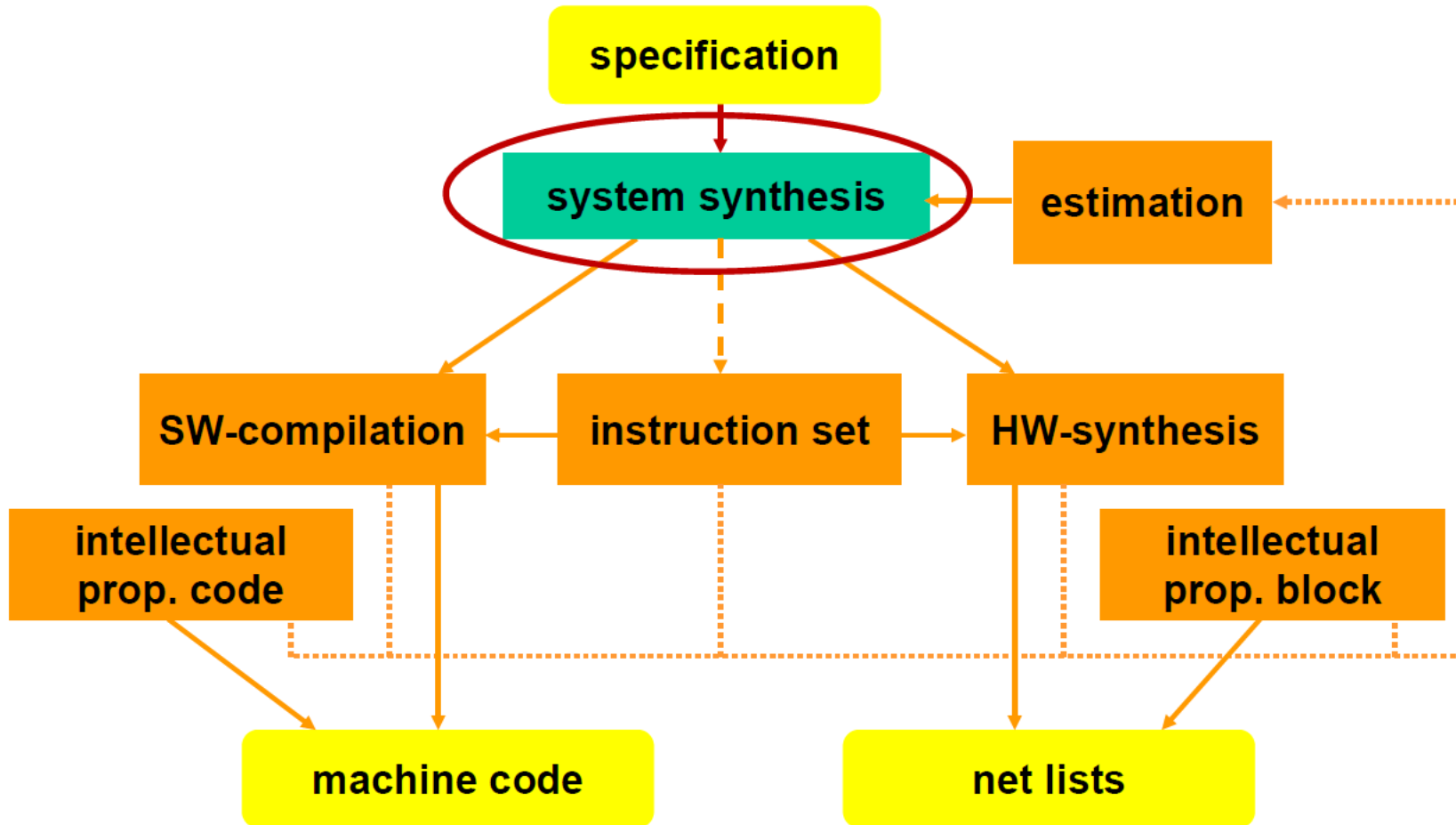
# مباحث این جلسه



- مروری بر متدولوژی هم‌طراحی
  - دنبال کردن یک نمونه ساده
  - یادآوری نکات کلی
  - مشخص کردن روال ادامه کار



# فرایند هم طراحی



# مروری بر فرایند هم‌طراحی



- همانگونه که گفته شد، هم‌طراحی از توصیف سطح بالای سیستم آغاز می‌شود
- در این توصیف ویژگی‌های کارکردی و عملکردی
- در ادامه و طی فرایند سنتز عملیاتی شامل موارد زیر انجام می‌گیرد:
  - Communication، Scheduling، Partitioning، Allocation
- خروجی این مرحله جهت پیاده‌سازی به ابزار مشخص داده می‌شود
- در هر مرحله اعتبارسنجی و بررسی تحقق محدودیت‌های مسئله لازم است

# مروری بر مراحل فرایند هم طراحی



## Specification

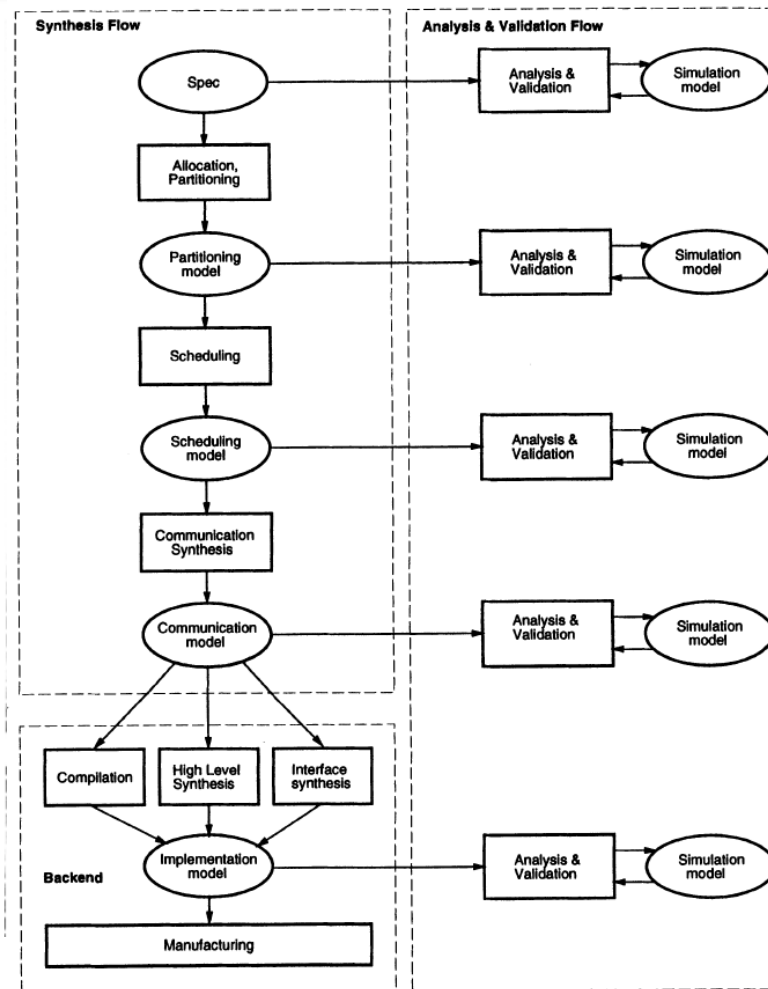
## Synthesis

- Allocation
- Partitioning
- Scheduling

- Communication synthesis

## Implementation

- Software synthesis
- Hardware synthesis
- Interface synthesis



## Analysis & Validation

# توصیف سیستم

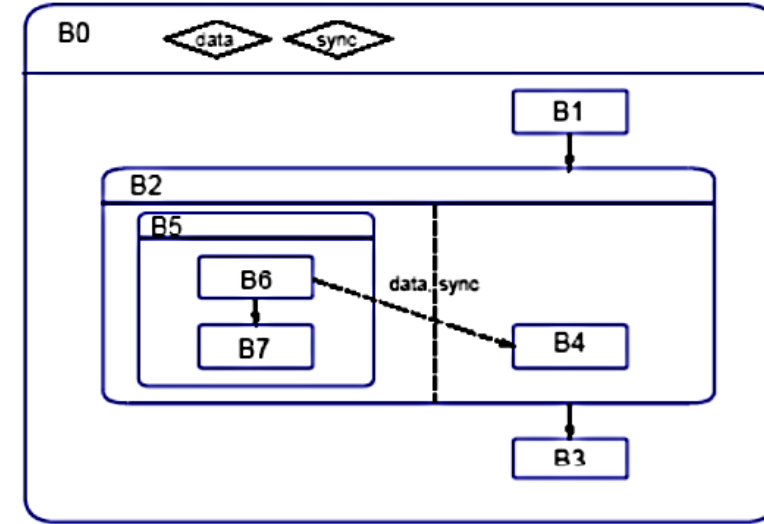


- در چند جلسه گذشته به تفصیل مورد بحث قرار گرفت
- استخراج مدل محاسباتی مفهومی
- مشخص کردن اهداف کارکردی و عملکردی سیستم بدون ورود به شیوه پیاده‌سازی
- اعتبارسنجی و تحلیل توسط پیاده‌سازی با زبان

# توصیف سیستم



- مدل رفتاری سیستم: B0
- اجزای سیستم: سه ماژول ترتیبی B1, B2, B3
- ماژول‌های B1 و B3 اتمیک
- ماژول B2 متشکل از دو زیربخش هم‌روند



- توصیف نمونه برای هر یک از اجزا
- عملیات تولیدکننده-مصرف کننده بین B4 و B6
- تولید داده توسط B6 و مصرف آن توسط B4
- سیگنال sync با هدف سنکرون سازی انتقال داده

```
B3()  
{  
  stmt;  
  ...  
}
```

```
B7()  
{  
  stmt;  
  ...  
}
```

```
B1()  
{  
  stmt;  
  ...  
}
```

```
B6()  
{  
  int local;  
  ...  
  shared = local + 1;  
  signal(sync);  
}
```

```
B4()  
{  
  int local;  
  wait(sync);  
  local = shared - 1;  
  ...  
}
```

# سنتز توام سخت افزار/نرم افزار سیستم



- فرایند طراحی همزمان معماری سخت افزاری و نرم افزاری یک سیستم
- مصالحه بین تصمیم های طراحی براساس معماری های نرم افزاری و سخت افزاری گوناگون
- این فرایند در سه مرحله انجام می گیرد و به پیاده سازی می انجامد
  - تخصیص: انتخاب اجزای سیستم
  - افراز/نگاشت: نگاشت بخش های مختلف مدل به اجزای سیستم
  - زمان بندی: مشخص کردن ترتیب زمانی اجرا



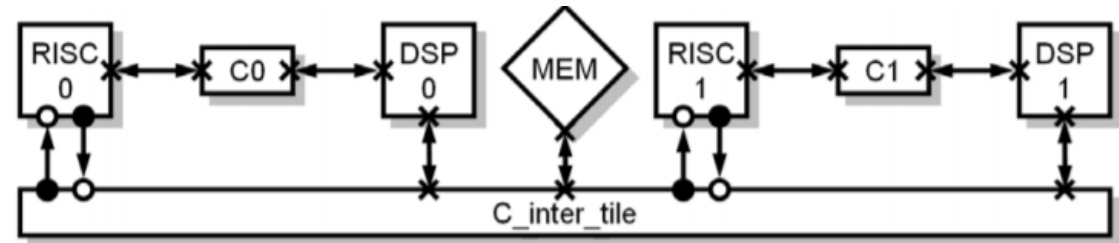
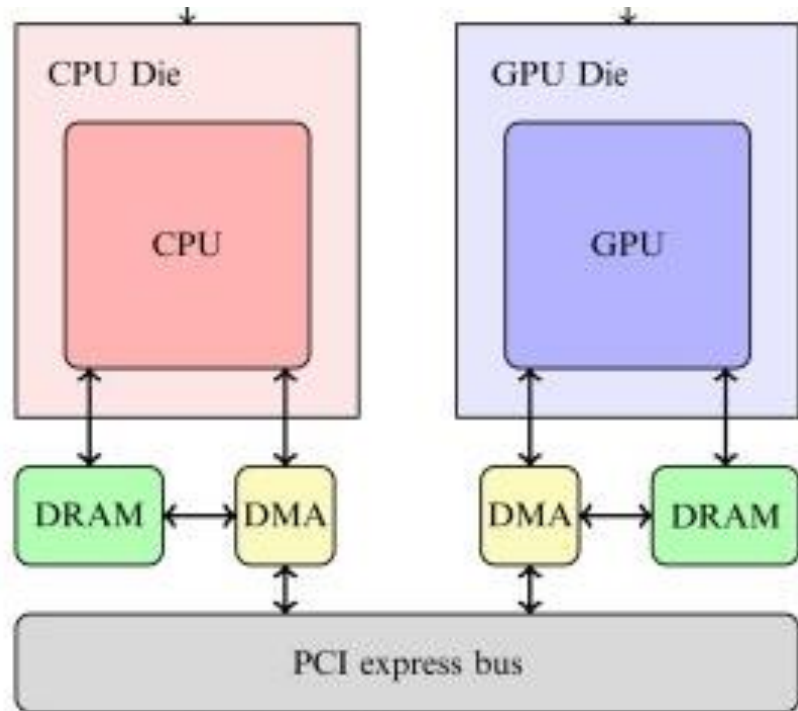
# فرایند تخصیص (Allocation)



- مشخص کردن نوع اجزا (پردازنده، حافظه، اجزای خاص)، تعداد و نحوه اتصال آنها با هدف
- پیاده‌سازی عملیات موردنظر سیستم (functionality)
- رعایت محدودیت‌ها و الزامات عملکردی سیستم
- نتیجه این مرحله حالت خاصی از معماری سیستم است که در جلسات گذشته مطرح شد
- این مرحله توسط طراح انجام می‌گیرد و شروع فرایند جستجوی فضای حالت است



# فرایند تخصیص (مثال)



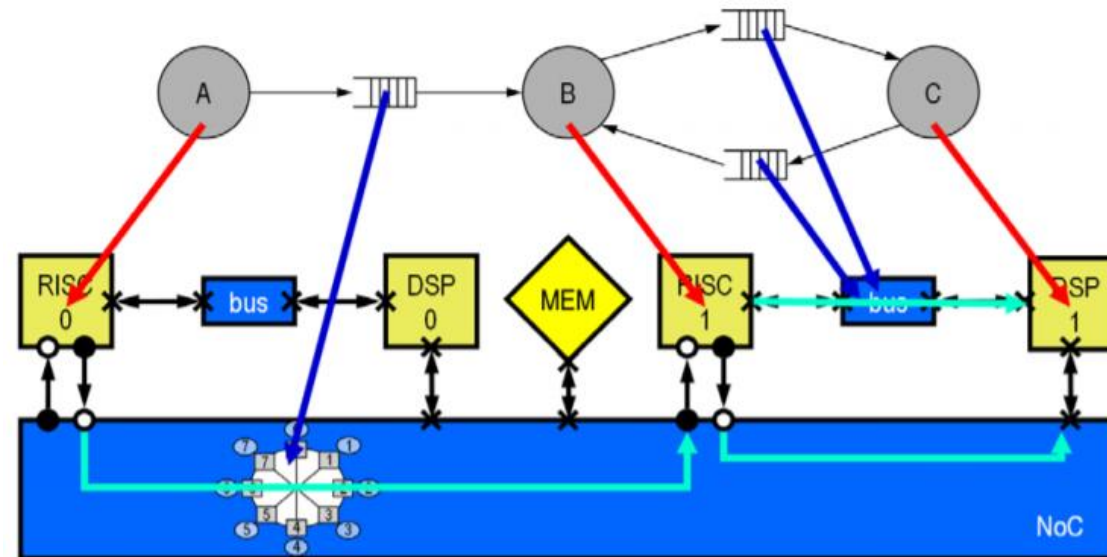
نمونه‌هایی از مدل معماری هدف

# فرایند افراز (Partitioning)

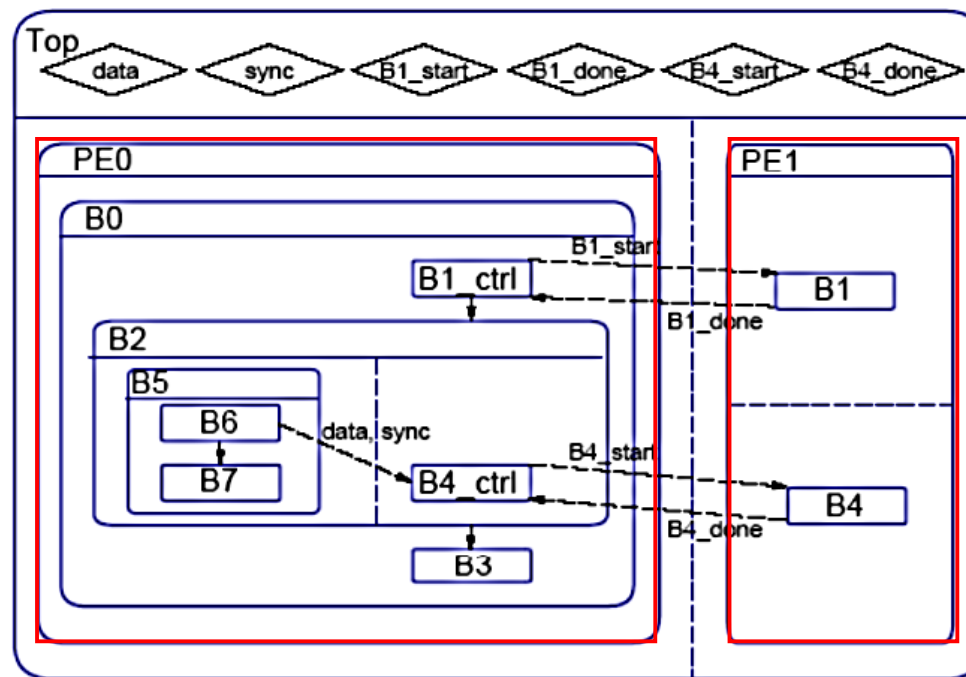
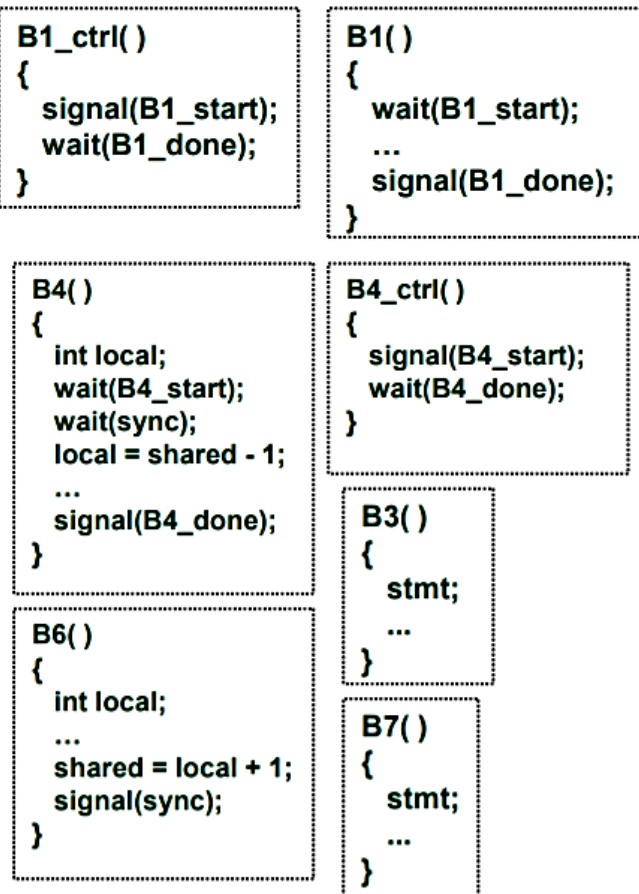


- نگاشت اجزای رفتاری توصیف به اجزای موجود در معماری هدف بخش تخصیص
- مشخص کردن واحد اجرا کننده هر بخش مدل و برقراری ارتباط بین این دو
- نگاشت پردازنده‌ها به پردازنده‌ها و ارتباطات به مسیرهای ارتباطی
- کیفیت این فرایند وابسته به آن است که محدودیت‌های سیستم تا چه حد رعایت شوند
- الگوریتم‌های مختلفی در این حیطه مطرح شده‌اند که در ادامه مورد مطالعه قرار می‌گیرند
- ممکن است در حین این فرایند بخش‌های کنترلی به توصیف سیستم افزوده شوند

# فرایند بخش‌بندی (مثال)



# فرایند بخش‌بندی (مثال)

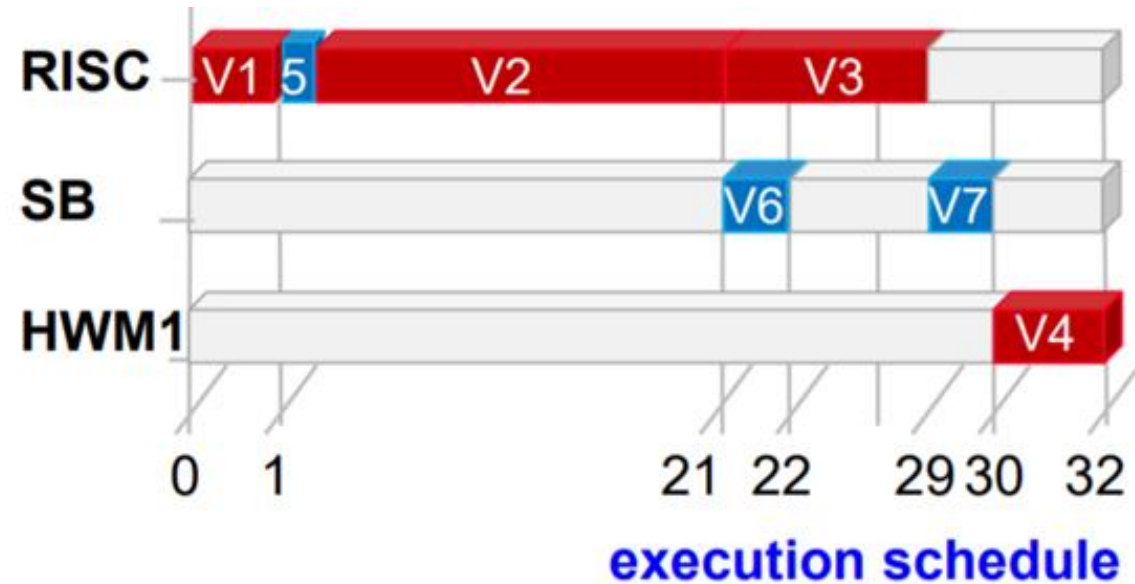
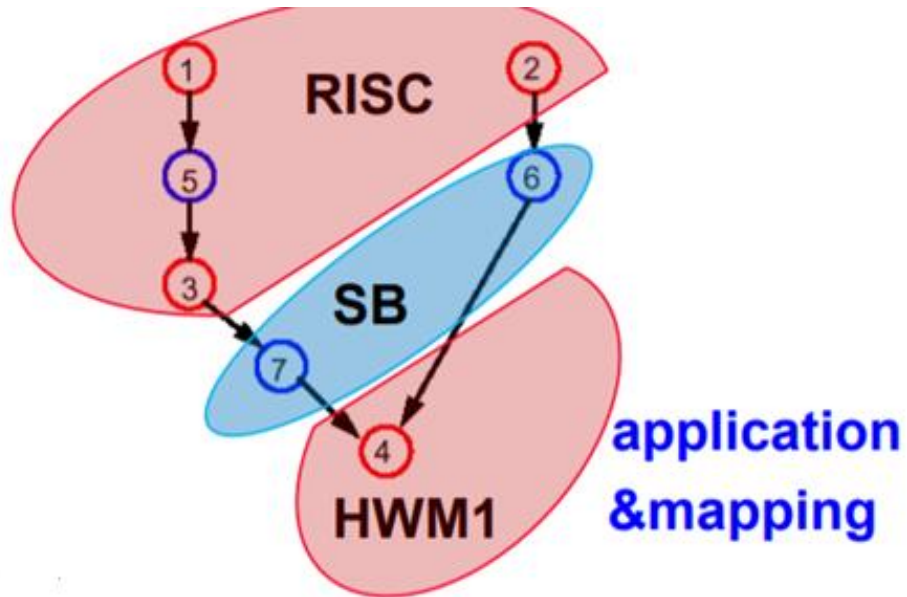


# فرایند زمان‌بندی (Scheduling)



- مشخص کردن زمان اجرای ماژول‌های رفتاری تخصیص داده شده به اجزای پردازشی با هدف
  - رعایت محدودیت‌های عملکردی سیستم
  - رعایت وابستگی بین اجرای اجزا براساس الزامات کارکردی
  - کاهش دادن انتقال پیغام بین اجزای مختلف سیستم و سربار همگام‌سازی
- پس از بخش‌بندی، به‌منظور رسیدن به پیاده‌سازی لازم است
  - زمان‌بندی و شیوه تعامل اجزای پردازشی مشخص شود
  - پس از توصیف لازم است مجموعه تخصیص، بخش‌بندی و زمان‌بندی مشخص شود

# فرایند زمان بندی (Scheduling)



# استراتژی‌های زمان‌بندی مختلف



- زمان‌بندی پویا (Dynamic Scheduling)
- مورد استفاده در مواردی که جریان اطلاعات تا زمان اجرا مشخص نمی‌باشد
- مانند سیستم‌های تصمیم‌گیر براساس رخداد یا داده‌های زمان اجرا
- انتخاب روش‌های این حیطه براساس شرایط از مجموعه‌ای از تصمیمات از پیش ذخیره شده
- در این روش‌ها خروجی مرحله زمان‌بندی تفاوت چندانی با بخش‌بندی ندارد

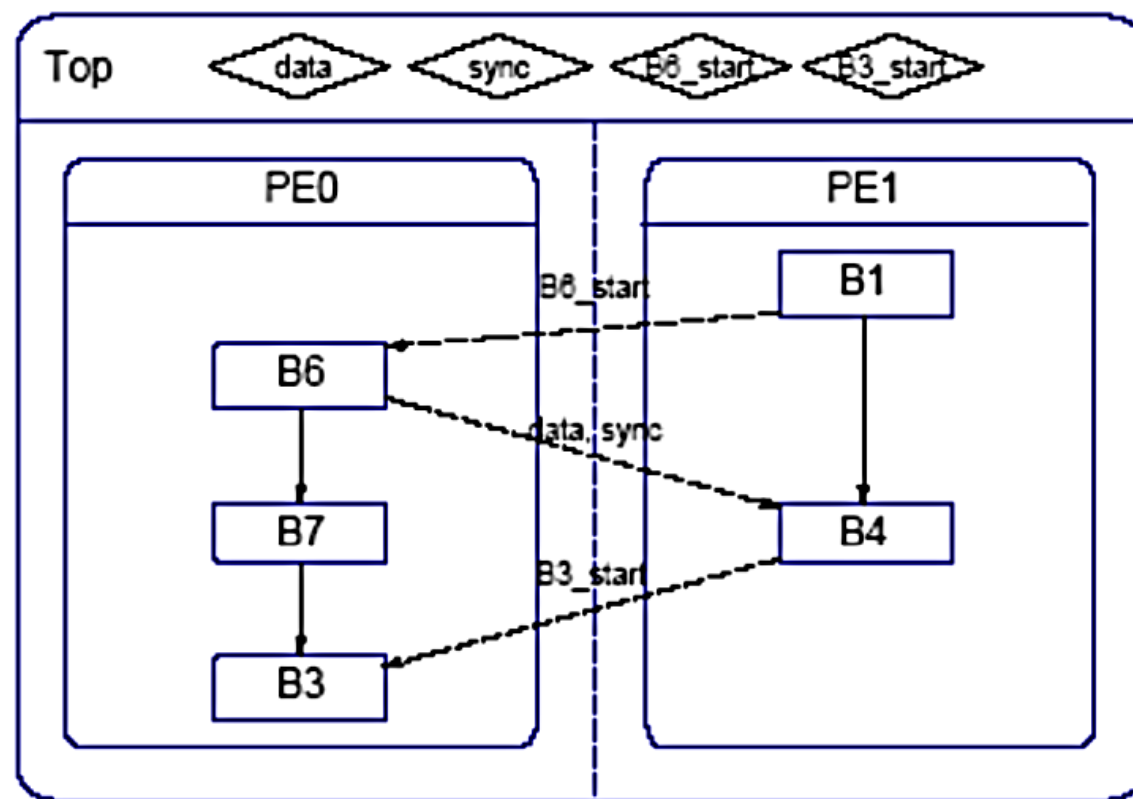


# استراتژی‌های زمان‌بندی مختلف (ادامه)



- زمان‌بندی ایستا (Static Scheduling)
- حالتی که ترتیب نسبی اجرا به‌طور کامل در زمان طراحی مشخص باشد
- تخمین مناسبی از زمان اجرای هر بخش از توصیف داشته باشیم
- در زمان طراحی، زمان‌بندی مشخص شده و در حین اجرا قابل تغییر نیست
- ممکن است هزینه همگام‌سازی ارسال بین اجزای پردازشی زیاد باشد
- به‌دلیل تخمین نامناسب کارایی

# مدل سیستم پس از زمان بندی (مثال)



# تحلیل و ارزیابی



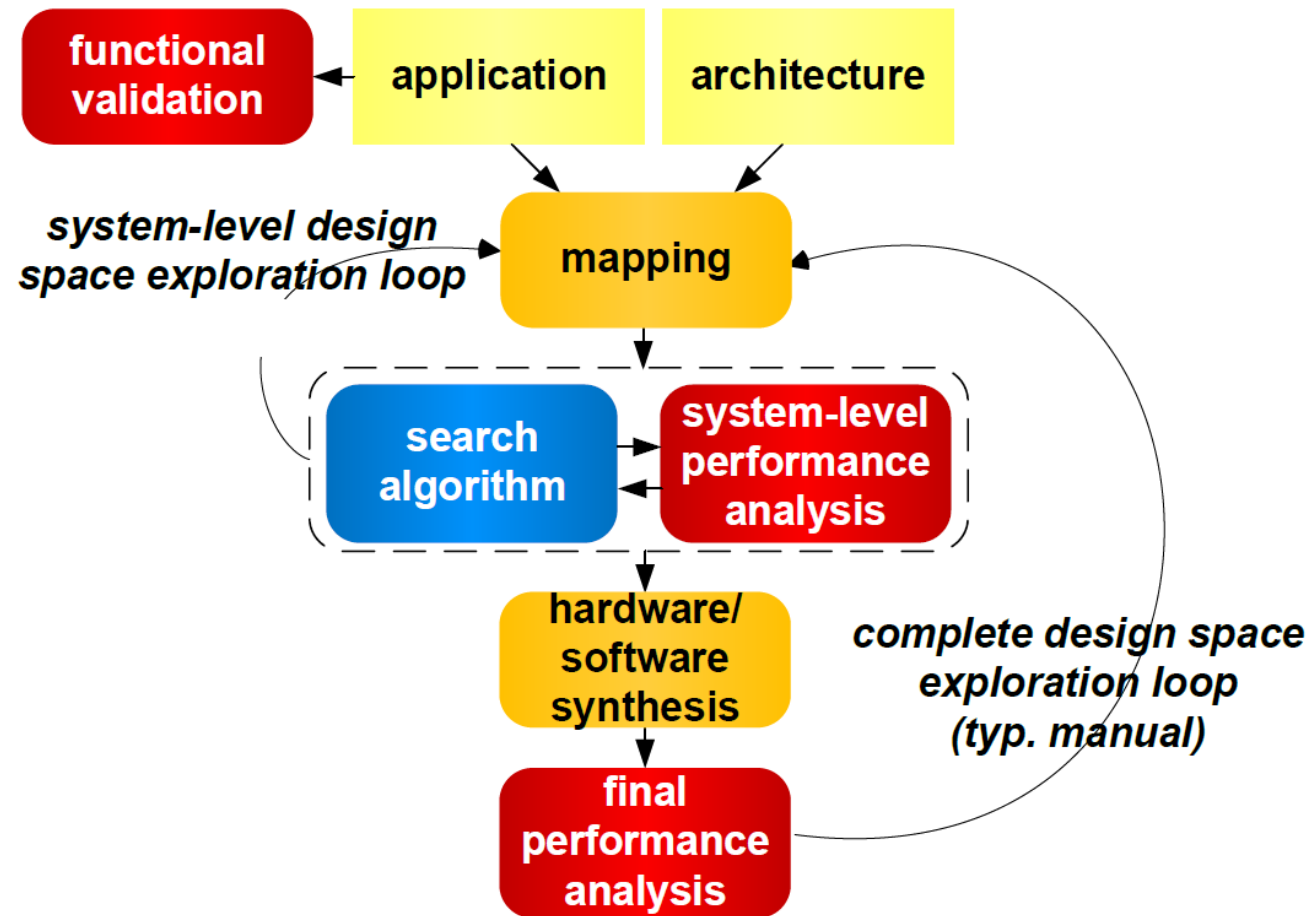
- در هر مرحله، لازم است سیستم از طریق شبیه‌سازی یا تحلیل ارزیابی بررسی شود
  - کارکرد سیستم (Functionality)
  - عملکرد سیستم (معیارهای کیفی)
- تحلیل و ارزیابی هر مرحله توسط شبیه‌ساز یا تحلیل‌گرهای ایستا
- تعامل تکراری بین سنتز توأم و ارزیابی با هدف یافتن جواب بهینه

# پیاده‌سازی (Backend)



- نتیجه طراحی به‌منظور پیاده‌سازی به ابزارهای مختلف داده می‌شود
  - با تخصیص به پردازنده، لازم است مدل به کامپایلر پردازنده داده شود
  - بدین ترتیب توصیف طراحی به کد ماشین پردازنده هدف تبدیل می‌شود
- با تخصیص به ASIC لازم است مدل به ابزارهای سنتز سطح بالا داده شود
- پیاده‌سازی اتصالات نیز مشابه حالت قبل و توسط ابزار سنتز ارتباطات و واسط می‌باشد
  - مثال: تبدیل عملیات خواندن از یک پردازنده به عملیات خواندن از باس سیستم

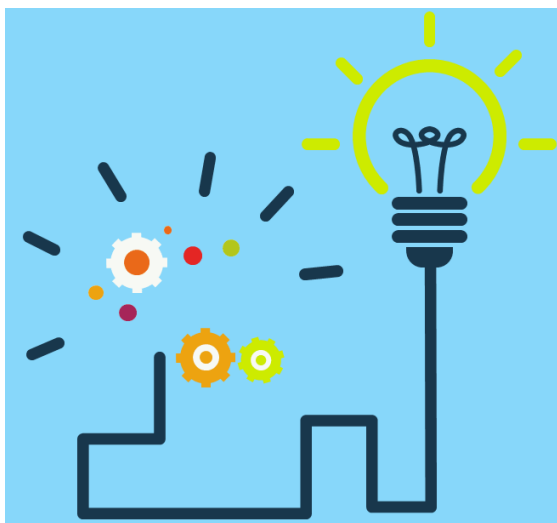
# سنتز توأم و نگاشت در جریان طراحی



# مباحثی که این جلسه آموختیم



- روال فرایند هم‌طراحی
- مرور فرایند سنتز توأم و نتیجه عملیات آن



# مباحث جلسه آینده



- فرایند سنتز توأم
- آشنایی با روال سنتز توأم
- فرایند افراز

