



## مدارهای منطقی



دانشکده مهندسی کامپیوتر

اساتید: دکتر مهدی صدیقی، دکتر مرتضی صاحب‌الزمانی  
تدریس‌یاران: رضا آدینه‌پور، مرتضی عادل‌خانی

دانشگاه صنعتی امیرکبیر

مهلت ارسال:

مدارهای ترکیبی، تأخیر و محاسبات و مدارهای ترتیبی

تمرین چهارم

- مهلت ارسال پاسخ تا ساعت ۲۳:۵۹ روز مشخص شده است. برای انجام تمرین زمان کافی اختصاص داده شده است.
- انجام آن را به هیچ‌وجه به روزهای پایانی موکول نکنید.
- سوالات خود را از طریق ایمیل‌های [adinepour@aut.ac.ir](mailto:adinepour@aut.ac.ir) و [madelkhani@aut.ac.ir](mailto:madelkhani@aut.ac.ir) و یا در کلاس حل تمرین از تدریس‌یاران بپرسید.
- صرفاً تمرین آپلود شده در سامانه courses تصحیح می‌شوند.
- حتماً در نام گذاری فایل‌های آپلودی خود از قالب  $\{HWx\}_{STD\_Number}_{Name}$  تبعیت کنید.
- پاسخ‌های ارسالی منحصراً باید حاصل تلاش‌های فردی شما باشد. در صورت استفاده از منابع خارجی یا هم‌فکری، حتماً این موارد را ذکر کنید.
- در صورت مشاهده هرگونه تقلب، نمره ۳ سری تمرین برای تمام افراد شرکت‌کننده، صفر لحاظ خواهد شد.

### سوالات اختیاری

۱. تابع بولی  $F = x_1x_2x_3 + x_0$  را یکبار با استفاده از یک مالتی‌پلکسر ۸ به ۱ و بار دیگر با استفاده از مالتی‌پلکسر ۲ به ۱ طراحی نمایید.
۲. تنها با استفاده از گیت‌های سه‌حالت (tri-state)، AND دو ورودی، OR دو ورودی، دیکودرهای ۲ به ۴ و معکوس‌کننده‌ها یک مالتی‌پلکسر ۴ به ۱ طراحی کنید.
۳. یک مالتی‌پلکسر ۸ به ۱ با ورودی‌های A، B و C را به ترتیب به ورودی‌های انتخاب S2، S1 و S0 متصل کرده‌ایم. ورودی‌های داده از I0 تا I7 به صورت زیر تنظیم شده‌اند:
  - $I_1 = I_2 = I_7 = 0$
  - $I_3 = I_5 = 1$
  - $I_0 = I_4 = D$
  - $I_6 = D$
 تابع بولی‌ای که این مالتی‌پلکسر پیاده‌سازی می‌کند را تعیین کرده و ساختار آن را رسم کنید.

6

	ABCD	F
$I_3=1$	0110	1
	0111	1
$I_5=1$	1010	1
	1011	1
$I_0=D$	0000	0
	0001	1
$I_4=D$	1000	0
	1001	1

	ABCD	F
$I_6=D'$	1100	1
	1101	0

other six minterms = 0 since  $I_1=I_2=I_7=0$

$$F(A,B,C,D) = \sum (1, 6, 7, 9, 10, 11, 12)$$

## سوالات اصلی

۱. بهترین پاسخ یا پاسخها را از میان گزینهها انتخاب کنید. برای دریافت امتیاز هر سوال باید تمام پاسخهای درست بدون انتخاب هیچ پاسخ نادرستی انتخاب شوند و دلیل انتخاب هم ذکر شود.

الف) هنگام استفاده از D latch با سیگنال فعال ساز (enable) برای عملکرد صحیح، داده‌ها باید در \_\_\_\_ ثابت باقی بمانند.

(۱) برای مدت کوتاهی قبل از لبه صعودی فعال سازی

(۲) برای مدت کوتاهی در اطراف لبه نزولی فعال سازی

(۳) زمانی که فعال سازی بالا است

(۴) زمانی که فعال سازی پایین است

ب) فرض کنید شما یک مقدار X را که به صورت عدد ۶ بیتی بدون علامت ذخیره شده است، منفی می کنید (علامت آن را تغییر می دهید) و آن مقدار را به صورت عدد ۷ بیتی در مکمل ۲ ذخیره می کنید. کدام یک از گزینه‌های زیر درست است؟

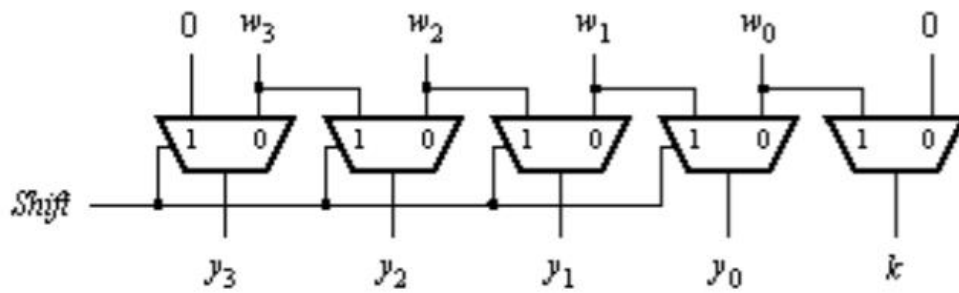
(۱) دقیقاً یک مقدار X وجود دارد که نمی تواند به صورت عدد ۷ بیتی در مکمل ۲ نمایش داده شود.

(۲) بیت با بیشترین ارزش در عدد ۷ بیتی در مکمل ۲ همیشه ۱ خواهد بود.

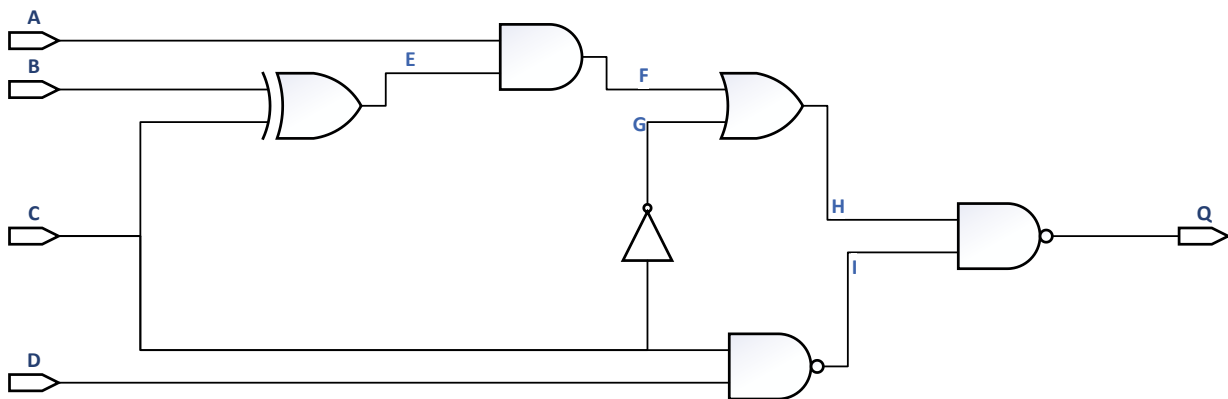
(۳) بیت با کمترین ارزش در عدد ۷ بیتی در مکمل ۲ همیشه همان کم ارزش ترین بیت در X خواهد بود، زمانی که به صورت عدد ۶ بیتی بدون علامت ذخیره شده باشد.

۲. مداری طراحی کنید که بتواند در زمان یک شدن سیگنال کنترلی انتقال، یک عدد ۴ بیتی ( $W=w_0w_1w_2w_3$ ) را به اندازه یک بیت به راست جابه‌جا کند. خروجی‌های مدار باید شامل یک عدد ۴ بیتی ( $Y=y_0y_1y_2y_3$ ) و یک سیگنال اضافی k باشند، به طوری که اگر سیگنال کنترلی یک باشد آنگاه  $y_3=0, y_2=w_3, y_1=w_2, y_0=w_1$  و  $k=w_0$  و در صورتی که سیگنال کنترلی صفر باشد آنگاه  $Y=W$  و  $k=0$  خواهد بود.

of signal is used as the select input to each multiplexer.

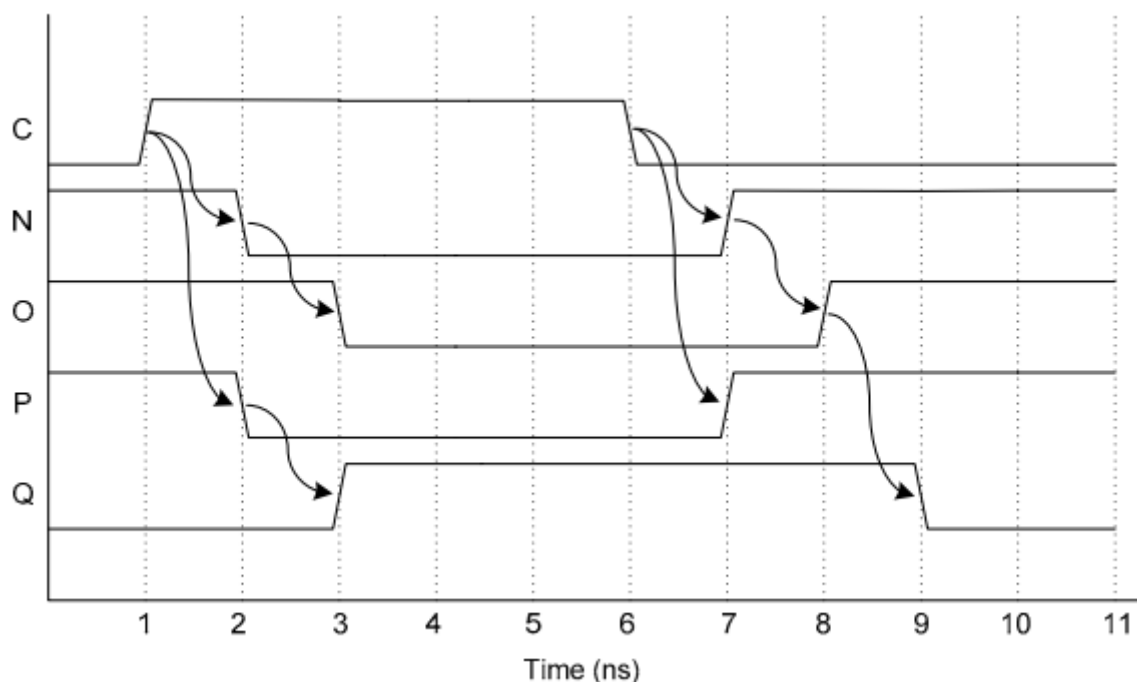


۳. مدار زیر را در نظر بگیرید که هر گیت آن دارای تأخیر  $t_{pHL}$  و  $t_{pLH}$  ۱ نانوثانیه است.



تاخیرهای  $t_{pLHC}$  و  $t_{pHLC}$  را تحت ترکیب ورودی زیر محاسبه کنید. روند کار خود را روی نمودار زمان بندی نشان دهید. به عبارت دیگر، با توجه به مقادیر ورودی های زیر تغییر مقدار ورودی C و تأثیر آن (پس از مدت زمانی متناسب با تأخیر) در خروجی Q را نشان دهید.

$A=0, B=1, D=1$



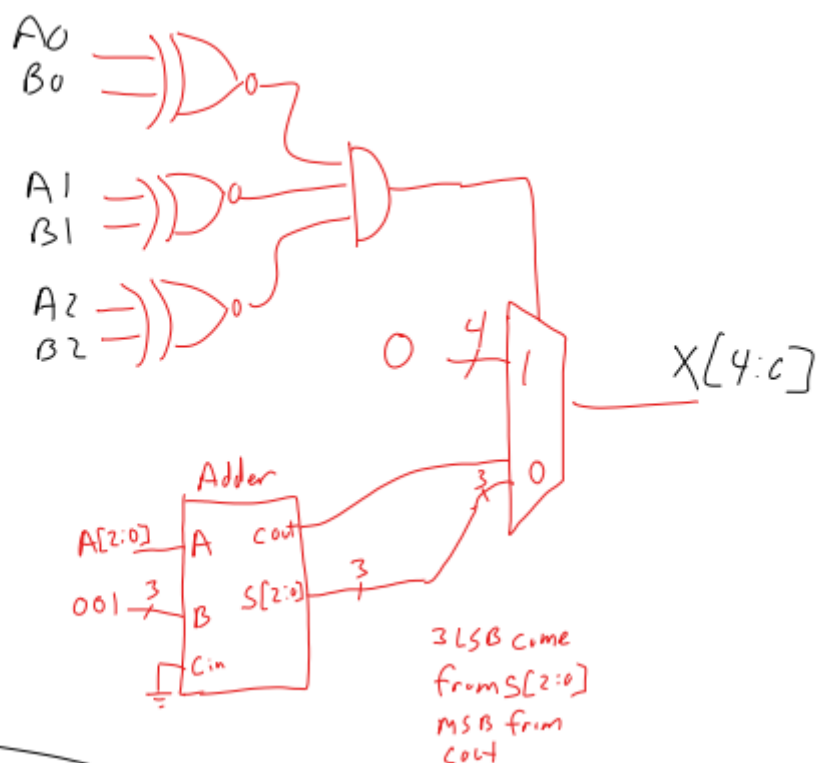
۴. تنها با استفاده از ماژول‌های لیست شده زیر مداری طراحی کنید که دو عدد ۳ بیتی بدون علامت A و B را به عنوان ورودی دریافت کند و یک عدد ۴ بیتی بدون علامت X را به عنوان خروجی تولید کند، به صورتی که اگر  $A = B$ ، خروجی باید "۰" باشد؛ در غیر این صورت، خروجی باید  $A+1$  باشد.

به عنوان مثال: اگر  $A[2:0] = 2$  (۰۱۰) و  $B[2:0] = 4$  (۱۰۰) باشد، خروجی باید برابر با  $X[3:0] = 3$  (۰۰۱۱) باشد.

شما می‌توانید در طراحی خود از ماژول‌های زیر (همچنین از ۰ و ۱ به عنوان ورودی) استفاده کنید:

- گیت‌های AND، OR و XOR (با هر تعداد ورودی)
- معکوس‌کننده‌ها
- مالتی‌پلکسر ۱ بیتی ۲ به ۱
- جمع‌کننده ۳ بیتی بدون علامت
- مالتی‌پلکسر ۴ بیتی ۲ به ۱
- کدگذار اولویت‌دار ۸ به ۳

نمره این سوال تا حد زیادی بر اساس کارایی و وضوح طراحی شما خواهد بود.



۵. مداری طراحی کنید که مقدار  $|A - B|$  را محاسبه کند که  $A$  و  $B$  اعداد ۴ بیتی علامتدار هستند. برای مثال، اگر  $A = 0101$  و  $B = 1101$  باشد، نتیجه به صورت  $|A - B| = |5 - (-3)|$  خواهد بود. شما تنها می‌توانید از تمام جمع‌کننده‌ها<sup>۱</sup> (یا جمع‌کننده‌های چندبیتی) و گیت‌های منطقی استفاده کنید. مدار شما باید از ایجاد سرریز جلوگیری کند، به این معنی که مدار را طوری طراحی کنید که نتیجه و عملیات میانی تعداد بیت‌های مناسبی را داشته باشند.

<sup>۱</sup> Full adder

$$A = a_3a_2a_1a_0, B = b_3b_2b_1b_0$$

$A, B \in [-8, 7] \rightarrow A, B$  require 4 bits in 2C representation.

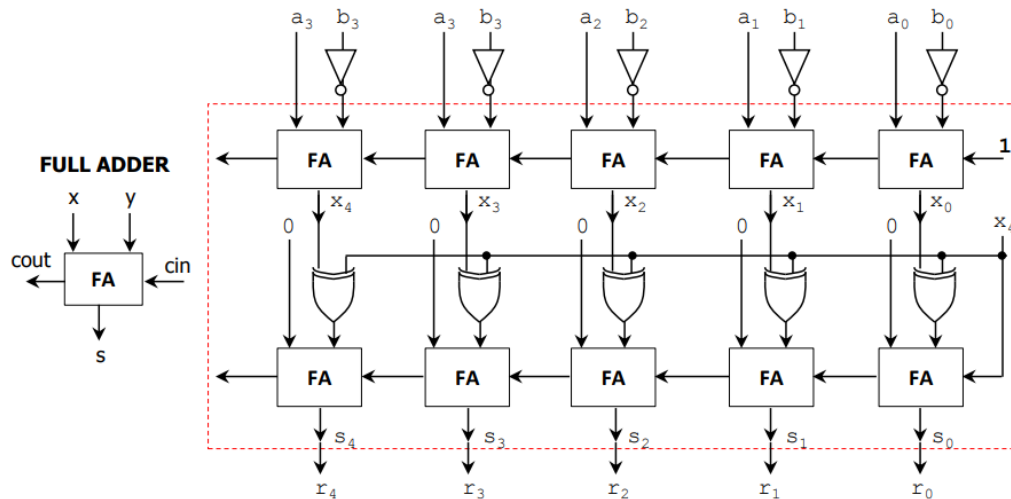
✓  $X = A - B \in [-15, 15]$  requires 5 bits in 2C. Thus, we need to zero-extend  $A$  and  $B$ .

✓  $|X| = |A - B| \in [0, 15]$  requires 5 bits in 2C. Thus, the second operation  $0 \pm X$  only requires 5 bits.

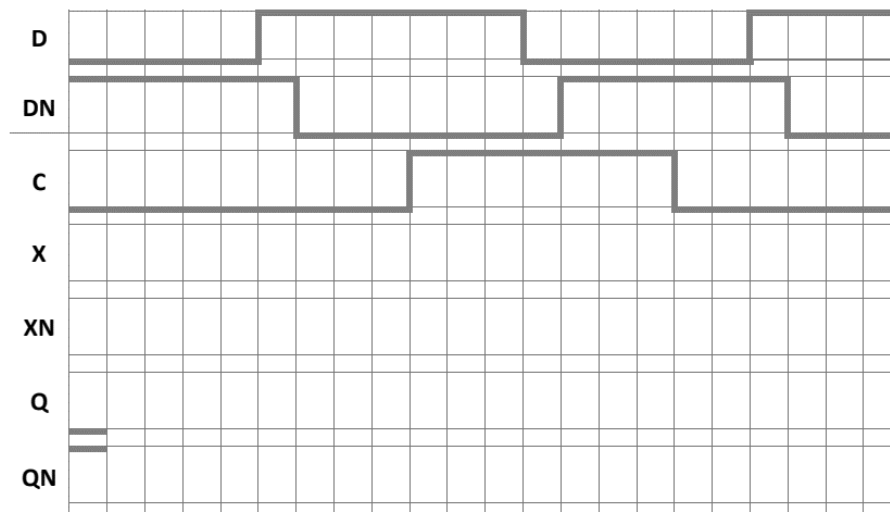
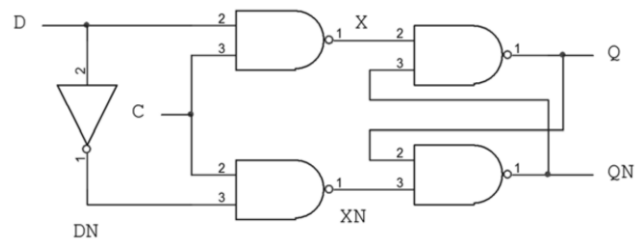
▫ If  $x_4 = 1 \rightarrow X < 0 \rightarrow$  we do  $0 - X$ .

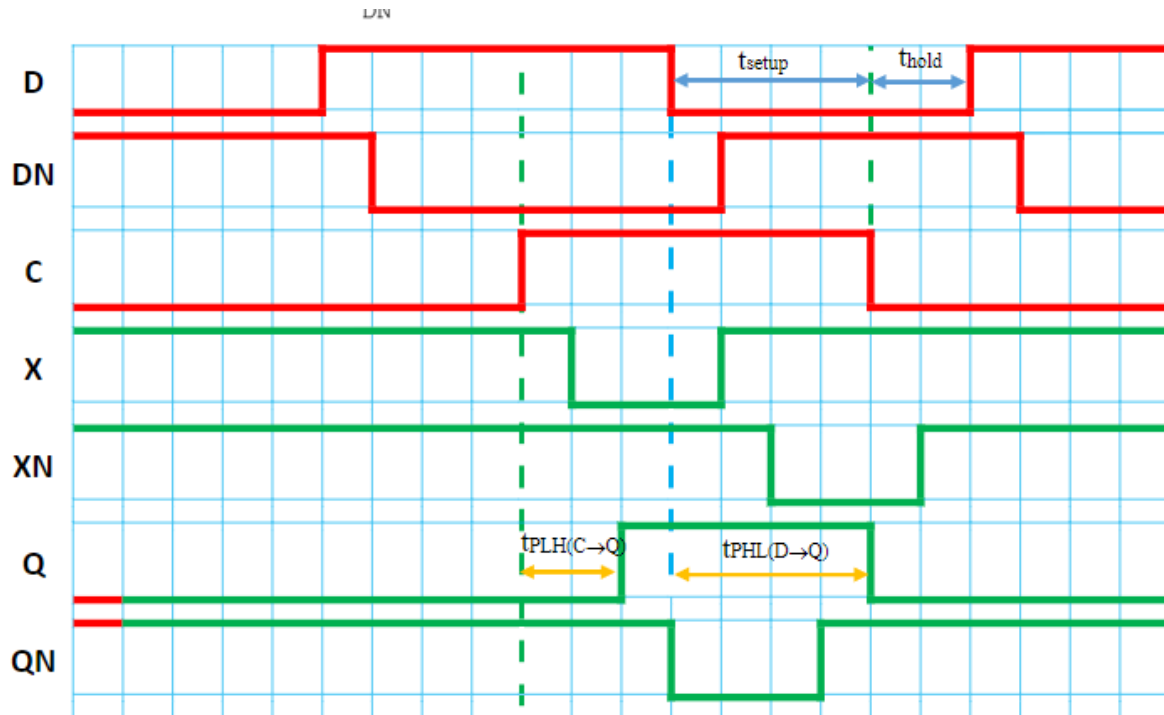
▫ If  $x_4 = 0 \rightarrow X \geq 0 \rightarrow$  we do  $0 + X$ .

✓  $R = |A - B| \in [0, 15]$  requires 5 bits in 2C. Note that the MSB is always 0.



۶. نمودار زمانی را برای یک D-Latch با سیگنال فعال‌سازی C تکمیل کنید و به سوالات بعدی پاسخ دهید. فرض کنید هر گیت دارای تأخیر ۱۰ نانوثانیه (t<sub>PLH</sub> و t<sub>PHL</sub>) است و هر تقسیم‌بندی روی نمودار ۱۰ نانوثانیه می‌باشد.





الف) حداقل زمانی که ورودی C باید فعال باشد (در حالی که ورودی D ثابت باقی بماند) را برای اطمینان از عملکرد درست Latch تعیین کنید.

20ns

ب) setup time را برای Latch تعیین کنید.

40ns

ج) زمان hold time را برای Latch تعیین کنید.

20ns

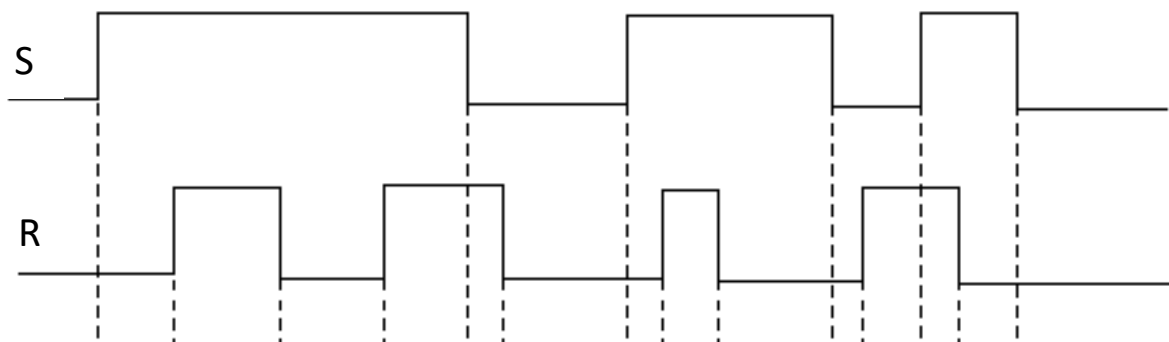
د) زمان  $t_{PLH}(C \rightarrow Q)$  برای Latch را تعیین کنید.

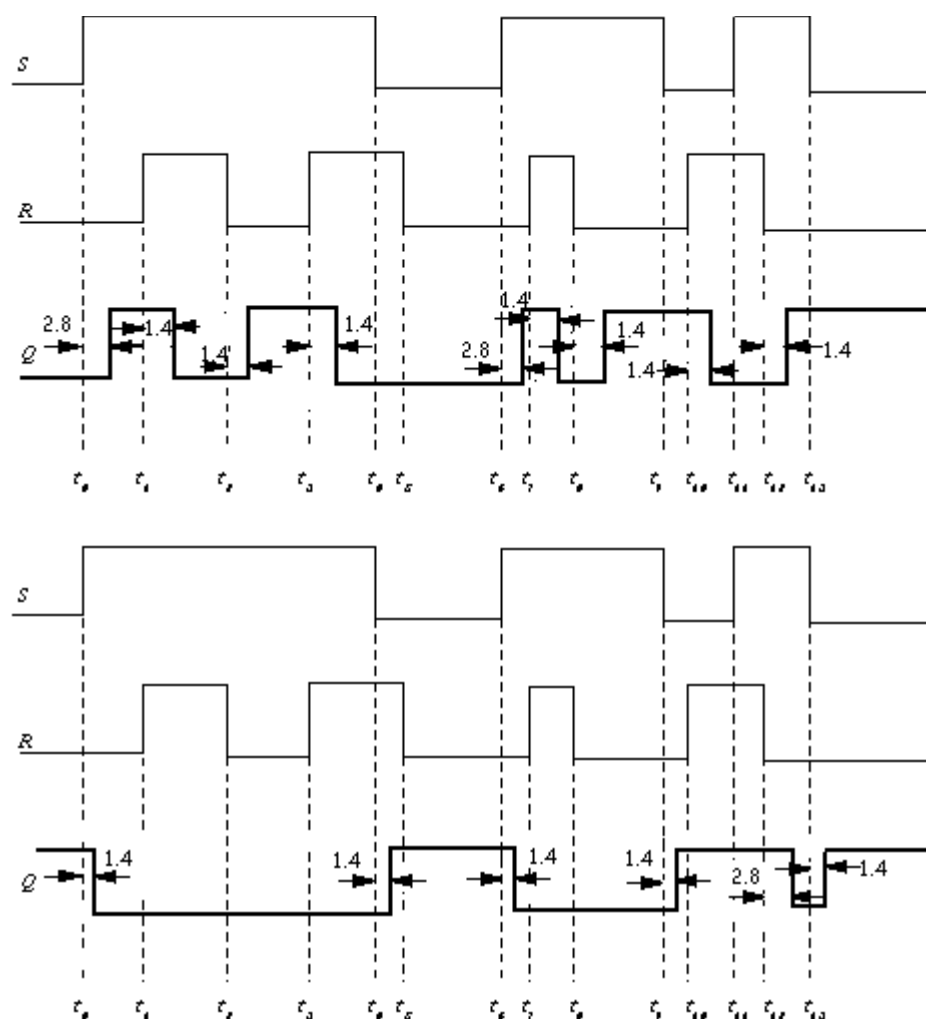
20ns

ر) زمان  $t_{PLH}(D \rightarrow Q)$  برای Latch را تعیین کنید.

40ns

۷. خروجی و نمودار زمانی پیاده‌سازی NOR و NAND از یک لچ SR را برای سیگنال‌های ورودی نشان داده‌شده در شکل موج زیر با در صرفنظر کردن از تأخیر گیت‌ها را رسم کنید.





۸. سوال ۴۰۴۵ واقع در صفحه ۱۲۲ کتاب مرجع درس مدارهای منطقی را حل کرده و پاسخ آن را بنویسید.

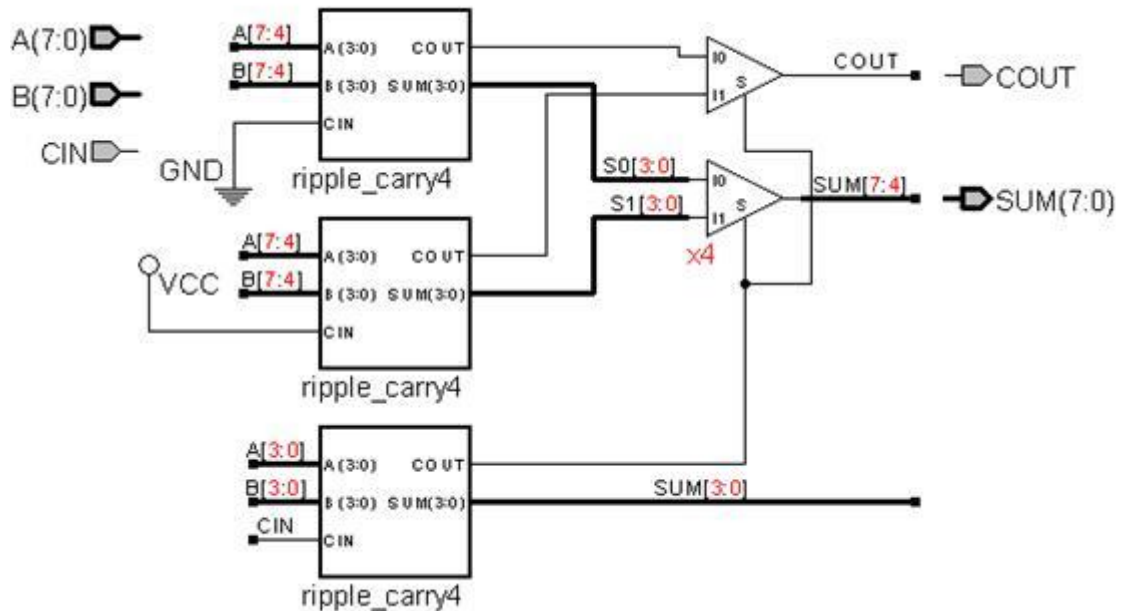
## سوالات امتیازی

۱. جمع‌کننده‌ی Carry Select به عنوان نوعی مدار جمع‌کننده است که به جای اینکه محاسبه‌ی رقم نقلی به صورت متوالی از یک بیت به بیت بعدی انجام شود، عملیات به بخش‌های کوچک‌تری تقسیم شده و برای هر بخش جمع با هر دو حالت ممکن رقم نقلی ورودی (۰ و ۱) به طور موازی محاسبه می‌شود. در این حالت نیازی نیست که صبر شود تا بیت نقلی ورودی از طبقه قبل برسد تا عمل جمع انجام شود. پس از محاسبه دو مقدار ممکن جمع، با استفاده از یک مالتی پلکسر و بیت نقلی ورودی (که اکنون مقدار آن در طبقه قبل محاسبه شده و به این طبقه رسیده) حاصل جمع صحیح انتخاب می‌شود.

با توجه به توضیحات داده شده، یک جمع‌کننده‌ی ۸ بیتی Carry-Select برای اعداد بدون علامت طراحی کنید. این جمع‌کننده باید به صورت سلسله‌مراتبی در سطح نمودار شماتیک طراحی شود و شامل ۳ نمونه از ماژول جمع‌کننده‌ی ۴ بیتی Ripple-Carry باشد. همچنین، لازم است که تعدادی مالتی پلکسر نیز اضافه کنید. در نهایت اطمینان حاصل نمایید که جمع‌کننده‌ی ۸ بیتی Carry-Select شما یک Carry-Out نیز داشته باشد تا در صورت نیاز بتوان از آن برای ساخت

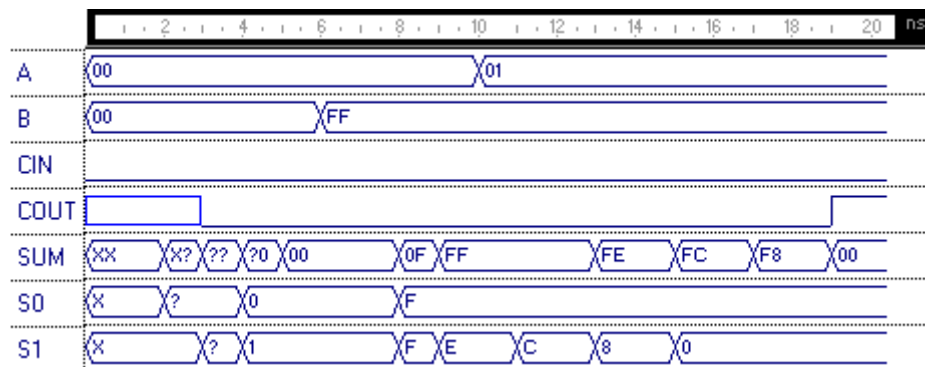


یک جمع‌کننده بزرگتر استفاده کرد. همچنین عملکرد آن را برای جمع دو عدد "۱۱۱۱۱۱۱۱" و "۰۰۰۰۰۰۰۱" بررسی کرده نمودار شبیه‌سازی پاسخ آن را رسم نمایید.



**Note:** This schematic makes use of *buses* which are bundles of wires represented by a single wire. Also, the multiplexer for the sum is a 2:1 multiplexer that has been arrayed to be a 4-bit 2:1 multiplexer.

**Waveform:** A=00000000, B=11111111 to A=00000001, B=11111111



موفق باشید

