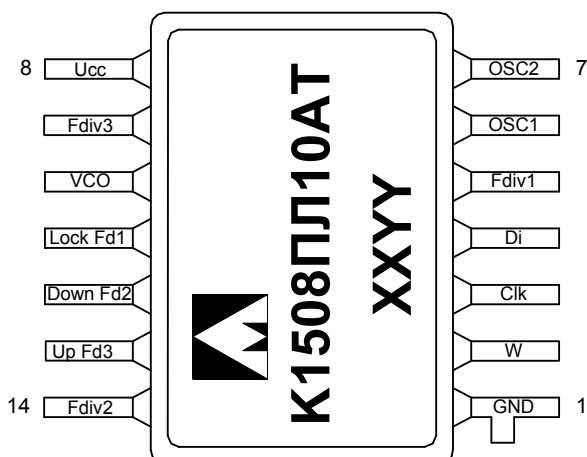




Микросхема синтезатора частоты 1508ПЛ10А(Б)Т, К1508ПЛ10А(Б)Т, 1508ПЛ10А(Б)Т1, К1508ПЛ10А(Б)Т1



XX – год выпуска
YY – неделя выпуска

T, T1 – тип корпуса

Основные характеристики микросхемы:

- Напряжение питания от 4,5 В до 5,5 В
- Диапазон рабочих частот 10 МГц ÷ 1300 МГц
- Диапазон опорных частот до 50 МГц
- Коэффициент деления входной частоты:
для (К)1508ПЛ10А от 240 до 65535;
для (К)1508ПЛ10Б от 240 до 1048575
- Коэффициент деления опорной частоты:
для (К)1508ПЛ10А: 100, 200, 400, 500, 800,
1000, 1600, 2000;
для (К)1508ПЛ10Б: 22 коэффициента
деления от 10 до 2500
- Температурный диапазон:

Обозначение	Диапазон
1508ПЛ10А(Б)Т	минус 60 – 125 °С
К1508ПЛ10А(Б)Т	минус 60 – 125 °С
К1508ПЛ10А(Б)ТК	0 – 70 °С
1508ПЛ10А(Б)Т1	минус 60 – 125 °С
К1508ПЛ10А(Б)Т1	минус 60 – 125 °С
К1508ПЛ10А(Б)Т1К	0 – 70 °С

Тип корпуса:

Для микросхем (К)1508ПЛ10А(Б)Т:

- 14-ти выводной металлостеклянный корпус 401.14-5М.

Для микросхем (К)1508ПЛ10А(Б)Т1:

- 14-ти выводной металлостеклянный корпус 4105.14-16.

Область применения микросхемы

Микросхемы 1508ПЛ10А(Б)Т, К1508ПЛ10А(Б)Т, 1508ПЛ10А(Б)Т1 и К1508ПЛ10А(Б)Т1 далее по тексту 1508ПЛ10А(Б) предназначены для построения блоков генераторов сигнала на основе фазовой автоподстройки частоты.

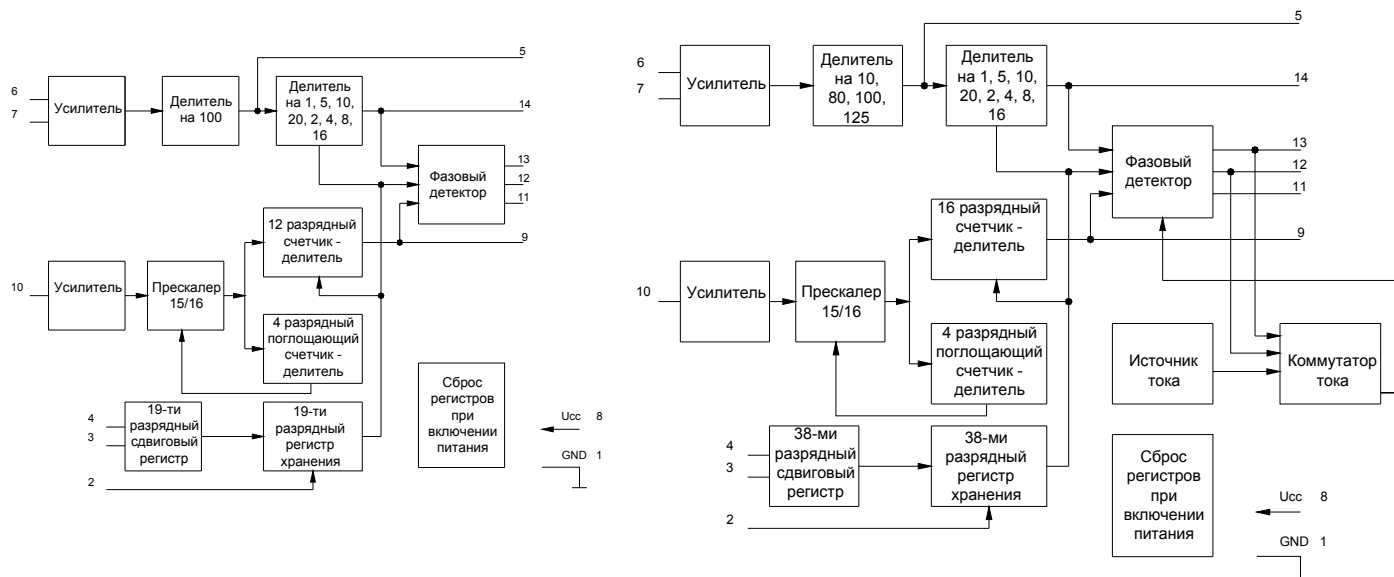
Описание выводов 1508ПЛ10А(Б)Т и 1508ПЛ10А(Б)Т1

Таблица 1

Вывод	Условное обозначение	Описание
1	GND	Общий
2	W	Запись данных из сдвигового регистра в регистр хранения
3	Clk	Сигнал синхронизации ввода данных в сдвиговый регистр
4	Di	Ввод данных в сдвиговый регистр
5	Fdiv1	Выход делителя на 100 опорного канала 1508ПЛ10А - Выход с открытым стоком п-канал. 1508ПЛ10Б - Kok=0 выход с открытым стоком п-канал. Kok=1 КМОП – выход
6	OSC1	Вход кварцевого генератора
7	OSC2	Выход кварцевого генератора
8	Ucc	Напряжение питания
9	Fdiv3	1508ПЛ10А - Выход делителя основной частоты. Выход с открытым стоком п-канал. 1508ПЛ10Б - Вход\Выход делителя основной частоты При использовании в качестве выхода: Kok=0 выход с открытым стоком п-канал. Kok=1 КМОП – выход
10	VCO	Вход усилителя основной частоты
11	Fd1	Выход фазового детектора (Lock) 1508ПЛ10А - Выход с открытым стоком п-канал. 1508ПЛ10Б - Kok=0 выход с открытым стоком п-канал. Kok=1 КМОП – выход.
12	Fd2	Выход фазового детектора (Down) 1508ПЛ10А - Выход с открытым стоком п-канал. 1508ПЛ10Б - Kok=0 выход с открытым стоком п-канал. Kok=1 КМОП – выход
13	Fd3	Выход фазового детектора (Up) 1508ПЛ10А - Выход с открытым стоком р-канал, для контроля сигнала требуется подключение «подтягивающего» резистора к земле. 1508ПЛ10Б - Kok=0 выход с открытым стоком р-канал, для контроля сигнала требуется подключение «подтягивающего» резистора к земле. Kok=1 КМОП – выход
14	Fdiv2	1508ПЛ10А - Выход делителя опорного канала. Выход с открытым стоком п-канал. 1508ПЛ10Б - Вход\Выход делителя опорного канала. При использовании в качестве выхода: Kok=0 выход с открытым стоком п-канал. Kok=1 КМОП – выход

Примечание: При использовании выходов с открытым стоком п-канального транзистора необходимо подключить их к питанию микросхемы через «подтягивающий» резистор (исключение – вывод 13. Его необходимо «подтянуть» к земле).

Структурная блок-схема микросхемы



Для микросхем 1508ПЛ10АТ

Для микросхем 1508ПЛ10БТ

Рисунок 1. Структурная блок-схема

Примечание: Все элементы схемы имеют электрическую связь с соответствующими контактными площадками

Описание функционирования микросхемы

При использовании микросхем в синтезаторе частоты с фазовой автоподстройкой, частота управляемого генератора определяется по формуле

$$f = f_{REF} \cdot K / K_{REF} \quad (2)$$

где f – частота основного сигнала;
 f_{REF} – частота опорного сигнала;
 K – коэффициент деления основной частоты;
 K_{REF} – коэффициент деления опорной частоты.

Микросхемы 1508ПЛ10А и 1508ПЛ10Б предусматривают 3 способа задания входного опорного сигнала:

- генератором синусоидального сигнала амплитудой не менее 150 мВ (среднеквадратичное значение) через разделительный конденсатор 1 нФ на вход OSC1. Выход OSC2 не используется;
- генератором цифровых сигналов напрямую на вход OSC1. Выход OSC2 не используется;
- внешним кварцевым резонатором, который подключается к выводам OSC1 и OSC2. При этом не требуется дополнительных конденсаторов на землю. Рабочая частота кварцевого резонатора должна быть в пределах от 2 до 15 МГц.

Описание микросхемы 1508ПЛ10А

Коэффициент деления опорной частоты f_{REF} по входу OSC1 (6) задается через управляющее слово на входе Di (4) согласно таблице 4 (биты K_{REF2} , K_{REF1} , K_{REF0}). Коэффициент деления входной частоты по входу VCO (10) задается через управляющее слово на входе Di (4) разряды регистра 1–16. Распределение разрядов управляющего кода дано в таблице 2.

Примеры загружаемых слов даны в таблице 7.

Загрузка данных производится с помощью 19 разрядного слова. Загрузка начинается со старшего разряда коэффициента деления опорной частоты (K_{REF2}) и заканчивается младшим разрядом коэффициента деления основной частоты $K0$. Ввод каждого разряда сопровождается тактовым импульсом по входу Clk. Загрузка данных в регистре происходит по отрицательному фронту сигнала синхронизации. После окончания загрузки 19 разряда ввод управляющего кода производится по поступлению на вход W микросхемы импульса записи данных в регистр хранения. При этом количество тактовых импульсов по входу Clk может быть больше 19, но значимыми разрядами будут последние 19.

После загрузки сдвигового регистра, сигнал W выставляется в «1», при этом данные переписываются в регистр хранения. Временная диаграмма после загрузки данных приведена на рисунке 2.

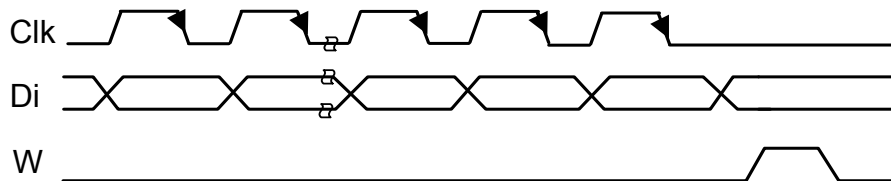
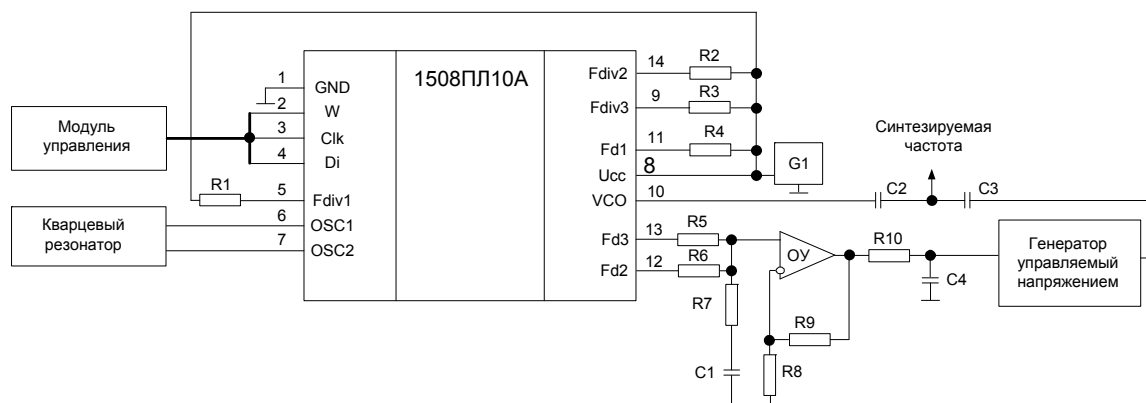


Рисунок 2. Временная диаграмма загрузки данных в микросхему.

Описание сигналов микросхемы 1508ПЛ10А

- | | |
|-------------|--|
| Выход Fdiv1 | - выход делителя опорной частоты с коэффициентом деления равным 100. |
| Выход Fdiv2 | - выход делителя опорной частоты с заданным в управляющем регистре коэффициентом деления. |
| Выход Fdiv3 | - выход делителя основной частоты с заданным в управляющем регистре коэффициентом деления. |
| Выход Fd1 | - контрольный выход Lock фазового детектора. |
| Выход Fd2 | - выход Down фазового детектора. |
| Выход Fd3 | - выход Up фазового детектора. |

Все выходы функционируют в режиме открытых стоков. Для контроля сигналов все выходы необходимо подключить через резистор на U_{CC} , кроме выхода Fd3 (Up), который необходимо подключить к шине «Общий». Номиналы резисторов выбираются исходя из значений выходных токов: для выходов Fdiv1, Fd3 (Up), Fd2 (Down) – выходной ток 0,8 мА (предельно допустимый резистор 4 кОм), для выходов Fdiv2, Fdiv3, Fd1 (Lock) – 1,6 мА (предельно допустимый резистор 2 кОм).



1508ПЛ10А – включаемая микросхема;

- G1 – источник постоянного напряжения, $U_{CC} = 5 \text{ В} \pm 10\%$;
- OY – операционный усилитель;
- C1, C4 – конденсаторы фильтра;
- C2, C3 – разделительные конденсаторы, $C2 = C3$;
- R1–R9 – резисторы, $R1 = 6,8 \text{ кОм}$;
 $R2 = R3 = R4 = R5 = R6 = 3,6 \text{ кОм} \pm 1\%$;
 $R7 - R10$ – резисторы фильтра.

Рисунок 3. Типовая схема включения микросхем 1508ПЛ10А с внешним кварцевым резонатором

Примечания:

1. При использовании кварцевого резонатора, если не требуется контроль частоты на выводе Fdiv1 (5), рекомендуется этот вывод оставлять не подключенным.
2. Параметры фильтра определяются в зависимости от требуемых характеристик системы ФАПЧ.

Описание работы микросхем 1508ПЛ10Б

Микросхема 1508ПЛ10Б имеет следующие особенности:

- расширенный коэффициент деления основного сигнала;
- расширенный коэффициент деления опорного сигнала;
- управление функцией входа/выхода $fdiv2$, $fdiv3$;
- управление полярностью фазового детектора;
- управление токовым выходом фазового детектора;
- управление шириной мертвой зоны;
- управление выходами;
- управление режимом работы генератора опорного сигнала.

Расширенный коэффициент деления основного сигнала. Коэффициент деления входной частоты по входу VCO (10) задается через управляющее слово на входе D_i (4) разряды регистра 1–16, 20–23. Распределение управляющих разрядов дано в таблице 2.

Загрузка данных производится с помощью 38 разрядного слова. Загрузка начинается со старшего 38 разряда. Тестовые разряды 34–38 пользователем устанавливаются в нуль (описание тестовых режимов дано в таблице 10). Ввод каждого разряда сопровождается тактовым импульсом по входу Clk. При этом количество тактовых импульсов по входу Clk может быть больше 38, но значимыми разрядами будут последние 38. Загрузка данных в сдвиговый регистр происходит по отрицательному фронту сигнала синхронизации Clk. После окончания загрузки 38 разряда в сдвиговый регистр, ввод управляющего кода в регистр хранения производится по поступлению на вход W “1”. При этом биты с 1-25 загружаются по уровню «1» сигнала W, а биты с 26-38 по заднему фронту W (см. рис2).

Примеры загружаемых чисел даны в таблице 8.

Расширенный коэффициент деления опорного сигнала. Коэффициент деления опорной частоты f_{REF} по входу OSC1 (6) задается через управляющее слово на входе D_i (4) согласно таблице 5 (биты K_{REF4} , K_{REF3} , K_{REF2} , K_{REF1} , K_{REF0}).

Управление функцией входа/выхода $fdiv2$, $fdiv3$. В микросхемах предусмотрено использование фазового детектора в отдельности от всех остальных частей микросхем, для этого необходимо перейти в режимы Kb и Kpo (см. таблицу 3) и подать сигналы на входы Fdiv2 и Fdiv3.

Управление полярностью фазового детектора. При выставленном управляющем разряде $Kp=1$ полярность выводов фазового детектора меняется на противоположную. На рисунке 4 представлена диаграмма прямой и обратной полярности фазового детектора.

Управление токовым выходом фазового детектора. В микросхемах предусмотрен режим токового выхода фазового детектора (ФД), для этого необходимо переключиться в режим Klt (см. таблицу 3) и на выход Fd2 (Down) подключить резистор на шину «Общий». Для проверки тока утечки фазового детектора предусмотрен режим Kz перехода фазового детектора в высокоимпедансное состояние.

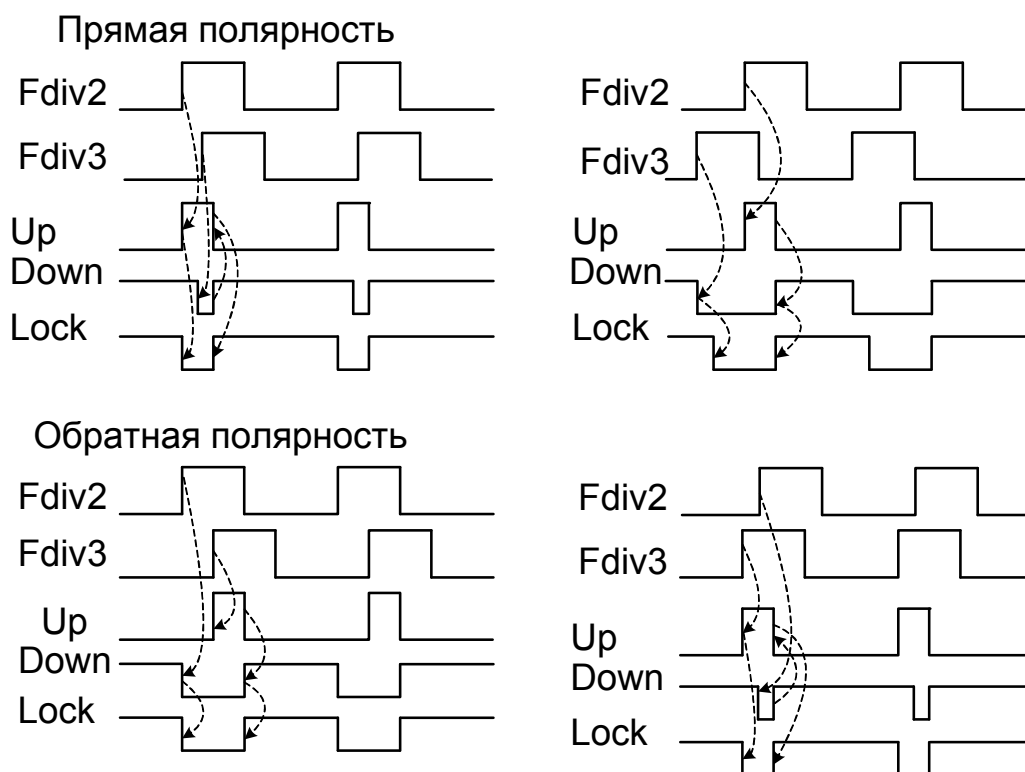


Рисунок 4. Диаграмма прямой и обратной полярности фазового детектора

Управление шириной мертвой зоны. В микросхеме предусмотрено управление величиной «мертвой зоны», как указано в таблице 6 и определяется потребителем. На рисунке 5 представлена диаграмма, поясняющая значение «мертвой зоны» при прямой полярности фазового детектора.

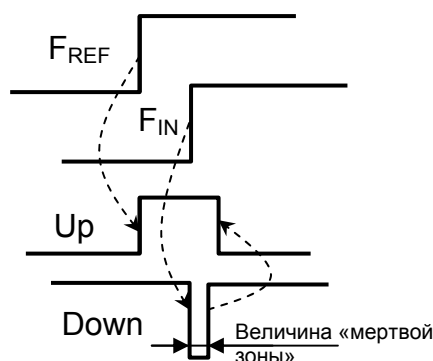


Рисунок 5. Диаграмма к пояснению термина «мертвой зоны».

Управление выходами. В микросхеме предусмотрен управляющий разряд Кок, который переводит (см. таблицу 3) все выходы в активные логические состояния (КМОП выходы), т.е. для получения выходного сигнала не требуется внешних резисторов.

Управление режимом работы генератора опорного сигнала. Для работы с цифровым сигналом опорной частоты до 50 МГц необходимо перевести бит 37 в «1». При этом сигнал идет в обход усилителя кварцевого осциллятора.

Описание сигналов микросхемы 1508ПЛ10Б

Вывод Fdiv1.

Вывод Fdiv1 используется как выход предварительного делителя опорной частоты с коэффициентом деления определяемым управляющим кодом (см. таблицу 12). В микросхемах тип выхода, КМОП – выход или выход с открытым стоком, задается битом №28 (Kok) регистра управления (см. таблицу 3). При Kok = лог «0» вывод Fdiv1 выход с открытым стоком. Рекомендуемый нагрузочный резистор не менее 4 кОм.

Вывод Fdiv2.

Вывод Fdiv2 используется как выход делителя опорной частоты с заданным в управляющем регистре коэффициентом деления (см. таблицу 5) или как независимый вход опорной частоты фазового детектора. В микросхемах функциональное назначение вывода Fdiv2 задается битом №30 (Kb) регистра управления. При Kb = лог «0» вывод Fdiv2 выход. Тип выхода, КМОП – выход или выход с открытым стоком, задается битом №28 (Kok) регистра управления (см. таблицу 3). При Kok = лог «0» вывод Fdiv2 выход с открытым стоком.

Вывод Fdiv3.

Вывод Fdiv3 используется как выход делителя основной частоты с заданным в управляющем регистре коэффициентом деления или как независимый вход основной частоты фазового детектора. В микросхемах функциональное назначение вывода Fdiv3 задается битом №27 (Kpo) регистра управления. При Kpo = лог «0» вывод Fdiv3 выход. Тип выхода, КМОП – выход или выход с открытым стоком, задается битом №28 (Kok) регистра управления (см. таблицу 3). При Kok = лог «0» вывод Fdiv3 выход с открытым стоком.

Вывод Fd1.

Вывод Fd1 используется как контрольный выход Lock фазового детектора. В микросхемах тип выхода, КМОП – выход или выход с открытым стоком, задается битом №28 (Kok) регистра управления. При Kok = лог «0» вывод Fd1 выход с открытым стоком.

Вывод Fd2.

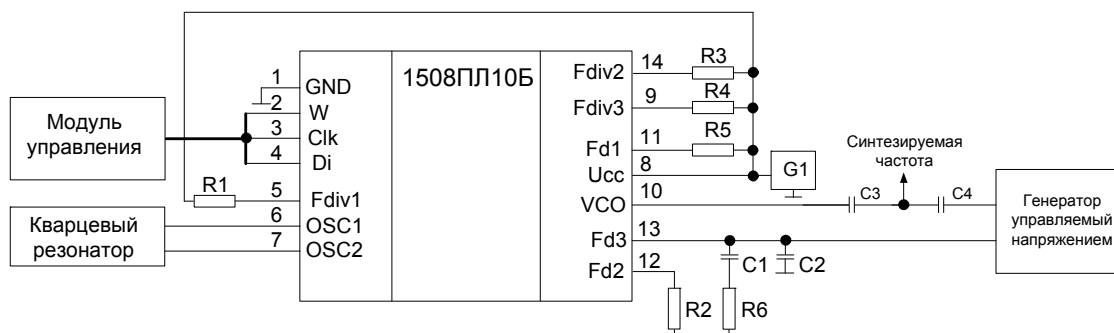
Вывод Fd2 используется как выход Down фазового детектора или как вход задания выходного тока фазового детектора. Функциональное назначение вывода Fd2 задается битом №26 (Klt) регистра управления (см. таблицу 3). При Klt= лог «0» вывод Fd2 выход, при Klt= лог «1» вывод Fd2 вход, рабочий ток фазового детектора определяется по формуле $I_{FD}=3B/R_{in}$, рекомендуемое значение внешнего резистора от 2кОм до 30кОм, резистор подключается к общему выводу.

В микросхемах при Klt= лог «0» тип выхода, КМОП–выход или выход с открытым стоком, задается битом №28 (Kok) регистра управления. При Kok = лог «0» вывод Fd2 выход с открытым стоком.

Вывод Fd3.

Вывод Fd3 используется как выход Up фазового детектора. В микросхемах тип выхода, КМОП – выход или выход с открытым стоком, задается битом №28 (Kok) регистра управления (см. таблицу 3). При Kok= лог «0» вывод Fd3 выход с открытым стоком и активной лог. «1» (выходной транзистор Р-типа).

Тестовые режимы используются только для тестирования микросхем



- | | |
|-----------|---|
| 1508ПЛ10Б | – включаемая микросхема; |
| G1 | – источник постоянного напряжения, $U_{CC} = 5 \text{ В} \pm 10 \%$; |
| C1, C2 | – конденсаторы фильтра,
$C1 = 10 \text{ нФ} \pm 5\%$;
$C2 = 100 \text{ нФ} \pm 5\%$; |
| C3, C4 | – разделительные конденсаторы, $C3 = C4$; |
| R1–R6 | – резисторы,
$R1 = 6,8 \text{ кОм}$;
$R2 = 3,0 \text{ кОм} \pm 1\%$;
$R3 = R4 = R5 = R6 = 3,6 \text{ кОм}$ |

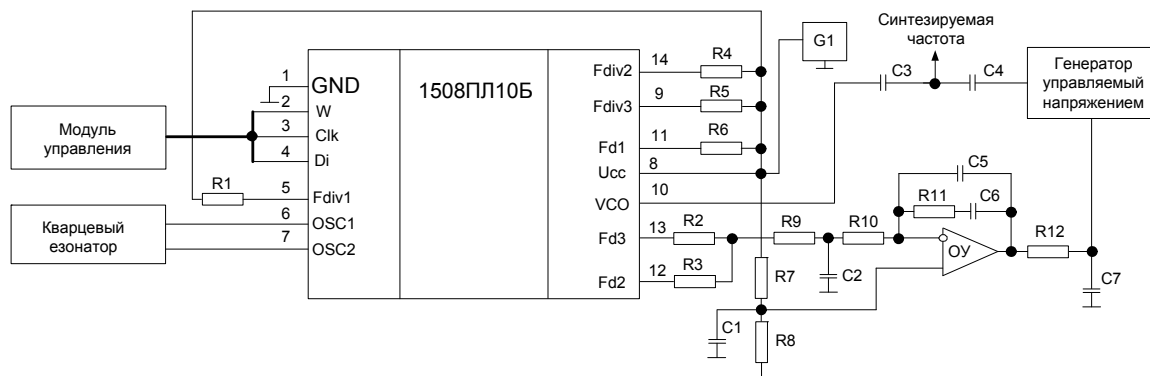
Рисунок 6. Типовая схема включения микросхемы 1508ПЛ10Б с токовым выходом фазового детектора при $K_{ok}=0$.

Примечания:

1. При использовании кварцевого резонатора, если не требуется контроль частоты на выводе Fdiv1 (5), то рекомендуется этот вывод оставлять не подключенным;
2. Параметры фильтра определяются в зависимости от требуемых характеристик системы ФАПЧ.

Управляющие биты регистра команд должны иметь следующие значения
 $T_{For_o} = 0$, $K_z = 0$, $K_b = 0$, $K_p = 0$, $K_{po} = 0$, $K_{lt} = 0$, $K_{ok} = 0$

Значения остальных управляющих битов определяются разработчиком в соответствии со свойствами применяемого генератора ГУН и требуемыми свойствами системы ФАПЧ в целом.



1508ПЛ10Б – включаемая микросхема;

G1 – источник постоянного напряжения, $U_{CC} = 5 \text{ В} \pm 10\%$;

C1 – конденсатор;

C2, C5–C7 – конденсаторы фильтра;
C1 = 0,1 мкФ;

C3, C4 – разделительные конденсаторы, C3=C4;

R1–R8 – резисторы,

R1 = 6,8 кОм;

R2 = R3 = R4 = R5 = R6 = 3,6 кОм $\pm 1\%$;

R7 = R8 = 10 кОм $\pm 1\%$;

R9 – R12 – резисторы фильтра.

Рисунок 7. Типовая схема включения микросхем 1508ПЛ10Б в режиме обратной полярности фазового детектора, с внешним кварцевым резонатором и полным контролем работы микросхем

Примечания:

1. При использовании кварцевого резонатора, если не требуется контроль частоты на выводе Fdiv1 (5), то рекомендуется этот вывод оставлять не подключенным.

2. Параметры фильтра определяются в зависимости от требуемых характеристик системы ФАПЧ.

Управляющие биты регистра команд должны иметь следующие значения
T_Fop_o = 0, Kz = 0, Kb = 0, Kp = 1, Kro = 0, Klt = 0.

**Спецификация 1508ПЛ10А(Б)Т, К1508ПЛ10А(Б)Т,
1508ПЛ10А(Б)Т1, К1508ПЛ10А(Б)Т1**

Распределение содержимого управляющего кода

Таблица 2

ИС	Разряды регистра	Разряды управляющего кода	Значение после включения питания	Принадлежность
1508ПЛ10Б	38	T_Amp_pres	0	Тестовый режим
	37	T_Fop_o	0	Разряд управления
	36	T_vr	0	Тестовые режимы
	35	T_Pd	0	
	34	T_Del_m	0	
	33	Kz	0	
	32	FD1	0	Разряды управления
	31	FD0	0	
	30	Kb	0	
	29	Kp	0	
	28	Kok	0	
	27	Kpo	0	
	26	Klt	0	
	25	K _{REF} 4	1	Дополнительные старшие 2 разряда коэффициента деления опорного канала
	24	K _{REF} 3	0	
	23	K19	0	
	22	K18	0	Дополнительные старшие 4 разряда коэффициента деления основного канала
	21	K17	0	
	20	K16	0	
1508ПЛ10А 1508ПЛ10Б	19	K _{REF} 2	1	Коэффициент деления опорного канала
	18	K _{REF} 1	1	
	17	K _{REF} 0	1	
	16	K15	0	Коэффициент деления основного канала
	15	K14	0	
	14	K13	0	
	13	K12	0	
	12	K11	0	
	11	K10	0	Коэффициент деления основного канала
	10	K9	0	
	9	K8	0	
	8	K7	1	
	7	K6	1	
	6	K5	1	
	5	K4	1	
	4	K3	0	
	3	K2	0	
	2	K1	0	
	1	K0	0	

Значение управляющих разрядов

Таблица 3

Обозначение	Разряд управляющего кода	Значение
T_Amp_pres	38	Тестовый режим. Включение режима при применении не допускается. 0 – режим выключен 1 – режим включен
T_Fop_o	37	Обход усилителя кварцевого осциллятора 0 – стандартный режим 1 – обход
T_vr	36	Тестовый режим. Включение режима при применении не допускается. 0 – режим выключен 1 – режим включен
T_Pd	35	Тестовый режим. Включение режима при применении не допускается. 0 – режим выключен 1 – режим включен
T_Del_m	34	Тестовый режим. Включение режима при применении не допускается. 0 – режим выключен 1 – режим включен
Kz	33	Разряд управления «Z–состоянием» фазового детектора. 0 – режим выключен 1 – режим включен
FD1, FD0	32, 31	Соответствие кода FD1, FD0 и ширины импульса «мертвой зоны» приведено в таблице 6
Kb	30	Разряд управления функцией вывода Fdiv2(14) 0 – вывод работает как выход 1 – вывод работает как вход
Kp	29	Разряд управления полярностью выводов ФД. 0 – прямая полярность 1 – обратная полярность
Kok	28	Разряд управления типом выводов. 0 – открытый сток (см. назначение выводов) 1 – КМОП выход
Kpo	27	Разряд управления функцией вывода Fdiv3(9). 0 – вывод работает как выход 1 – вывод работает как вход
KIt	26	Разряд управления источником тока. 0 – источник тока на выводах ФД выключен 1 – источник тока на выводах ФД включен. В этом режиме ФД имеет один выход, а к выходу Fd2 (Down) должен быть подключен внешний токозадающий резистор

**Коэффициенты деления опорного канала
на выходе Fdiv2 микросхемы 1508ПЛ10А**

Таблица 4

K _{REF2}	K _{REF1}	K _{REF0}	Коэффициент
0	0	0	1600
0	0	1	800
0	1	0	400
0	1	1	200
1	0	0	2000
1	0	1	1000
1	1	0	500
1	1	1	100

**Коэффициенты деления опорного канала
для выходов Fdiv1 и Fdiv2 микросхемы 1508ПЛ10Б**

Таблица 5

K _{REF4}	K _{REF3}	Kdiv1	K _{REF2}	K _{REF1}	K _{REF0}	Kdiv2
0	0	10	0	0	0	160
0	0		0	0	1	80
0	0		0	1	0	40
0	0		0	1	1	20
0	0		1	0	0	200
0	0		1	0	1	100
0	0		1	1	0	50
0	0		1	1	1	10
0	1	80	0	0	0	1280
0	1		0	0	1	640
0	1		0	1	0	320
0	1		0	1	1	160
0	1		1	0	0	1600
0	1		1	0	1	800
0	1		1	1	0	400
0	1		1	1	1	80
1	0	100	0	0	0	1600
1	0		0	0	1	800
1	0		0	1	0	400
1	0		0	1	1	200

**Спецификация 1508ПЛ10А(Б)Т, К1508ПЛ10А(Б)Т,
1508ПЛ10А(Б)Т1, К1508ПЛ10А(Б)Т1**

1	0		1	0	0	2000
1	0		1	0	1	1000
1	0		1	1	0	500
1	0		1	1	1	100
1	1	125	0	0	0	2000
1	1		0	0	1	1000
1	1		0	1	0	500
1	1		0	1	1	250
1	1		1	0	0	2500
1	1		1	0	1	1250
1	1		1	1	0	625
1	1		1	1	1	125
<u>Примечания:</u> Kdiv1 - коэффициент деления для выхода Fdiv1 Kdiv2 - коэффициент деления для выхода Fdiv2						

**Соответствие кода FD1, FD0 и ширины импульса «мертвой зоны»
для микросхемы 1508ПЛ10Б**

Таблица 6

FD1	FD0	Ширина импульса, нс
0	0	17
0	1	29
1	0	52
1	1	100

**Пример соответствия заданных коэффициентов деления основного канала
загружаемому слову микросхемы 1508ПЛ10А**

Таблица 7

К4 – К15 (12-ти разрядный счетчик-делитель)	К0 – К3 (поглощающий счетчик- делитель)	К
15	0	240
15	1	241
16	0	256
128	0	2 048
255	15	4 095
256	0	4 096
2 048	0	32 768
4 095	0	65 535

**Пример соответствия заданных коэффициентов деления основного канала
загружаемому слову микросхемы 1508ПЛ10Б**

Таблица 8

К4 – К19 (16-ти разрядный счетчик-делитель)	К0 – К3 (поглощающий счетчик- делитель)	К
15	0	240
4 095	0	65 535
4 096	0	65 536
65 535	15	1 048 575

Предельно допустимые характеристики микросхемы

Таблица 9

№ п/п	Наименование параметра	Обозначение параметра	Предельно- допустимый режим		Предельный режим		Ед-цы измер
			не менее	не более	не менее	не более	
1508ПЛ10А, 1508ПЛ10Б							
1	Напряжение питания	U _{CC}	4,5	5,5	–	7	В
2	Входное напряжение низкого уровня по цифровым выводам	U _{IL}	–	0,8	минус 0,3	–	В
3	Входное напряжение высокого уровня по цифровым выводам	U _{IH}	2,4	–	–	U _{CC} +0,3	В
4	Среднеквадратичное значение входного напряжения на выводе 10 при: 10 МГц ≤ f ≤ 1100 МГц	U _{I RMS}	0,2	$\frac{U_{CC}}{2 \cdot \sqrt{2}}$	минус 0,3	U _{CC} +0,3	В
	при: 1100 МГц < f ≤ 1300 МГц		0,4				
5	Среднеквадратичное значение входного напряжения опорного сигнала, на выводе 6 при: 4 МГц ≤ f _{REF (RMS)} ≤ 15 МГц	U _{RMS (REF)}	0,15	$\frac{U_{CC}}{2 \cdot \sqrt{2}}$	минус 0,3	U _{CC} +0,3	В
	при 2 МГц ≤ f _{REF (RMS)} < 4 МГц		0,4				
6	Частота основного сигнала	f	10	1 300	–	–	МГц
7	Частота опорного сигнала при входном сигнале U _{RMS_(OSC1)} ,	f _{RMS_(REF)}	2,0	15	-	–	МГц
8	Частота сигнала синхронизации ввода данных в сдвиговый регистр	f _{CLK}	-	5,0	–	–	МГц
9	Длительность высокого уровня сигнала записи W на выводе 2	t _{WH_W}	400	–	–	–	нс
10	Время установления данных относительно сигнала W	t _{SU(D-W)}	100	–	–	–	нс
11	Время установления сигнала W относительно сигнала CLK	t _{SU(CLK-W)}	50	–	–	–	мкс
12	Емкость нагрузки	C _L	–	25	–	–	пФ
1508ПЛ10Б							
13	Частота опорного сигнала при входном цифровом сигнале при : T_For_o =1, U _{IL} < 0,2•U _{CC} , U _{IH} > 0,8•U _{CC}	f _{REF}	–	50	–	–	МГц
14	Частота следования импульсов в режиме “входов”, на выводе 14. 9	f _{DIV}	–	5,0	–	–	МГц

Стойкость к воздействию статического электричества 2 кВ.

Электрические параметры микросхемы

Таблица 10

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Ед. измерен.
		не менее	не более	
1508ПЛ10АТ, 1508ПЛ10БТ				
Входной ток низкого уровня на цифровых выводах, при: $U_I = 0$ В, $U_{CC} = 5,5$ В, на выводах 2, 3, 4	I_{IL_C}	Минус 1	1,0	мкА
Входной ток высокого уровня на цифровых выводах, при: $U_I = 5,5$ В, $U_{CC} = 5,5$ В, на выводах 2, 3, 4	I_{IH_C}	Минус 5	5,0	мкА
Входной ток высокого и низкого уровней на аналоговых выводах, при: $U_I = 5,5$ В, $U_{CC} = 5,5$ В, на выводе 6	I_{IH_A} I_{IL_A}	Минус 5	5,0	мкА
Динамический ток потребления, , при: $U_{CC} = 5,5$ В, $f_{REF(RMS)} = 15$ МГц, $f = 700$ МГц, на выводе 8	I_{OCC}	–	34	мА
при: $U_{CC} = 5,5$ В, $f_{REF(RMS)} = 15$ МГц, $f = 1\,300$ МГц, на выводе 8		–	45	
Статический ток потребления, при: $U_{CC} = 5,5$ В, на выводе 8	I_{CC}	–	60	мА
Ток утечки низкого уровня на входе VCO, при: $U_{CC} = 5,5$ В, на выводе 10	I_{ILL}	–	15	мкА
1508ПЛ10АТ				
Выходное напряжение низкого уровня, В, при: $U_{CC} = 4,5$ В, $I_{OL} = 0,8$, на выводах: Fdiv1 (5), Fd2 (12); при: $U_{CC} = 4,5$ В, $I_{OL} = 1,6$ мА, на выводах: Fdiv2(14), Fdiv3(9), Fd1(11)	U_{OL}	–	0,45	мА
Выходное напряжение высокого уровня, при: $U_{CC} = 4,5$ В, $I_{OL} = 0,8$ мА, на выводе 13	U_{OH}	4,05	–	В
Коэффициент деления основной частоты, при: $U_{CC} = 4,5$ В, $f = 1\,300$ МГц	K	240	65 535	
Коэффициент деления опорной частоты, при: $U_{CC} = 4,5$ В, $f_{REF(RMS)} = 15$ МГц	K_{REF}	100	2 000	
1508ПЛ10БТ				
Выходное напряжение низкого уровня, В, при: $U_{CC} = 4,5$ В, $I_{OL} = 0,8$ мА, на выводах: Fdiv1 (5), Fd2 (12), Fd3 (13); при: $U_{CC} = 4,5$ В, $I_{OL} = 1,6$, на выводах: Fdiv2(14), Fdiv3(9), Fd1(11)	U_{OL}	–	0,45	мА
Выходное напряжение высокого уровня, В, при: $U_{CC} = 4,5$ В, $I_{OL} = 0,8$, на выводах: Fdiv1 (5), Fd2 (12), Fd3 (13); при: $U_{CC} = 4,5$ В, $I_{OL} = 1,6$ мА, на выводах: Fdiv2(14), Fdiv3(9), Fd1(11)	U_{OH}	4,05	–	мА
Выходной ток фазового детектора в режиме токового выхода, при: $U_{CC} = 5,5$ В, $R_{BH} = 3,65$ кОм, на выводе 12, на выводе 13	I_{O_FD}	0,79	0,92	мА

**Спецификация 1508ПЛ10А(Б)Т, К1508ПЛ10А(Б)Т,
1508ПЛ10А(Б)Т1, К1508ПЛ10А(Б)Т1**

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Ед. измерен.
		не менее	не более	
Ток утечки фазового детектора в режиме токового выхода, при: $U_{CC} = 5,5 \text{ В}$, на выводе 13	I_{OL_FD}	—	5,0	нА
		—	100	
Относительная погрешность втекающего и вытекающего тока фазового детектора в режиме токового выхода относительно среднего значения, при: $U_{CC} = 5,5 \text{ В}$, $U_I = U_{CC}/2 \text{ В}$, на выводе 13	ΔX_{FD}	—	2,0	%
Коэффициент деления основной частоты, при: $U_{CC} = 4,5 \text{ В}$, $f = 1\,300 \text{ МГц}$	K	240	1 048 575	
Коэффициент деления опорной частоты, при: $U_{CC} = 4,5 \text{ В}$, $f_{REF(RMS)} = 15 \text{ МГц}$	K_{REF}	100	2 500	

П р и м е ч а н и я

1 Значения коэффициента деления опорной частоты приведены в таблицах 4–7.

2 Режимы измерения параметров приведены в ТСКЯ.431322.002Д.

Типовые зависимости

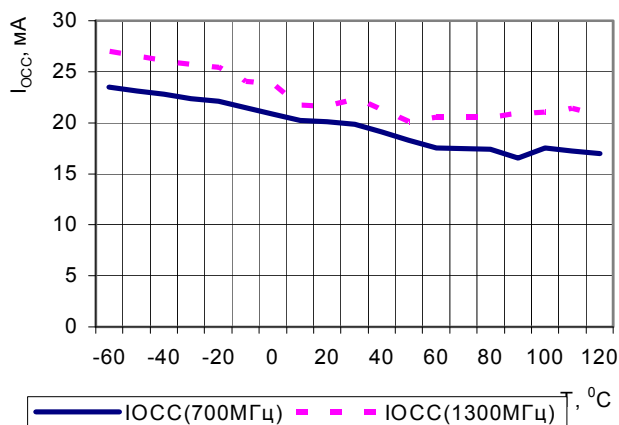


Рисунок 8. Зависимость динамического тока потребления от температуры, при частоте основного сигнала 700 МГц и 1300 МГц

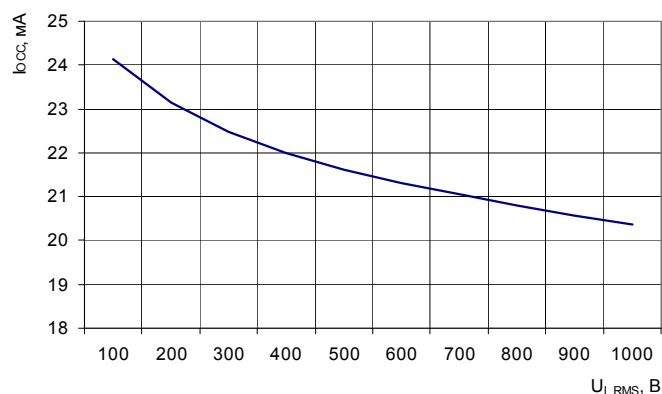


Рисунок 9. Зависимость динамического тока потребления от среднеквадратичного значения входного напряжения, при: $f = 1300$ МГц, $U_{CC} = 5,5$ В

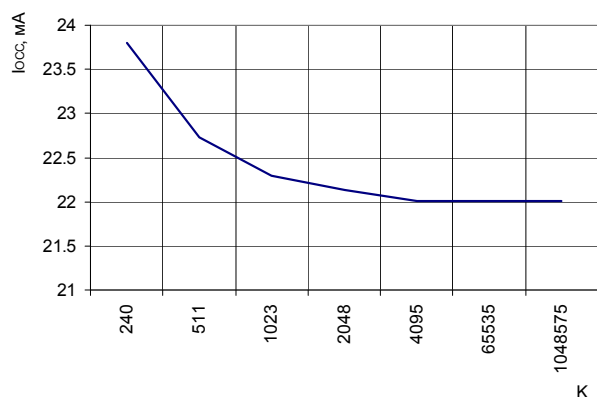


Рисунок 10. Зависимость динамического тока потребления от коэффициента деления, при: $f = 1300$ МГц, $U_{I_RMS} = 0,4$ В

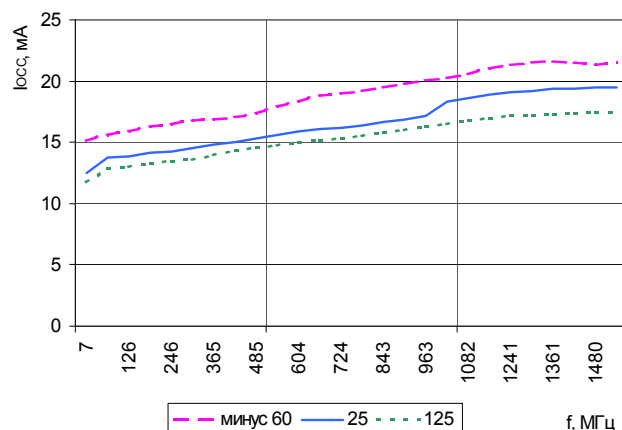


Рисунок 11. Зависимость динамического тока потребления от частоты основного сигнала, при: $U_{CC} = 4,5$ В

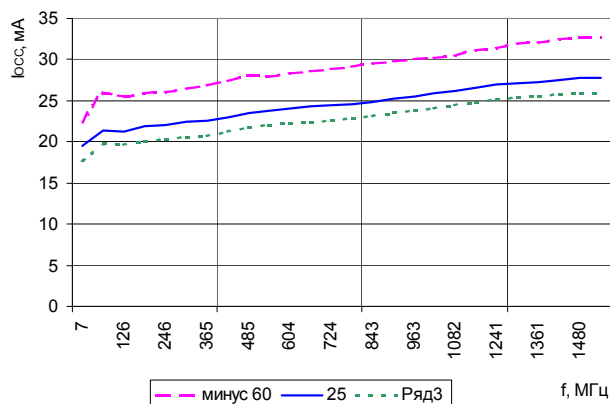


Рисунок 12. Зависимость динамического тока потребления от частоты основного сигнала, при: $U_{CC} = 5,5$ В

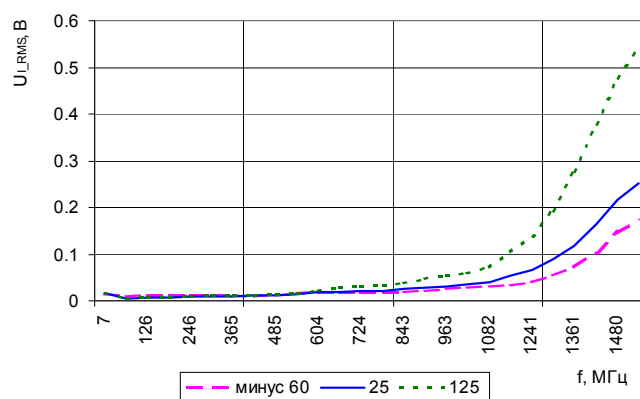


Рисунок 13. Зависимость среднеквадратичного значения входного напряжения от частоты основного сигнала, при: $U_{CC} = 4,5$ В

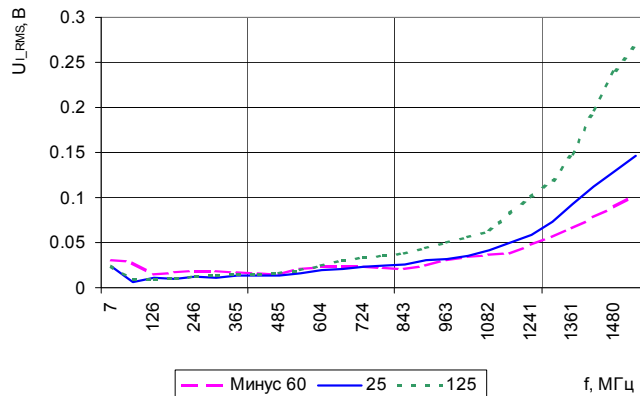


Рисунок 14. Зависимость среднеквадратичного значения входного напряжения от частоты основного сигнала, при: $U_{CC} = 5,5$ В

Зависимости, полученные в результате измерений синтезатора частоты, построенного на микросхеме 1508ПЛ10Б, на демонстрационной плате EVAL 16а

Девияция частоты, кГц

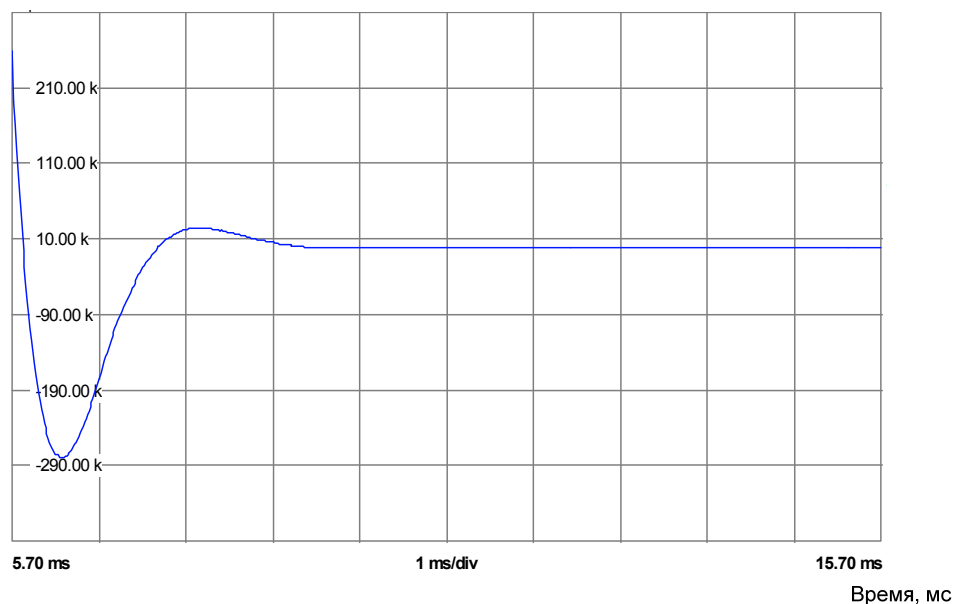


Рисунок 15. Временная диаграмма перестройки синтезатора с частоты 400 МГц на частоту 500 МГц (ток схемы накачки 500 мкА; частота сравнения 100 кГц)

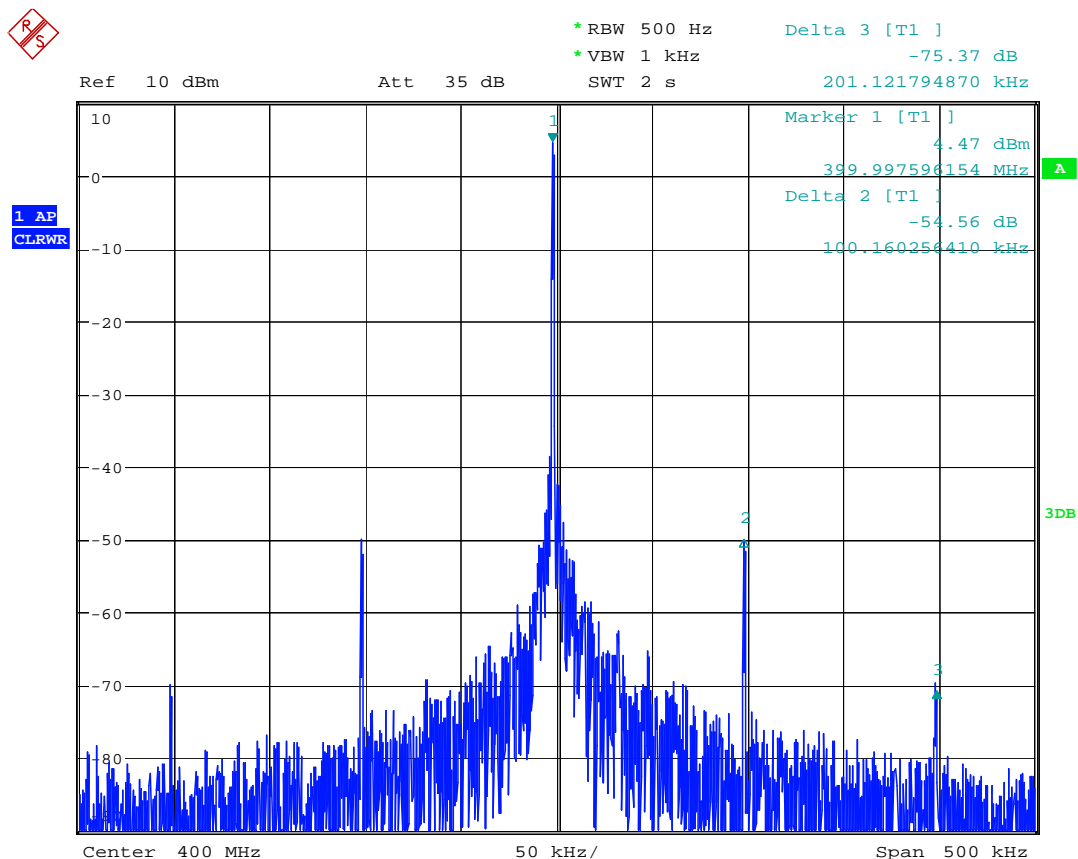
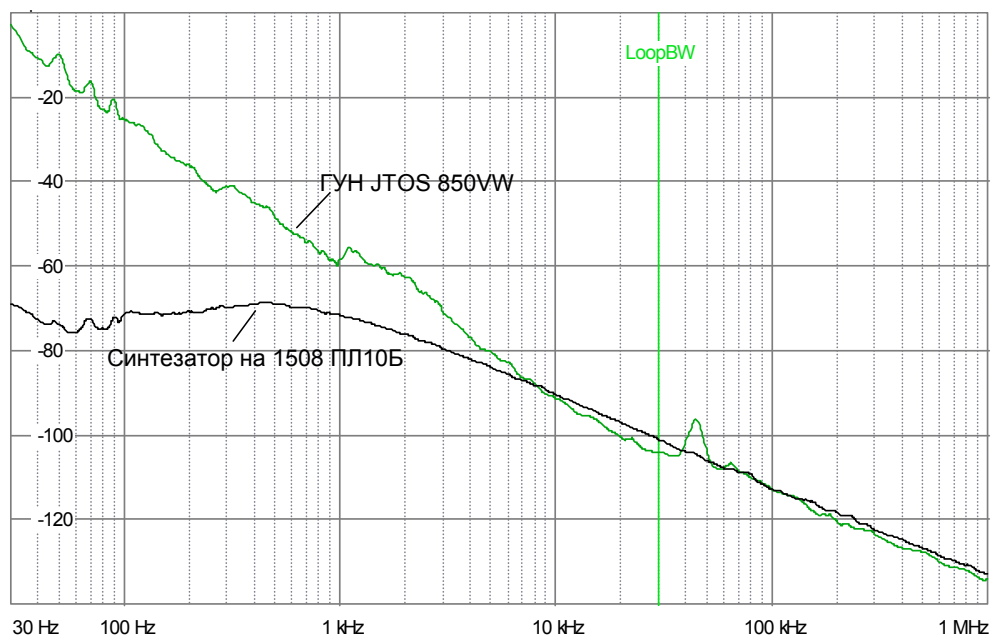


Рисунок 16. Спектр выходного сигнала синтезатора
(частота 400 МГц; частота сравнения 100 кГц)

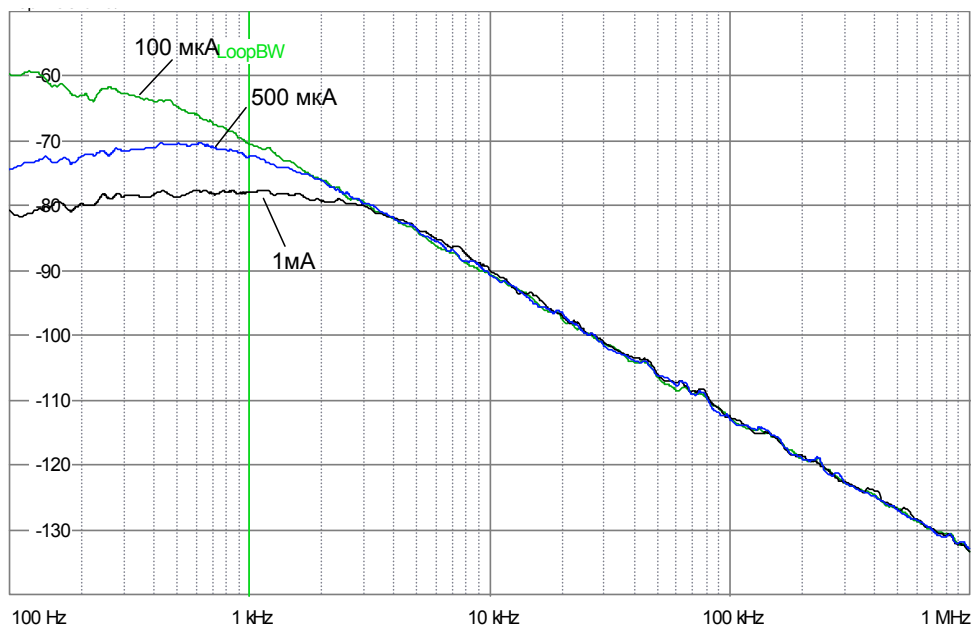
Спектральная плотность мощности
фазового шума, дБн/Гц



Отстройка, Гц

Рисунок 17. Фазовый шум ГУН и синтезатора (частота 400 МГц,
ток схемы накачки 500 мкА, частота сравнения 100 кГц)

Спектральная плотность мощности
фазового шума, дБн/Гц



Отстройка, Гц

Рисунок 18. Фазовый шум синтезатора при различных токах
схемы накачки (частота 400 МГц, частота сравнения 100 кГц)

Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
1508ПЛ10АТ	1508ПЛ10АТ	401.14-5М	минус 60 – 125 °С
К1508ПЛ10АТ	К1508ПЛ10АТ	401.14-5М	минус 60 – 125 °С
К1508ПЛ10АТК	К1508ПЛ10АТ [•]	401.14-5М	0 – 70 °С
1508ПЛ10БТ	1508ПЛ10БТ	401.14-5М	минус 60 – 125 °С
К1508ПЛ10БТ	К1508ПЛ10БТ	401.14-5М	минус 60 – 125 °С
К1508ПЛ10БТК	К1508ПЛ10БТ [•]	401.14-5М	0 – 70 °С
1508ПЛ10АТ1	1508ПЛ10АТ1	4105.14-16	минус 60 – 125 °С
К1508ПЛ10АТ1	К1508ПЛ10АТ1	4105.14-16	минус 60 – 125 °С
К1508ПЛ10АТ1К	К1508ПЛ10АТ1 [•]	4105.14-16	0 – 70 °С
1508ПЛ10БТ1	1508ПЛ10БТ1	4105.14-16	минус 60 – 125 °С
К1508ПЛ10БТ1	К1508ПЛ10БТ1	4105.14-16	минус 60 – 125 °С
К1508ПЛ10БТ1К	К1508ПЛ10БТ1 [•]	4105.14-16	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.
Микросхемы с приемкой «ОТК» маркируются буквой «К».

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменя- емых листов
1	05.02.2010	2.1	1. Изменена ссылка на таблицу 4 2. Отредактирована подпись к рис.3 3. Рисунки 6, 7 приведены в соответствие с ТУ 4. Добавлен лист регистрации	4, 5, 9, 10
2	26.03.2010	2.2	Корректировка на основании планового пересмотра документации	-
3	20.04.2010	2.3	Отработка спецификации	67,12,16,18,19
4	27.04.2010	2.4	Замена логотипа	1
5	29.09.2010	2.5	Внесение дополнительных зависимостей	20
6	13.01.2011	2.6	Отработка схем включения совместно с потребителем (Рис. 3, 6, 7)	5, 9, 10
7	09.03.2011	2.7	Введены модификации микросхем в новом корпусе	23, 24
8	04.10.2011	2.8	Уточнение наименования микросхем	По тексту