

Elementos Activos El Transistor MOSFET

Instituto Tecnológico de Costa Rica
Elementos Activos
Dr.-Ing. Juan José Montero Rodríguez
Semestre II-2019

Tabla de Contenidos

- Tema 5. El transistor de efecto de campo MOSFET y la tecnología CMOS**
- Clase 19: Condensador MOS 3-
- Clase 20: Construcción, símbolo, clasificación
- Clase 21: Funcionamiento
- Clase 22: Curvas características
- Clase 23: Polarización I
- Clase 24: Polarización II
- Clase 25: Modelo analógico
- Clase 26: Aplicaciones analógicas
- Clase 27: Modelo digital
- Clase 28: Aplicaciones digitales
- Clase 29: Modelo de alta frecuencia
- Clase 30: Fabricación
- Clase 31: Escalamiento
- Clase 32: Introducción al diseño de CIs

Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

2

Objetivos

- El transistor de efecto de campo MOSFET y la tecnología CMOS**
 - Construcción, símbolo, clasificación.
 - Funcionamiento.
 - Curvas características y polarización.
 - Modelo del MOSFET para aplicaciones analógicas.
 - Modelo del MOSFET para aplicaciones digitales.
 - Capacitancias internas y modelos de alta frecuencia.
 - Aplicaciones: El FET como interruptor: interruptor serie, paralelo, inversor lógico y compuertas lógicas básicas
 - Escalamiento de MOSFETs
- Objetivo**

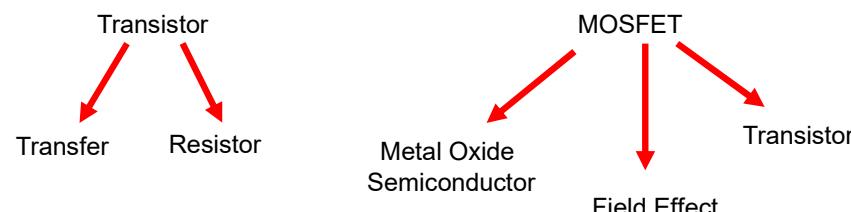
Conocer el comportamiento y modelado del transistor de efecto de campo MOSFET, así como sus principales aplicaciones.

Clase 19 Construcción, Símbolo, Clasificación

Instituto Tecnológico de Costa Rica
Elementos Activos
Dr.-Ing. Juan José Montero Rodríguez
Semestre II-2019

Transistor MOSFET

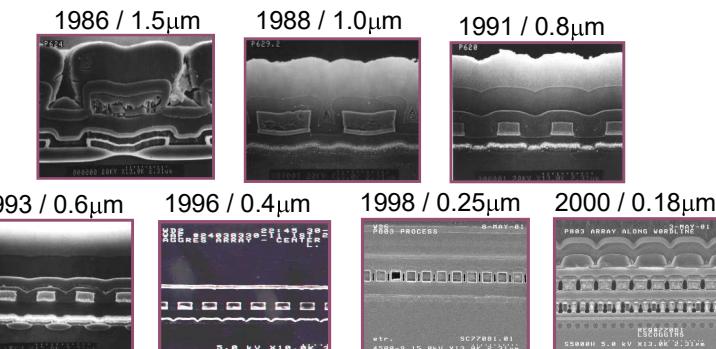
Transistor: dispositivo de al menos tres terminales, en el que una terminal controla el flujo de corriente entre las otras dos



- MOSFETs
 - Basado en el principio de efecto de campo
 - Uso de un campo eléctrico para controlar corriente entre dos terminales
 - Transistor más utilizado (más de 80% del mercado)
 - Base de la industria microelectrónica

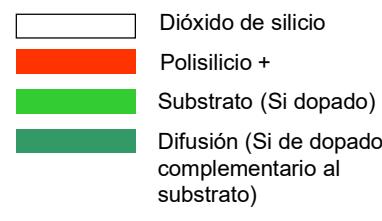
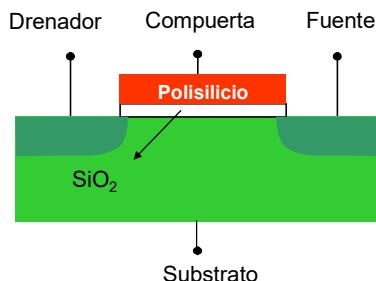
Transistor MOSFET

- Principio de efecto de campo presentado en 1925 por Julius Lilienfeld
- MOSFET
 - Patente presentada en 1928 por Lilienfeld
 - Implementación posible en los 60s
- Teoría de escalamiento = miniaturización
 - 60s, Robert Dennard

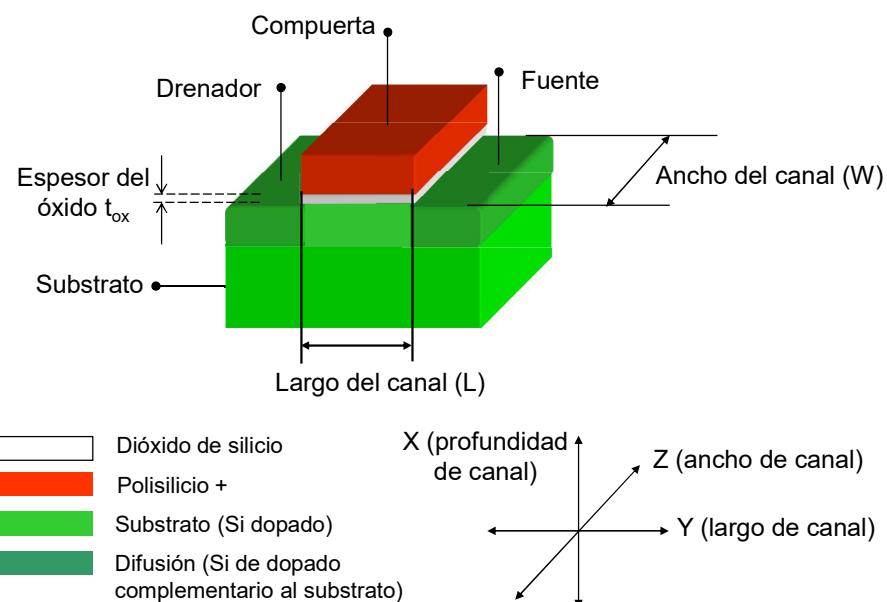


Transistor MOSFET

- Dispositivo de 4 terminales: compuerta, fuente, drenador y substrato
- Dispositivo UNIPOLAR \Rightarrow corriente de conducción involucra prácticamente sólo un tipo de portador de carga
- MOSFET consiste en
 - dos regiones semiconductoras fuertemente dopadas separadas por una región semiconductor de tipo complementario
 - un aislante y un electrodo sobre dicha región

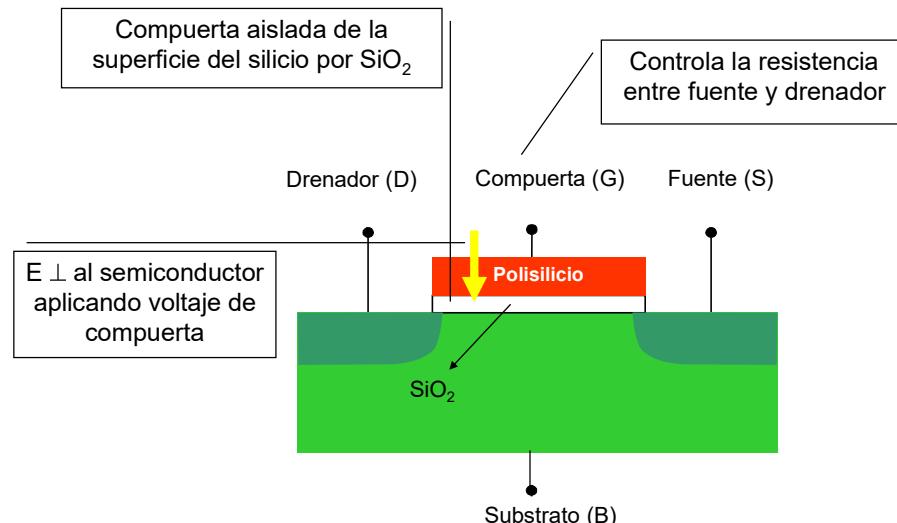


Transistor MOSFET



Principio de Funcionamiento del MOSFET

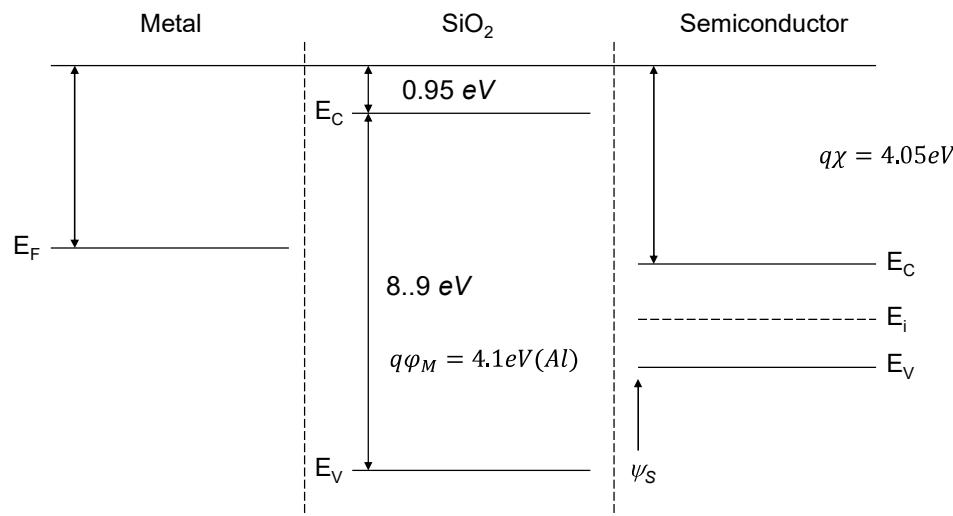
La corriente de arrastre que fluye entre fuente y drenador se controla variando el voltaje en el electrodo de compuerta



Polarización y Regiones de Operación

- Desde el punto de vista del potencial de superficie/ V_{GS}
 - Banda plana
 - Acumulación
 - Agotamiento
 - Inversión
 - Inversión débil
 - Inversión fuerte
- Transistor "apagado" = Corriente ≈ 0
-
- Transistor "encendido" = Corriente $\neq 0$
-
- Desde el punto de vista de V_{DS} en comparación con V_{GS}
 - Región de corte
 - Transistor "apagado" = Corriente ≈ 0
 - Determinado por V_{GS}
 - Región lineal
 - Región de saturación
 - Transistor "encendido" = Corriente $\neq 0$

Sistema Metal Oxido Semiconductor



El comportamiento del MOSFET se define con base en el POTENCIAL DE SUPERFICIE ψ_s , que mide la deformación de bandas del semiconductor en la interfaz con el óxido

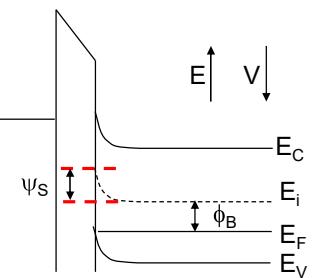
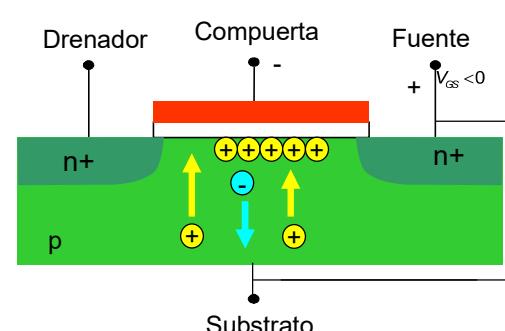
Acumulación

Acumulación: $\psi_s < 0$

- huecos se acumulan en la superficie

ψ_s : potencial en la interfaz Si-SiO₂, potencial de superficie, medido con respecto a ϕ_B

ϕ_B : potencial en el semiconductor en zona lejana a la interfaz Si-SiO₂, diferencia entre E_F y E_V



Sin canal \Rightarrow MOSFET = Dos diodos en serie en direcciones opuestas $\Rightarrow I_{DS} \approx 0$

Banda Plana

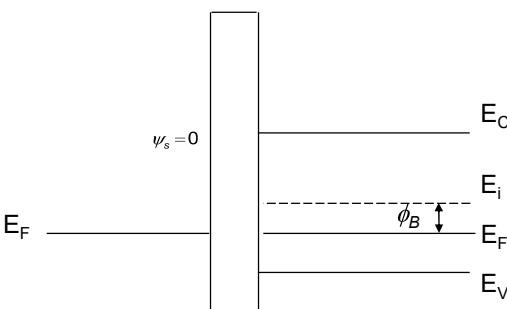
Agotamiento

ψ_S : potencial en la interfaz Si-SiO₂, potencial de superficie, medido con respecto a ϕ_B

ϕ_B : potencial en el semiconductor en zona lejana a la interfaz Si-SiO₂, diferencia entre E_i y E_F

Banda plana:

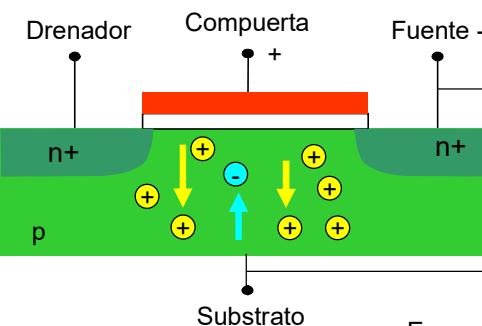
$$V_{GS} > 0 \quad V_{GS} = V_{FB}$$



- V_{FB} voltaje necesario para compensar la diferencia de función de trabajo del metal y el semiconductor

Agotamiento: $0 < \psi_S < \phi_B$

$$0 < V_{FB} < V_{GS} < V_{TH} \quad V_{TH} = \text{voltaje de umbral} (V_{GS} \text{ para activar MOSFET})$$



$$E \uparrow \quad V \downarrow$$

$$E_C \quad E_i \quad E_F \quad E_V$$

- huecos repelidos de la superficie = empobrecimiento de huecos en la superficie
- Transistor aún inactivo = región de subumbral

Inversión

Transistores NMOS y PMOS

Inversión débil: $\phi_B < \psi_S < 2\phi_B$

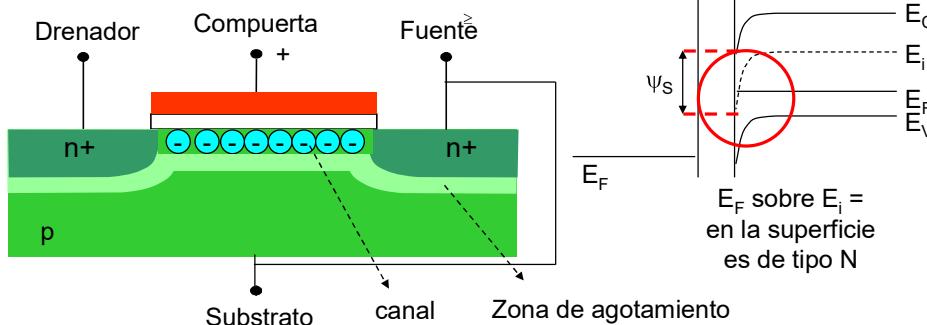
$$\Rightarrow$$

Inversión fuerte: $\psi_S > 2\phi_B$

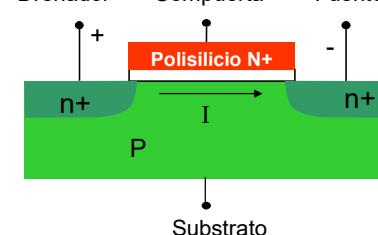
$$V_{GS} \geq V_{TH}$$

-electrones atraídos a la superficie = concentración de electrones en la superficie iguala concentración de huecos en el substrato
 \Rightarrow superficie de substrato p se comporta como material n

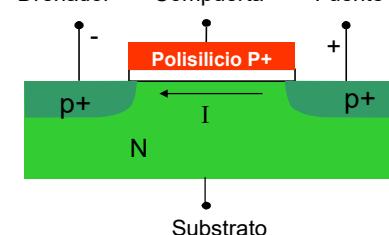
-existe un canal entre drenador y fuente, transistor activo



Drenador Compuerta Fuente



Drenador Compuerta Fuente



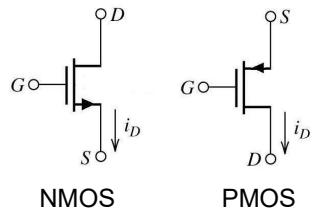
- Flujo de corriente: de drenador a fuente
- Drenador es región n+ conectada al potencial más alto
- Se forma canal tipo N entre drenador y fuente
- Flujo de corriente debido a electrones
- Flujo de corriente: de fuente a drenador
- Drenador es región p+ conectada al potencial más bajo
- Se forma canal tipo P entre drenador y fuente
- Flujo de corriente debido a huecos

Desde el punto de vista de fabricación, la fuente y el drenador son intercambiables. Sólo pueden distinguirse después de polarizarlos

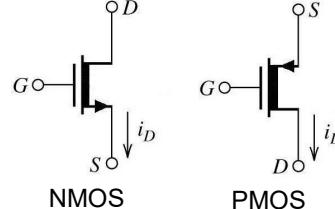
Símbolos de tres terminales: substrato conectado a fuente, flecha indica dirección de corriente técnica

Si no se usan flechas, un círculo sin rellenar se añade a la compuerta de los transistores PMOS

MOSFETs de enriquecimiento (normalmente apagado)

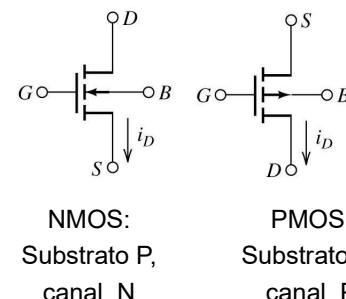


MOSFETs de empobrecimiento (normalmente encendido)

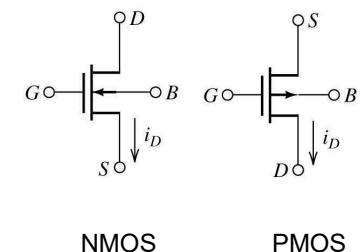


Símbolos de cuatro terminales: flecha en substrato apunta de P a N

MOSFETs de enriquecimiento (normalmente apagado)

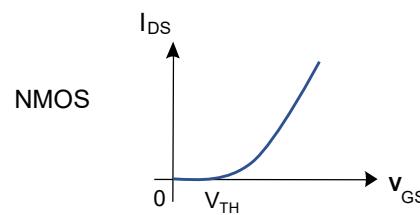


MOSFETs de empobrecimiento (normalmente encendido)

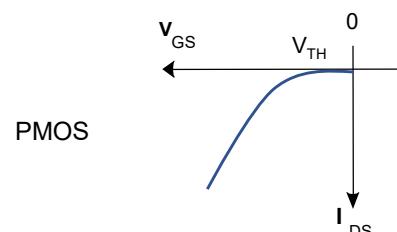
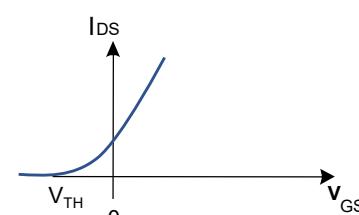


Empobrecimiento y Enriquecimiento

Enriquecimiento: normalmente inactivo



Empobrecimiento: normalmente activo



Clase 20 Funcionamiento del Transistor MOSFET

- Voltaje V_{GS} necesario para causar inversión de la superficie

V_{TH} tiene 4 componentes

$$V_{TH} = \varphi_{GC} + 2\varphi_B - \frac{Q_B}{C'_{ox}} - \frac{Q_{ox}}{C'_{ox}}$$

Diferencia de función de trabajo entre compuerta y canal
Voltaje necesario para cambiar el potencial superficial

Caída de tensión en la zona de carga espacial
Compensación de cargas parásitas en SiO_2 y la interfaz óxido-semiconductor

$$Q_B = -qN_Ax_d = -\sqrt{2qN_A\varepsilon_{Si}|\psi_S|} = -\sqrt{2qN_A\varepsilon_{Si}|2\varphi_B|}$$

x_d : ancho de zona de agotamiento

En la región de corte (subumbral), $V_{GS} < V_{TH}$. Idealmente, la corriente es cero.

En el caso real, la corriente de subumbral se calcula como

$$I_D = I_{D0} \cdot e^{\frac{(V_{GS}-V_{TH})}{mV_t}} \cdot \left[1 - e^{-\frac{V_{DS}}{V_t}} \right] \approx I_{D0} \cdot e^{\frac{(V_{GS}-V_{TH})}{mV_t}}$$

$$I_{D0} = I_D(V_{GS} = V_{TH}) \cdot \frac{W}{L} \approx 0.1\mu A \cdot \frac{W}{L}$$

W: ancho de transistor

L: longitud de canal

V_{TH} : voltaje de umbral

V_t : voltaje térmico

C_{dep} : capacitancia de agotamiento de substrato,

C_{ox} : capacitancia de compuerta

$$m = 1 + \frac{C_{dep}}{C_{ox}}$$

O bien, con la pendiente de subumbral S,

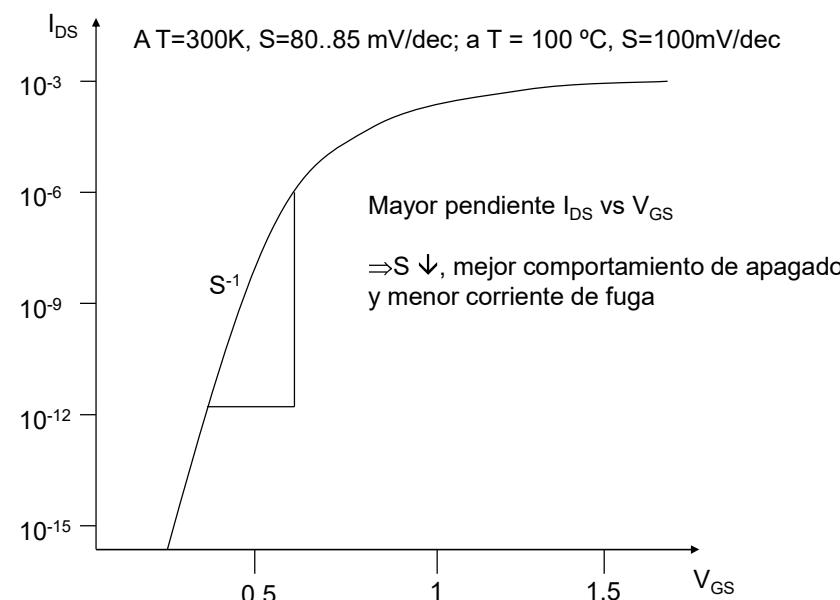
$$I_D = I_{D0} \cdot e^{\frac{(V_{GS}-V_{TH})}{mV_t}} = I_{D0} \cdot e^{\frac{(V_{GS}-V_{TH}) \ln 10}{S}}$$

$$S = \left[\frac{d(\log I_{DS})}{dV_{GS}} \right]^{-1} = \ln 10 \cdot V_t \cdot m$$

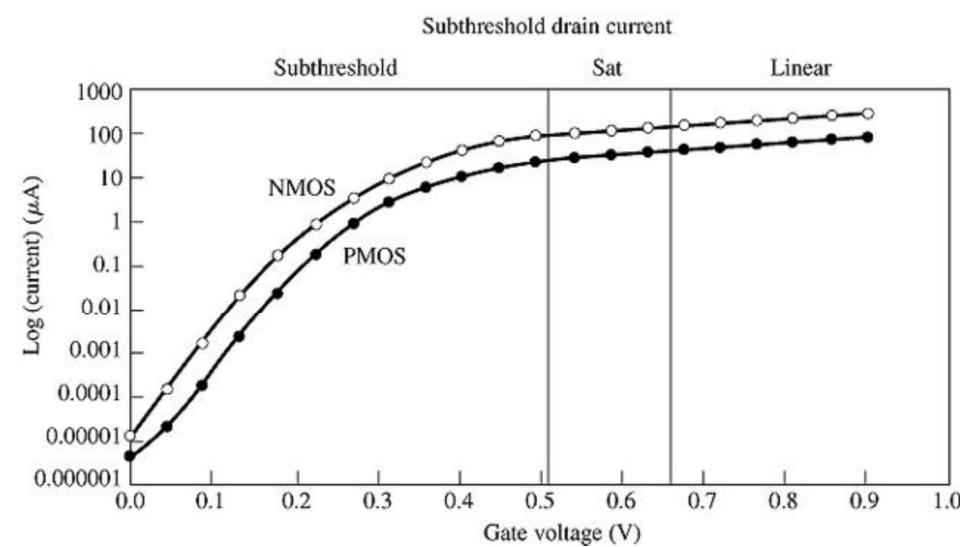
Cambio en V_{GS} necesario para una variación de una década en I_{DS}

Valor ideal: 60 mV/dec

Corriente de Subumbral



Pendiente de Subumbral



Ecuaciones Características (región lineal)

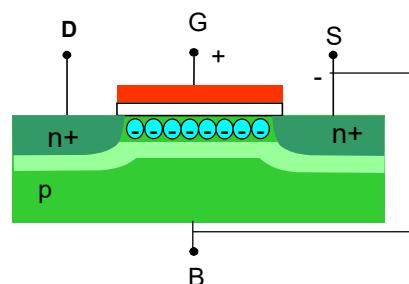
Corriente de drenador en la región lineal: $V_{GS} \geq V_{TH}$, $V_{GS} - V_{TH} > V_{DS}$

$$K' = \frac{\mu \cdot \epsilon_{OX}}{t_{OX}}, \left[\frac{A}{V^2} \right] K = \frac{\mu \cdot \epsilon_{OX}}{t_{OX}} \cdot \frac{W}{L}$$

Región lineal
 $V_{GS} \geq V_{TH}, V_{DS} < V_{GS} - V_{TH}$

$$I_D = K' \cdot \frac{W}{L} \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) \cdot V_{DS} = K \cdot \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) \cdot V_{DS}$$

K: parámetro de transconductancia
 K' = transconductancia del proceso
 μ : movilidad
 ϵ_{OX} : permitividad del $\text{SiO}_2 = 3.9\epsilon_0$
 t_{OX} : espesor de óxido



Curvas Características del MOSFET

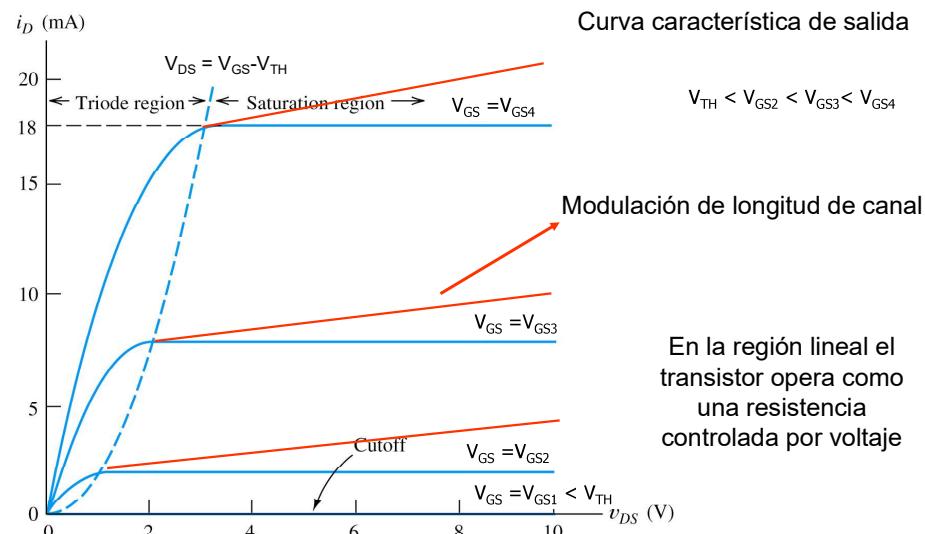


Figure 12.6 Characteristic curves for an NMOS transistor.

Ecuaciones Características (región de saturación)

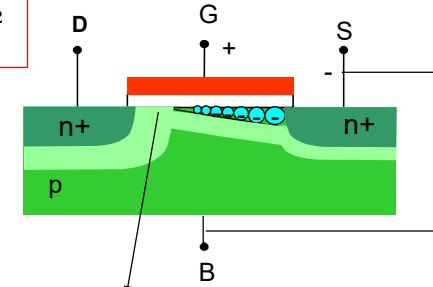
Corriente de drenador en la región de saturación: $V_{GS} \geq V_{TH}$, $V_{GS} - V_{TH} \leq V_{DS}$

$$I_D = \frac{K'}{2} \cdot \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{K}{2} (V_{GS} - V_{TH})^2$$

Modulación de largo de canal

$$I_D = \frac{K'}{2} \cdot \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

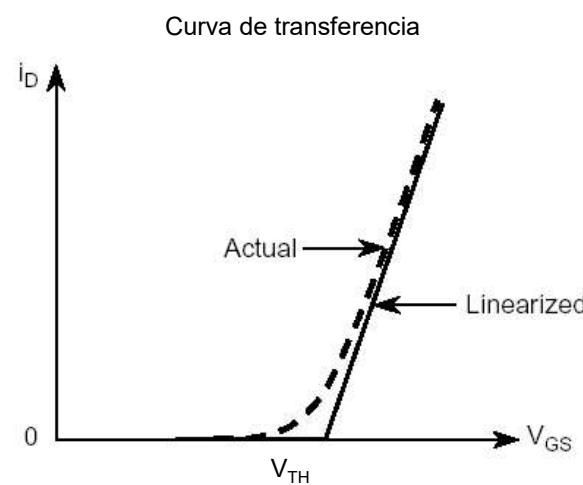
λ : coeficiente de modulación de canal [V^{-1}]



Modulación de longitud de canal: Estrangulamiento del canal a partir de $V_{DS} \geq V_{DS,SAT} = V_{GS} - V_{TH}$

⇒ El canal se acorta ⇒ La corriente en saturación no es constante para un V_{GS} dado, sino depende también de V_{DS}

Curvas Características del MOSFET

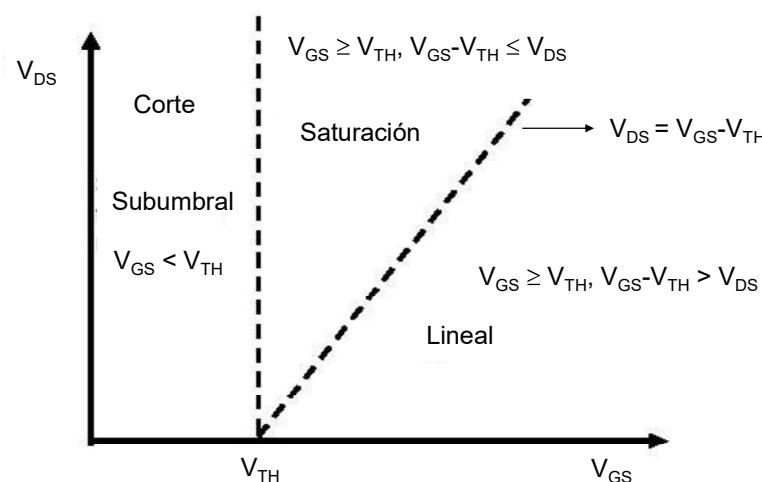


Función de transferencia:

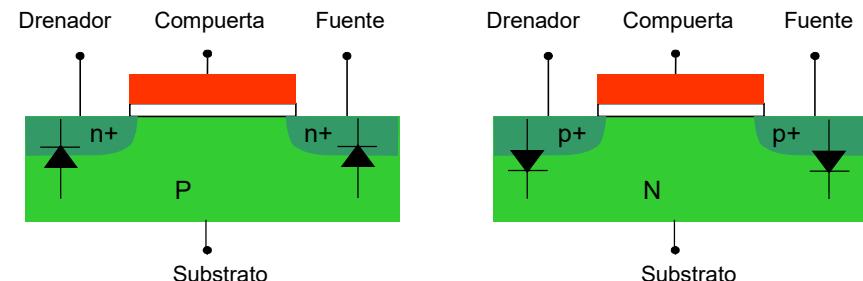
Salida = f(Entrada)

Salida : I_D

Entrada : V_{GS}



- Diodos parásitos difusión-substrato deben estar polarizados en inversa



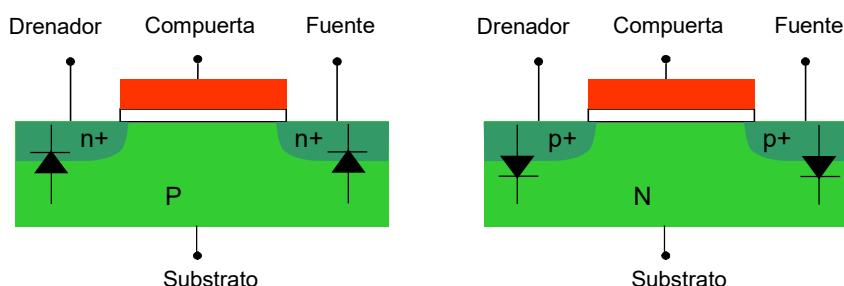
NMOS: Substrato debe conectarse al voltaje más bajo del sistema, por ejemplo a tierra (GND).

PMOS: Substrato debe conectarse al voltaje más alto del sistema, por ejemplo, a V_{DD} .

También como protección ante el efecto de enganche (latch-up)

Polarización del Substrato

- Polarización V_{BS} afecta la tensión de umbral V_{TH} = efecto de substrato (body effect)



Voltaje de Umbral con Efecto de Substrato

- $V_B \neq V_S$ cambia el voltaje de umbral
- Se analiza aquí el caso de un NMOS

$$V_{TH} = V_{TH0} + \gamma(\sqrt{2\varphi_B - V_{BS}} - \sqrt{2\varphi_B})$$

↓ ↓ ↓

Voltaje de umbral con $V_{BS}=0$

Coeficiente de efecto de substrato

Por el cambio en la carga en la zona de carga espacial debido a $V_{BS} \neq 0$

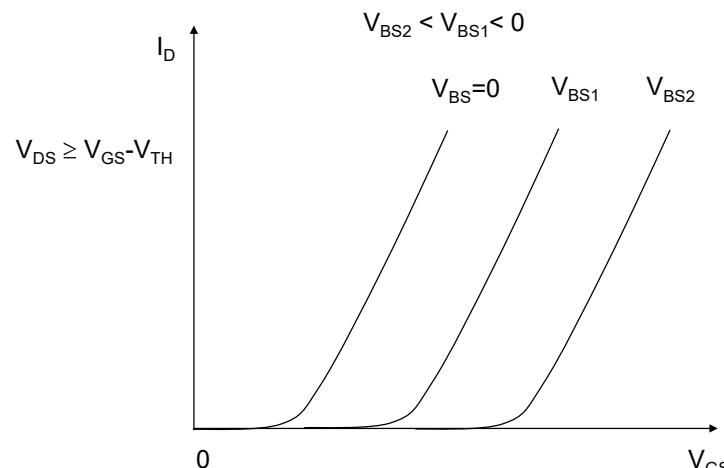
$$\gamma = \frac{\sqrt{2qN_A\varepsilon_{si}}}{C'_{ox}}$$

$$\varphi_B = V_t \cdot \ln\left(\frac{N_A}{n_i}\right)$$

El efecto se conoce también como sensibilidad de substrato

En general, se presenta de manera que aumenta el voltaje de umbral

Puede utilizarse para disminuir la corriente de subumbral, por ejemplo, en memorias DRAM



Un voltaje de substrato negativo con respecto al surtidor o bien un voltaje de surtidor positivo con respecto al substrato causan un aumento del voltaje de umbral en un transistor N

Clase 21 Polarización MOSFET

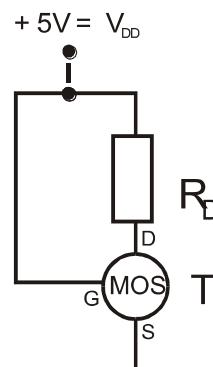
Instituto Tecnológico de Costa Rica
Elementos Activos
Dr.-Ing. Juan José Montero Rodríguez
Semestre II-2019

Ejemplo

1. Un inverter utiliza un transistor MOS con los siguientes parámetros: $K = 0.5 \text{ mA/V}^2$ y $V_{th} = 2.5 \text{ V}$. El transistor MOS está encendido.
- a) Determine el tipo de transistor MOS (Explique su respuesta)
- b) Determine la región de operación del transistor T:

para $R_D = 1.5 \text{ k}\Omega$

para $R_D = 0.5 \text{ k}\Omega$



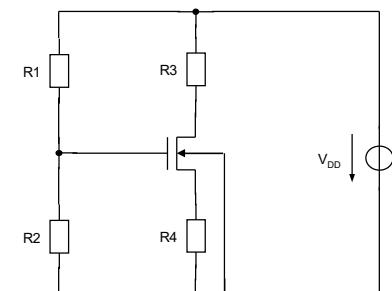
Ejemplo

2. Para el circuito MOSFET mostrado en la figura se tienen las constantes: $I_D = 0.1 \text{ mA}$, $V_{TN} = 0.5 \text{ V}$, $V_{DD} = 3.3 \text{ V}$, $R_1 = 500 \text{ k}\Omega$, $R_2 = 750 \text{ k}\Omega$, $R_3 = R_4 = 10 \text{ k}\Omega$, omita el efecto de substrato y la modulación de largo de canal.
- a) Determine la región de operación del MOSFET
- b) Calcule K_N .
- c) R_3 se debe reemplazar por un transistor PMOS de enriquecimiento con $|V_{thp}| = |V_{thn}|$ de manera que V_{DS} del transistor NMOS no cambie. Dibuje el circuito y determine K_P .

Para resolver este ejercicio considere:

Movilidad de electrones: $\mu_n = 250 \text{ cm}^2/\text{Vs}$

Movilidad de huecos: $\mu_p = 100 \text{ cm}^2/\text{Vs}$



Ejemplo

3. Considere un transistor NMOS con $t_{ox} = 20 \text{ nm}$, $\mu_n = 650 \text{ cm}^2/\text{Vs}$, $V_{TH} = 0.8 \text{ V}$ y $W/L = 10$. Encuentre la corriente de drenador en los siguientes casos:

- a) $V_{GS} = 5 \text{ V}$ y $V_{DS} = 1 \text{ V}$
- b) $V_{GS} = 2 \text{ V}$ y $V_{DS} = 1.2 \text{ V}$

4. El transistor NMOS de la figura 1 tiene un parámetro de transconductancia de 2 mA/V^2 y la magnitud de la tensión de umbral es de 1 V . Determine el punto de operación del transistor para las siguientes situaciones:

- a) $R_D = 4 \text{ k}\Omega$, $R_S = 3 \text{ k}\Omega$
- b) $R_D = 7 \text{ k}\Omega$, $R_S = 3 \text{ k}\Omega$

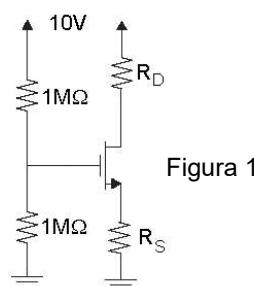
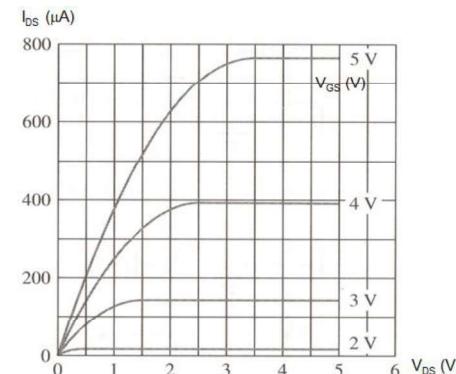
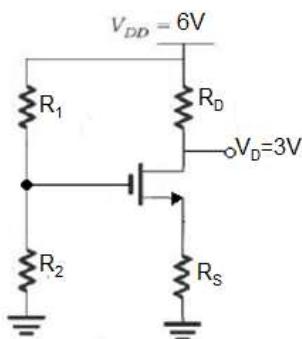


Figura 1

Ejemplo

7. Considere el circuito y las curvas características del MOSFET mostrados. El voltaje de umbral del transistor es 1.5 V . La resistencia R_1 es de $100 \text{ k}\Omega$. Dimensione las resistencias R_D , R_S y R_2 para que el transistor opere en saturación con V_{DS} polarizado en 1 V a partir del extremo de la región lineal con $V_D = 3 \text{ V}$. Para esto, ignore el efecto de substrato. Muestre en curva característica el punto de operación del transistor para cumplir con este objetivo con mínima potencia.



Ejemplo

5. Para el circuito de la figura 2, el parámetro de transconductancia es 2 mA/V^2 y la magnitud de la tensión de umbral es de 2 V . Determine el punto de operación del transistor.

6. Encuentre el punto de operación para el circuito de la figura 3. El parámetro de transconductancia del transistor es de 0.2 mA/V^2 . La tensión de umbral es de 2 V .

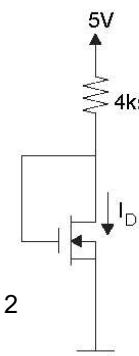


Figura 2

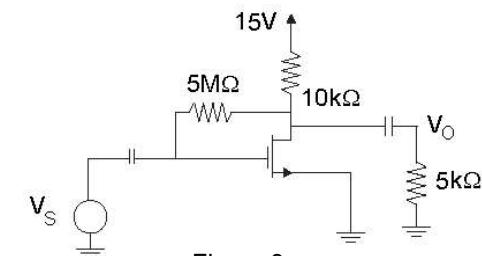
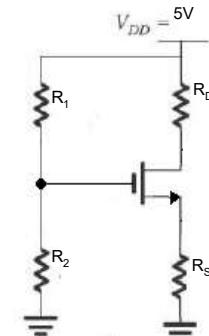
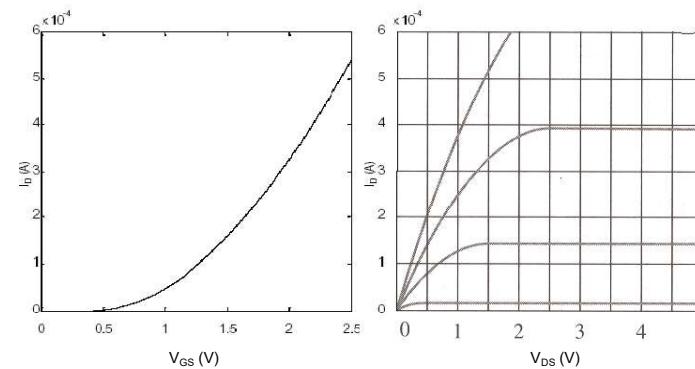


Figura 3

Ejemplo

8. Para este circuito, $R_1 = 10 \text{ k}\Omega$, $R_2 = 5.15 \text{ k}\Omega$, $R_S = 2.1 \text{ k}\Omega$. Si el transistor se pone en corto, la potencia disipada en R_S sería de $170 \mu\text{W}$. ¿Cuáles son los valores V_{GS1} , V_{GS2} y V_{GS3} a los que fueron medidas las curvas respectivas en las características de salida? Utilizando el método gráfico, determine: el valor de V_{GS} e I_{DS} al que opera el circuito; el valor de V_{DS} cuando el transistor opera con el valor de V_{GS} e I_{DS} encontrados; el valor de R_D cuando el transistor opera con el valor de V_{GS} , V_{DS} e I_{DS} encontrados.



Clase 22

Modelo Analógico del MOSFET

Instituto Tecnológico de Costa Rica

Elementos Activos

Dr.-Ing. Juan José Montero Rodríguez

Semestre II-2019

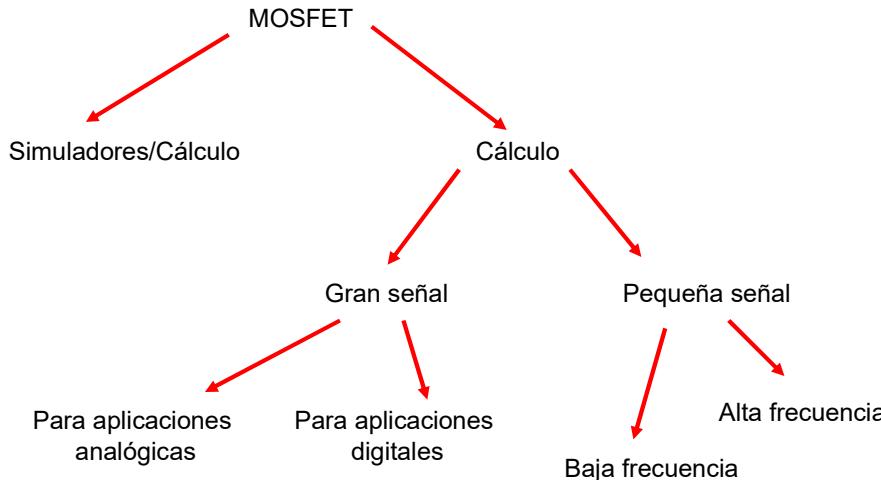
Objetivos

4. El transistor de efecto de campo MOSFET y la tecnología CMOS (8.5 semanas)
 - 4.1 Construcción, símbolo, clasificación
 - 4.2 Funcionamiento
 - 4.3 Curvas características y polarización
 - 4.4 Modelo del MOSFET para aplicaciones analógicas
 - 4.5 Modelo del MOSFET para aplicaciones digitales
 - 4.6 Aplicaciones digitales del MOSFET
 - 4.7 Aplicaciones analógicas del MOSFET
 - 4.8 Fabricación y escalamiento de MOSFETs

– Objetivo

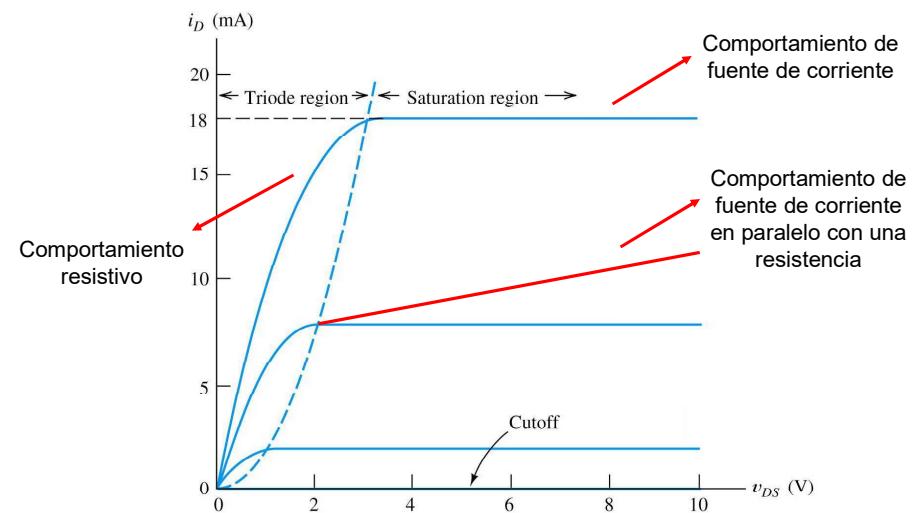
Conocer el comportamiento y modelado del transistor de efecto de campo MOSFET, así como sus principales aplicaciones.

Modelos del MOSFET



Modelo Analógico del MOSFET

- Modelo analógico según región de operación



Modelo Analógico en Región Lineal

- MOSFET se comporta como resistencia R_{ch} (resistencia de canal)

$$R_{ch} = \left(\frac{\partial I_D}{\partial V_{DS}} \right)^{-1}$$

$$Con I_D = K(V_{GS} - V_{TH} - \frac{V_{DS}}{2})V_{DS} \Rightarrow \frac{\partial I_D}{\partial V_{DS}} = K(V_{GS} - V_{TH} - V_{DS})$$

Por lo tanto, la resistencia de canal se calcula como

$$R_{ch} = \frac{1}{K(V_{GS} - V_{TH} - V_{DS})}$$

lo cual para $V_{DS} \ll V_{DSAT}$ puede aproximarse a

$$R_{ch} \approx \frac{1}{K(V_{GS} - V_{TH})}$$

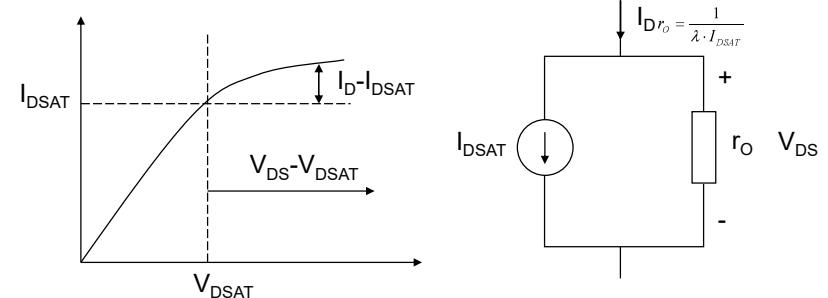
Modelo Analógico en Región de Saturación

- MOSFET se comporta como fuente de corriente en paralelo con resistencia

$$I_D = \underbrace{\frac{1}{2}K(V_{GS} - V_{TH})^2}_{\text{Constante, independiente de } V_{DS}} + \underbrace{\frac{1}{2}K(V_{GS} - V_{TH})^2 \lambda (V_{DS})}_{I = f(V_{DS}) \Rightarrow \text{resistencia}}$$

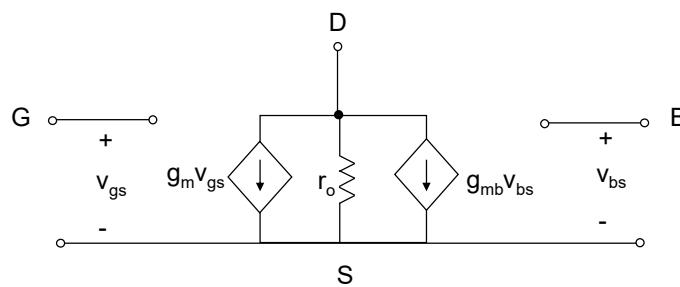
Constante, independiente de V_{DS}
= fuente de corriente ideal I_{DSAT}

$I = f(V_{DS}) \Rightarrow$ resistencia



Modelo de Pequeña Señal del MOSFET

- En baja frecuencia, el modelo de pequeña señal del MOSFET es:



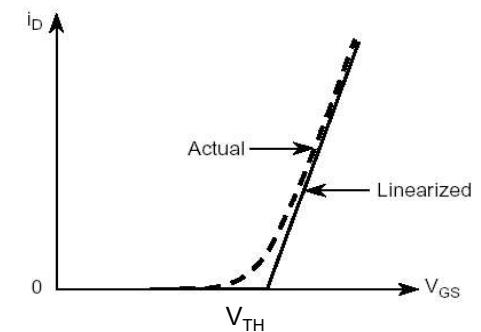
Nótese que cuando $V_B < V_S$, el signo de V_{BS} es negativo y la corriente de la fuente $g_{mb}V_{BS}$ cambia de dirección, indicando una reducción de la corriente entre drenador y surtidor, lo cual equivale a un aumento del voltaje de umbral

Transconductancia

La transconductancia de un MOSFET se define como:

$$g_m = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{v_{GS}=V_{GS}}$$

es decir, g_m es la pendiente de la curva característica de transferencia i_D-v_{GS} , evaluada en el punto de operación



Aplicando la definición

$$g_m = \rightarrow K(V_{GS} - V_{TH}) = \sqrt{2KI_D} = \frac{2I_D}{V_{GS} - V_{TH}}$$

Resistencia de Salida

- Modulación de largo de canal causa resistencia de salida $\neq \infty$

En saturación,

$$I_{DS} = 0 \Big|_{V_{DS}=-V_A}$$

V_A : voltaje de Early

$$-V_A = -1/\lambda$$

Donde I_D es la corriente I_{DS} en saturación sin tomar en cuenta la modulación de largo de canal

$$r_o = \frac{1}{g_d} = \left[\frac{\partial i_{DS}}{\partial v_{DS}} \right]^{-1} \Big|_{v_{GS}=V_{GS}}$$

$$\Rightarrow r_o = \frac{1}{\lambda I_{DS,SAT}} = \frac{V_A}{I_{DS,SAT}}$$

ITCR - Elementos Activos

ITCR - Elementos Activos

$$g_{mb} = \frac{\partial i_D}{\partial v_{BS}} \Big|_{v_{GS}=V_{GS}, v_{BS}=V_{BS}}$$

que también puede calcularse como $g_{mb} = \chi g_m$

$$\text{Donde } \chi = \frac{\partial V_{TH}}{\partial v_{BS}} \Big|_{v_{BS}=V_{BS}} = \frac{\gamma}{2\sqrt{2\phi_B - V_{BS}}}$$

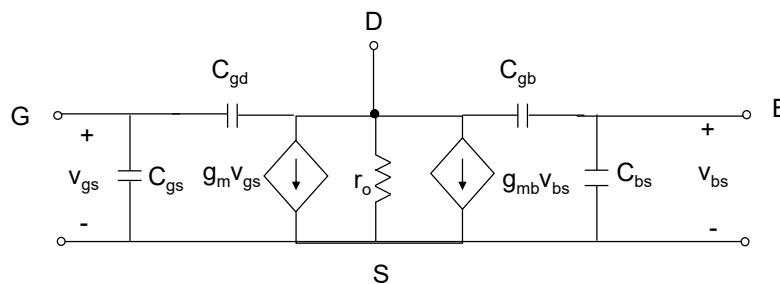
$$\gamma = \frac{\sqrt{2qN_A\varepsilon_{Si}}}{C'_{ox}}$$

$$\varphi_B = V_t \cdot \ln \left(\frac{N_A}{n_i} \right)$$

ITCR - Elementos Activos

Modelo de Pequeña Señal en Alta Frecuencia

- En alta frecuencia, el modelo de pequeña señal del MOSFET es:



Transconductancia de Substrato

La transconductancia de substrato de un MOSFET se define como:

$$g_{mb} = \frac{\partial i_D}{\partial v_{BS}} \Big|_{v_{GS}=V_{GS}, v_{BS}=V_{BS}}$$

que también puede calcularse como $g_{mb} = \chi g_m$

$$\text{Donde } \chi = \frac{\partial V_{TH}}{\partial v_{BS}} \Big|_{v_{BS}=V_{BS}} = \frac{\gamma}{2\sqrt{2\phi_B - V_{BS}}}$$

$$\gamma = \frac{\sqrt{2qN_A\varepsilon_{Si}}}{C'_{ox}}$$

$$\varphi_B = V_t \cdot \ln \left(\frac{N_A}{n_i} \right)$$

Obtención del Modelo de Pequeña Señal

Los pasos a seguir para obtener el equivalente de pequeña señal son:

- Determinar el punto de operación
 - análisis de circuitos
 - ecuaciones características
- Calcular los parámetros de corriente alterna con los puntos de operación obtenidos
- Reemplazar las fuentes de voltaje de corriente directa (CD) por cortos circuitos y las fuentes de corriente de CD por circuitos abiertos.
- Reemplazar los elementos activos del circuito por sus equivalentes de pequeña señal de acuerdo con los parámetros de CA calculados

Ejemplo

- Para el circuito mostrado en la figura, determine el valor de todas las tensiones y corrientes de los transistores en DC (modelo de gran señal) y en AC (modelo de pequeña señal). Además, compruebe la región de operación de todos los transistores, y calcule la resistencia del canal de los transistores que se encuentren en la región lineal.
- Las constantes para cada transistor están descritas en la Tabla 6.2

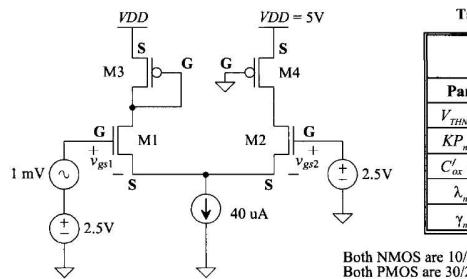


Table 6.2 Summary of device characteristics for the long-channel CMOS process.

Long-channel MOSFET parameters used in this book.
The $V_{DD} = 5$ V and the scale factor is $1 \mu\text{m}$ (scale = $1e-6$)

Parameter	NMOS	PMOS	Comments
V_{THn} and V_{THp}	800 mV	900 mV	Typical
KP_n and KP_p	$120 \mu\text{A}/\text{V}^2$	$40 \mu\text{A}/\text{V}^2$	$t_{ox} = 200 \text{ \AA}$
C'_{ox} and ϵ_{ox}/t_{ox}	$1.75 \text{ fF}/\mu\text{m}^2$	$1.75 \text{ fF}/\mu\text{m}^2$	$C_{ox} = C'_{ox}WL \cdot (\text{scale})^2$
λ_n and λ_p	0.01 V^{-1}	0.0125 V^{-1}	at $L = 2$
γ_n and γ_p	$0.5 \text{ V}^{-1/2}$	$0.6 \text{ V}^{-1/2}$	Body factor

Both NMOS are 10/2
Both PMOS are 30/2

Solución: Punto de operación DC

- Para el análisis de gran señal, se debe apagar la fuente de 1 mV poniéndola en corto circuito. De esta manera, para ambos transistores $V_G = V_D = 2.5$ V
- Ambos tienen $V_S = V_D = 2.5$ V de manera que tienen el mismo V_{GS} , por lo que por ambos fluye la misma corriente. Es decir, la corriente por M1 es la misma que por M2.
- $I_{D1} = I_{D2} = 40 \mu\text{A}/2 = 20 \mu\text{A}$
- Transistores M1 y M2**
- Para M1 y M2, asumiendo que están en saturación (se verificará luego) se tiene:
- $V_{GS1} = V_{GS2} = \sqrt{\frac{2I_D}{\mu_n C_{ox} W/L}} + V_{THn} = \sqrt{\frac{2(20 \mu\text{A})}{(120 \mu\text{A}/\text{V}^2)(10/2)}} + 800 \text{ mV} = 1.058 \text{ V}$
- $V_{GS1} - V_{TH} = 1.058 \text{ V} - 0.8 \text{ V} = 258 \text{ mV}$

- Transistor M3**
- Para M3 se tiene el drain conectado con el source. Es decir, el transistor M3 está conectado como un diodo. Esto significa que opera en la región de saturación, porque siempre se cumple que:
- $V_{SD} > V_{SG} - |V_{THp}|$
- Esto debido a que $V_{SD} = V_{SG}$ y por lo tanto la parte de la derecha siempre es menor que la parte de la izquierda.
- En este punto se puede calcular la tensión $V_{SD3} = V_{SG3}$ utilizando la ecuación de saturación del transistor MOSFET, despejando V_{SG}
- $V_{SG3} = \sqrt{\frac{2I_D}{\mu_p C_{ox} W/L}} + |V_{THp}| = \sqrt{\frac{2(20 \mu\text{A})}{(40 \mu\text{A}/\text{V}^2)(30/2)}} + 900 \text{ mV} = 1.158 \text{ V}$
- $V_{GS3} - V_{TH} = 1.158 \text{ V} - 0.9 \text{ V} = 258 \text{ mV}$

Punto de operación: rama de la izquierda

- Ahora podemos calcular la tensión en todos los nodos de la rama de la izquierda:
- $V_{S1} = V_{S2} = V_G - V_{GS1} = 2.5 \text{ V} - 1.058 \text{ V} = 1.442 \text{ V}$
- $V_{D1} = V_{D3} = V_{DD} - V_{SD3} = V_{DD} - V_{SG3} = 5 \text{ V} - 1.158 \text{ V} = 3.842 \text{ V}$
-

Transistor	Soluciones en DC hasta el momento			
M1	$V_{G1} = 2.5 \text{ V}$	$V_{S1} = 1.442 \text{ V}$	$V_{D1} = 3.842 \text{ V}$	$I_{D1} = 20 \mu\text{A}$
M2	$V_{G2} = 2.5 \text{ V}$	$V_{S2} = 1.442 \text{ V}$		$I_{D2} = 20 \mu\text{A}$
M3	$V_{G3} = 3.842 \text{ V}$	$V_{S3} = 5 \text{ V}$	$V_{D3} = 3.842 \text{ V}$	$I_{D3} = 20 \mu\text{A}$
M4	$V_{G4} = 0$	$V_{S4} = 5 \text{ V}$		$I_{D4} = 20 \mu\text{A}$

- Transistor M4
- Para M4 se tiene que la tensión $V_{SG4} = 5 V$ de manera que es muy difícil que el transistor opere en saturación. La condición de saturación es la siguiente:
 - $V_{SD4} > V_{SG4} - |V_{THp}|$
 - $V_{SD4} > 5 V - 0.9 V$
 - $V_{SD4} > 4.1 V$
 - Es decir, la tensión en el source del transistor M4 debe ser menor a 0.9 V para saturación.
 - Sin embargo, esto no puede cumplirse, porque la tensión en el source del transistor M2 se había calculado anteriormente como $V_{S2} = 1.442 V$.
 - Por este motivo el transistor M4 está en la región lineal (triodo) de manera que podemos utilizar la ecuación de corriente lineal para determinar V_{SD4}
- $I_{D4} = \mu_p C_{ox} \frac{W}{L} \left((V_{SG} - |V_{THp}|) V_{SD} - \frac{V_{SD}^2}{2} \right)$

- Reacomodando en la forma canónica $ax^2 + bx + c = 0$
- $0 = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{THp}|) V_{SD}^2 - \mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{THp}|) V_{SD} + I_D$
- De donde
- $a = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{THp}|) = \frac{1}{2} \left(40 \frac{\mu A}{V^2} \right) \left(\frac{30}{2} \right) (5 V - 0.9 V) = 0.00123$
- $b = -\mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{THp}|) = - \left(40 \frac{\mu A}{V^2} \right) \left(\frac{30}{2} \right) (5 V - 0.9 V) = -0.00246$
- $c = I_D = 20 \mu A$
- Resolviendo la ecuación cuadrática para V_{SD4} se obtiene
- $V_{SD4} = 8.13 mV$ o $V_{SD4} = 1.992 V$
- La solución correcta es $V_{SD4} = 8.13 mV$ por el siguiente análisis:

- La resistencia del canal para el transistor M4 se calcula como:
- $R_{chM4} = \frac{1}{\mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{THp}|)} = \frac{1}{(40 \frac{\mu A}{V^2}) (30/2) (5 V - 0.9 V)} = 407 \Omega$
- De donde obtenemos de nuevo la tensión V_{SD4}
- $V_{SD4} = I_D R_{chM4} = 20 \mu A \cdot 407 \Omega = 8.14 mV$
- Punto de operación: rama de la derecha
- A partir del resultado anterior podemos calcular el punto de operación de la rama de la derecha.
- $V_{D2} = V_{D4} = V_{DD} - V_{SD4} = 5 V - 8.14 mV = 4.99186 V$

Transistor	Soluciones en DC			
M1	$V_{G1} = 2.5 V$	$V_{S1} = 1.442 V$	$V_{D1} = 3.842 V$	$I_{D1} = 20 \mu A$
M2	$V_{G2} = 2.5 V$	$V_{S2} = 1.442 V$	$V_{D2} = 4.992 V$	$I_{D2} = 20 \mu A$
M3	$V_{G3} = 3.842 V$	$V_{S3} = 5 V$	$V_{D3} = 3.842 V$	$I_{D3} = 20 \mu A$
M4	$V_{G4} = 0$	$V_{S4} = 5 V$	$V_{D4} = 4.992 V$	$I_{D4} = 20 \mu A$

- **Solución: Análisis de AC**
- Para este análisis se puede calcular directamente la transconductancia de cada transistor de acuerdo con el punto de operación y los parámetros de fabricación. De esta manera:
- $g_{m1} = g_{m2} = \sqrt{2 \mu_n C_{ox} \frac{W}{L} I_D} = \sqrt{2 \left(120 \frac{\mu A}{V^2} \right) \left(\frac{10}{2} \right) (20 \mu A)} = 150 \mu A/V$
- $g_{m3} = \sqrt{2 \mu_p C_{ox} \frac{W}{L} I_D} = \sqrt{2 \left(40 \frac{\mu A}{V^2} \right) \left(\frac{30}{2} \right) (20 \mu A)} = 150 \mu A/V$
- El transistor M4 está operando como una resistencia, por lo que se modela como tal, no es necesario calcular una transconductancia. Además, el transistor M3 está operando como un diodo, por lo que podría ser reemplazado por una resistencia con valor $1/g_{m3}$

Transistor	Soluciones en AC
M1	$g_{m1} = 150 \mu A/V$
M2	$g_{m2} = 150 \mu A/V$
M3	$g_{m3} = 150 \mu A/V$
M4	$R_{chM4} = 407 \Omega$

Clase 23

Aplicaciones Analógicas del MOSFET

Instituto Tecnológico de Costa Rica

Elementos Activos

Dr.-Ing. Juan José Montero Rodríguez

Semestre II-2019

Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

66

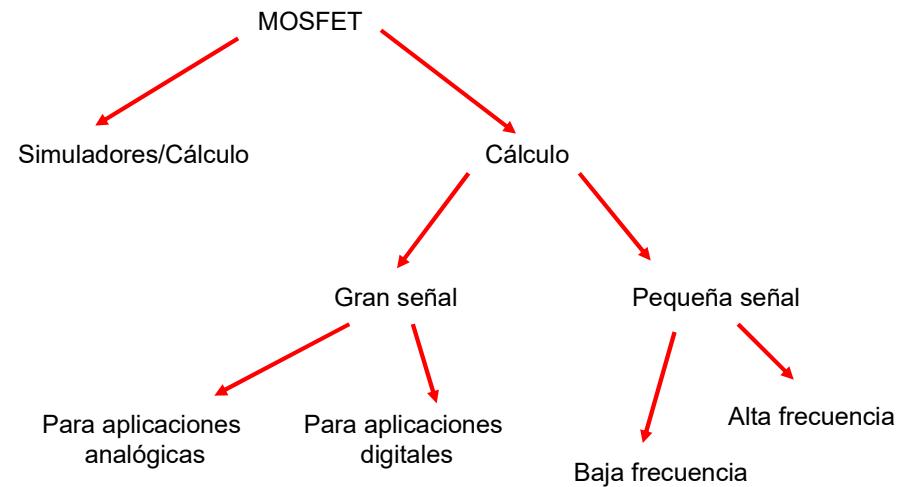
Amplificadores MOSFET

Espejos de corriente MOSFET

Clase 24 Modelo Digital del MOSFET

Instituto Tecnológico de Costa Rica
Elementos Activos
Dr.-Ing. Juan José Montero Rodríguez
Semestre II-2019

Modelos del MOSFET



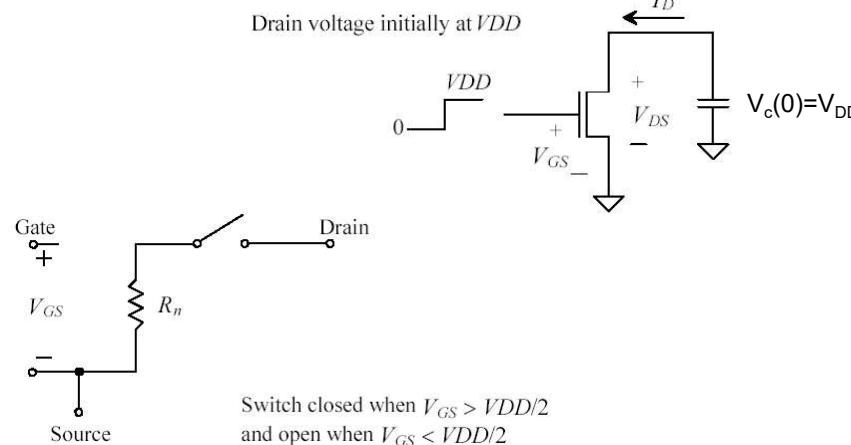
Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

70

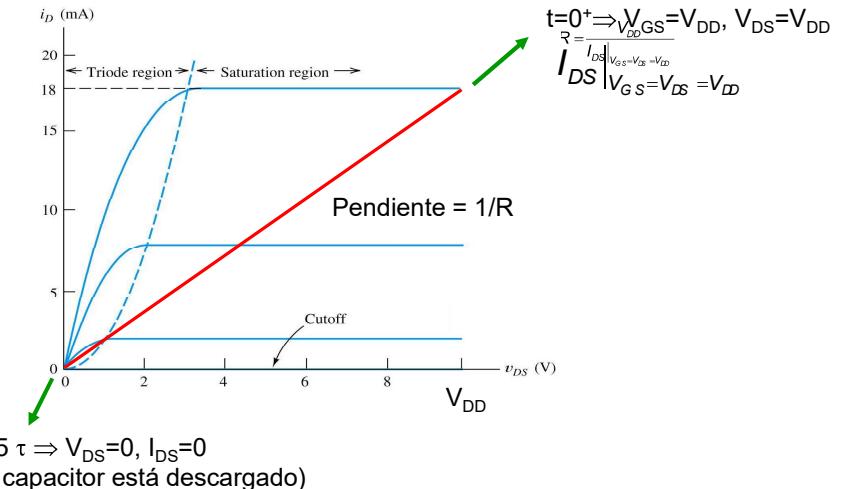
Modelo del MOSFET Para Aplicaciones Digitales

- MOSFET como interruptor
- Resistencia de conmutación
 - Asumir paso de corte a saturación en tiempo $t \rightarrow 0$

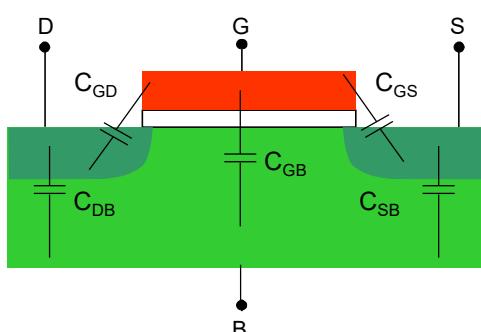


Modelo del MOSFET Para Aplicaciones Digitales

- Resistencia de conmutación
 - Para calcular la resistencia de conmutación se toman los valores finales e iniciales de voltaje y corriente, como se muestra en el gráfico



Capacitancias del MOSFET



Capacitancias del MOSFET limitan su respuesta de frecuencia

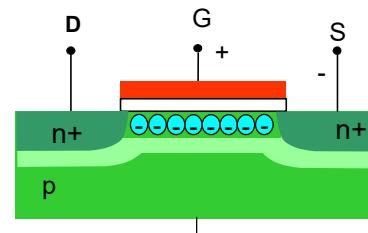
Capacitancias del MOSFET

- Intrínsecas
 - Independiente de voltaje
 - Debido a fabricación: ej.: traslapes (C_{ov})

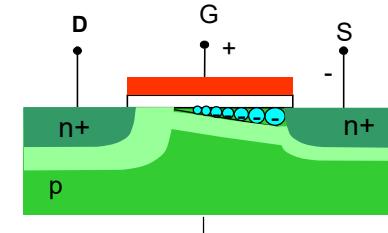
- Extrínsecas
 - Dependiente de voltaje
 - Influenciadas por presencia del canal

Capacitancias del MOSFET

Region de operación	C_{GB}	C_{GD}	C_{GS}
Corte	$C_{ox}' W L$	C_{ov}	C_{ov}
Lineal	C_{ovb}	$1/2 C_{ox}' W L$	$1/2 C_{ox}' W L$
Saturación	C_{ovb}	C_{ov}	$2/3 C_{ox}' W L$

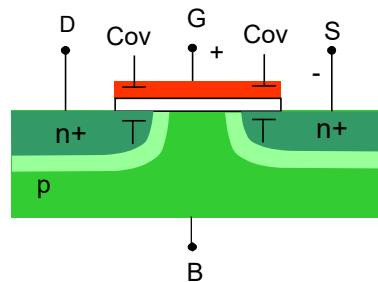


Compuerta y substrato aislados por canal
Canal conecta compuerta con drenador y fuente

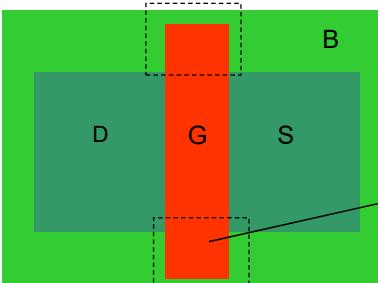


Compuerta y substrato aislados por canal
Canal conecta compuerta con fuente

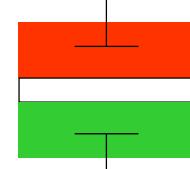
Capacitancias de traslape



En la región de corte, $C_{GD} = C_{GS} = C_{ov}$ = capacitancia por el traslape entre regiones de difusión y la compuerta

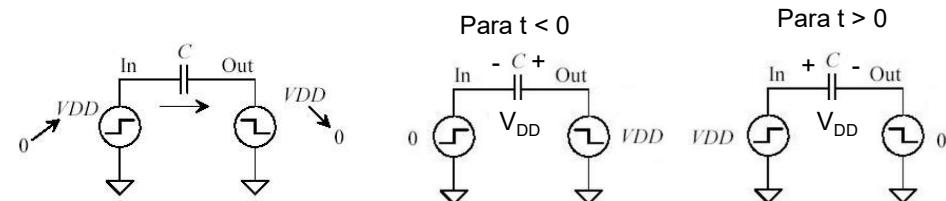


En las zonas lineal y de saturación, $C_{GB} = C_{ovb}$ = capacitancia por el traslape entre la extensión de la compuerta y el substrato

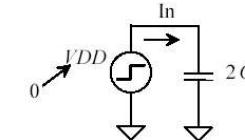


Modelo del MOSFET Para Aplicaciones Digitales

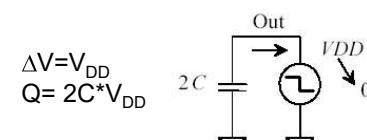
- Para comprender los efectos capacitivos, considere primero lo siguiente:



$$\Delta V = 2V_{DD} \quad Q = C * 2V_{DD}$$



(a) Input circuit



(b) Output circuit

El circuito puede dividirse en un circuito de entrada y un circuito de salida con el doble de la capacitancia

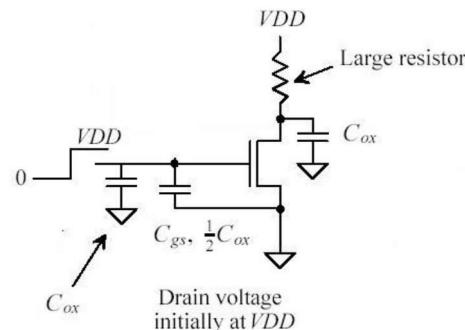
- Efectos capacitivos

Asuma que la capacitancia entre compuerta y drenador, así como la capacitancia entre compuerta y surtidor es $0.5C_{ox}$ (operación en la zona lineal).

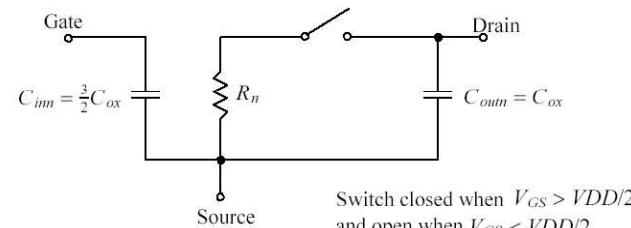
Esta es una sobreestimación del valor de la capacitancia, para calcular el peor de los casos.

La capacitancia entre compuerta y drenador conecta la entrada con la salida.

Separando la capacitancia entre compuerta y drenador en una capacitancia equivalente entre la entrada y tierra, y la salida y tierra se tiene el circuito de la derecha



- El modelo equivalente incluyendo efectos capacitivos es, entonces



$$C_{in} = C_{gs} + C_{gd} = 0.5C_{ox} + C_{ox} = 1.5C_{ox}$$

$$C_{out} = C_{ds} = C_{ox}$$

ITCR - Elementos Activos

TEC | Tecnológico
de Costa Rica

Escuela de Ingeniería Electrónica
Semestre II-2019

Clase 25 Aplicaciones Digitales del MOSFET

Instituto Tecnológico de Costa Rica
Elementos Activos
Dr.-Ing. Juan José Montero Rodríguez
Semestre II-2019

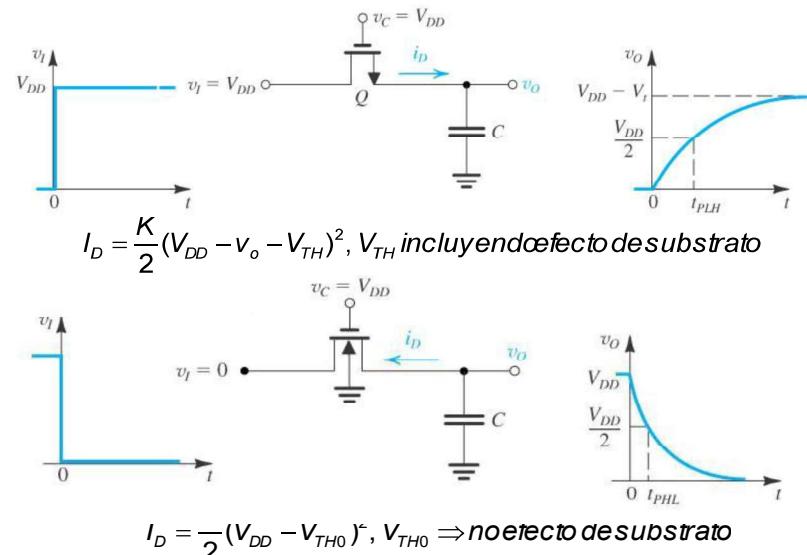
ITCR - Elementos Activos

Objetivos

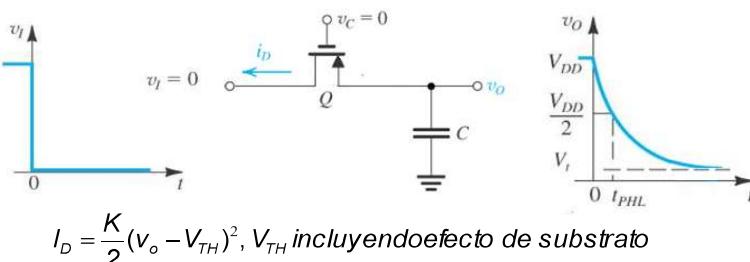
- El transistor de efecto de campo MOSFET y la tecnología CMOS (8.5 semanas)
 - Construcción, símbolo, clasificación.
 - Funcionamiento.
 - Curvas características y polarización.
 - Modelo del MOSFET para aplicaciones analógicas.
 - Modelo del MOSFET para aplicaciones digitales.
 - Capacitancias internas y modelos de alta frecuencia.
 - Aplicaciones: El FET como interruptor: interruptor serie, paralelo, inversor lógico y compuertas lógicas básicas
 - Escalamiento de MOSFETs
- Objetivo
- Conocer el comportamiento y modelado del transistor de efecto de campo MOSFET, así como sus principales aplicaciones.

Región	NMOS	PMOS
Corte (Sub-umbral)	$V_{GS} < V_{TH}$ $S = m \cdot V_T \cdot \ln 10$ $I_D = I_{D0} e^{\frac{V_{GS}-V_{TH}}{m \cdot V_T}}$ $I_D = I_{D0} e^{\frac{(V_{GS}-V_{TH}) \ln 10}{S}}$	$V_{SG} < V_{TH} $ $S = m \cdot V_T \cdot \ln 10$ $I_D = I_{D0} e^{\frac{V_{SG}- V_{TH} }{m \cdot V_T}}$ $I_D = I_{D0} e^{\frac{(V_{SG}- V_{TH}) \ln 10}{S}}$
Región Lineal (triodo)	$V_{GS} \geq V_{TH}, V_{DS} < V_{GS} - V_{TH}$ $I_D = K \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right) V_{DS}$	$V_{SG} \geq V_{TH} , V_{SD} < V_{SG} - V_{TH} $ $I_D = K \left(V_{SG} - V_{TH} - \frac{V_{SD}}{2} \right) V_{SD}$
	$V_{GS} \geq V_{TH}, V_{DS} \geq V_{GS} - V_{TH}$ $I_D = \frac{K}{2} (V_{GS} - V_{TH})^2$	$V_{SG} \geq V_{TH} , V_{SD} \geq V_{SG} - V_{TH} $ $I_D = \frac{K}{2} (V_{SG} - V_{TH})^2$
	$V_{GS} \geq V_{TH}, V_{DS} \geq V_{GS} - V_{TH}$ $I_D = \frac{K}{2} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$	$V_{SG} \geq V_{TH} , V_{SD} \geq V_{SG} - V_{TH} $ $I_D = \frac{K}{2} (V_{SG} - V_{TH})^2 (1 + \lambda V_{SD})$

- En el primer caso, el transistor se ve afectado por el efecto de substrato

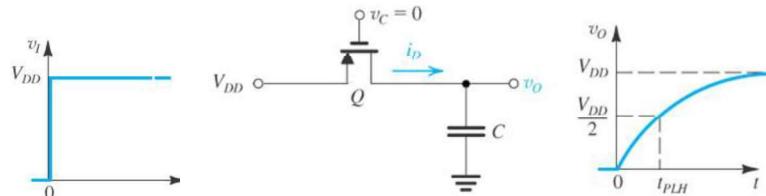


PMOS como Interruptor Serie



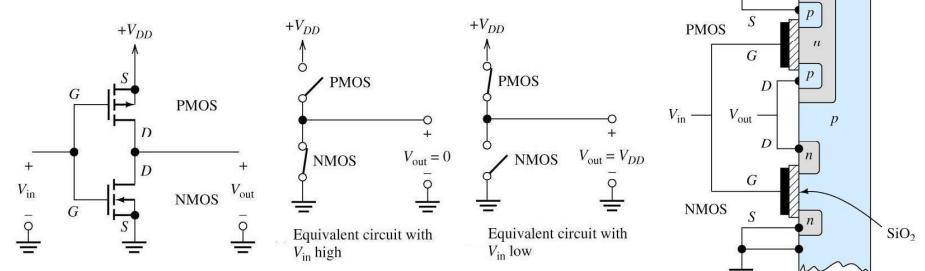
- En el segundo caso, el transistor se ve afectado por el efecto de substrato

$$I_D = \frac{K}{2} (V_{DD} - V_{TH0})^2, V_{TH0} \Rightarrow \text{no efecto de substrato}$$



Inversor CMOS

CMOS: Complementary Metal Oxide Semiconductor (1963)
Circuitos con transistores PMOS y NMOS



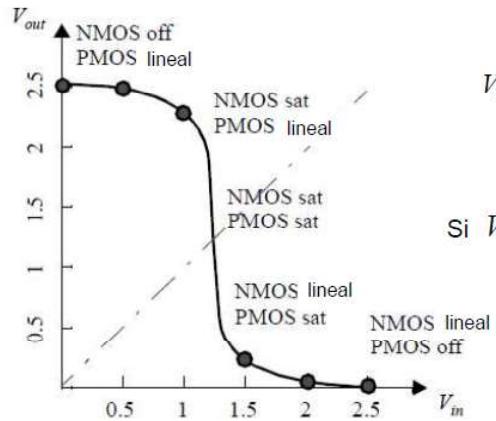
\$V_{in} > V_{THN}, V_{in} = V_{DD} \Rightarrow\$ NMOS activado, PMOS inactivo
\$\Rightarrow V_{out} = 0V\$: NMOS en región lineal, PMOS en región de corte

Curva de Transferencia de Tensión

Punto de disparo V_{SP} de un inverter = cuando $V_{out} = V_{in}$

$$V_{SG,P} = V_{DD} - V_{in} = V_{SD,P}$$

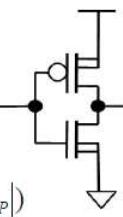
$$V_{GS,N} = V_{in} = V_{DS,N}$$



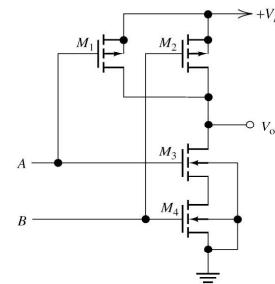
$$V_{in} = \frac{V_{THN} + \sqrt{\frac{K_p}{K_n}}(V_{DD} - |V_{THP}|)}{1 + \sqrt{\frac{K_p}{K_n}}}$$

Si $V_{in} = \frac{V_{DD}}{2} = V_{out}$ = inversor simétrico

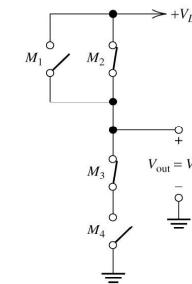
Para lograr un inversor simétrico, deben compensarse las diferencias de movilidades de huecos y electrones ajustando las dimensiones de los transistores



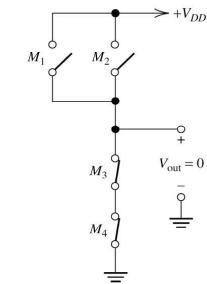
Compuertas Lógicas: Compuerta NAND



(a) Circuit diagram



(b) A high and B low



(c) Both A and B are high

Figure 12.32 Two-input CMOS NAND gate.

Entrada lógica	Voltaje de entrada	Salida lógica	Voltaje de salida
A=0, B=0	$V_A=0, V_B=0$	1	V_{DD}
A=0, B=1	$V_A=0, V_B=V_{DD}$	1	V_{DD}
A=1, B=0	$V_A=V_{DD}, V_B=0$	1	V_{DD}
A=1, B=1	$V_A=V_{DD}, V_B=V_{DD}$	0	0

Compuertas Lógicas: Compuerta NOR

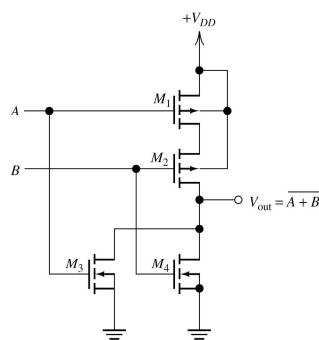


Figure 12.33 Two-input CMOS NOR gate.

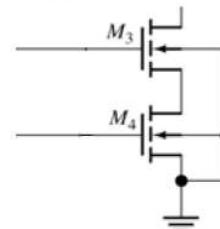
(a) A and B both low

(b) A high and B low

Arreglos de Transistores

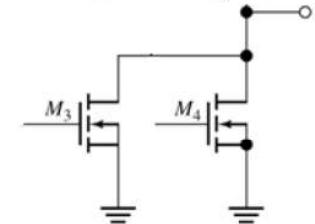
Todo transistor tiene una resistencia asociada, reflejada en las regiones lineal y de saturación por el parámetro de transconductancia. Por lo tanto:

Transistores en serie



= como conductancias en serie

Transistores en paralelo



= como conductancias en paralelo

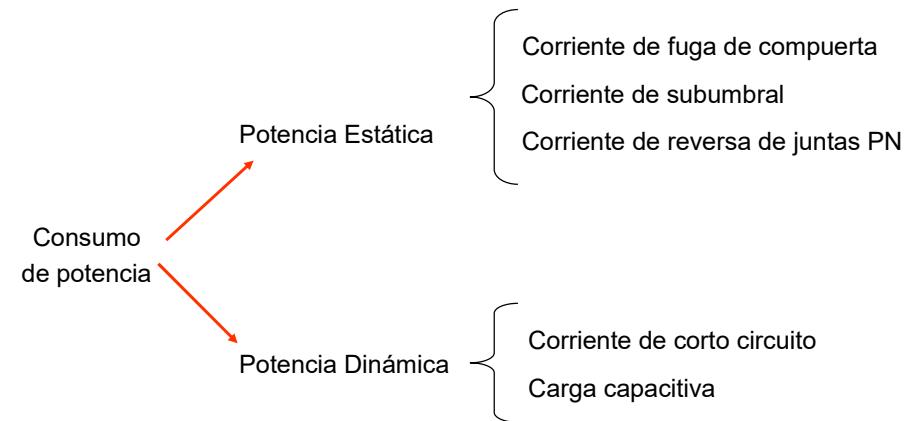
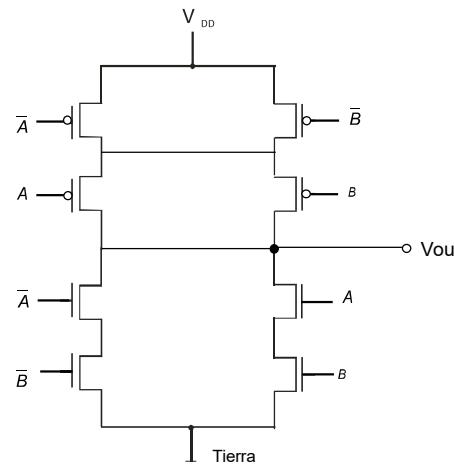
$$K_{eq} = \left(\sum_{i=1}^n \frac{1}{K_i} \right)^{-1}$$

$$K_{eq} = \sum_{i=1}^n K_i$$

Entrada lógica	Voltaje de entrada	Salida lógica	Voltaje de salida
A=0, B=0	$V_A=0, V_B=0$	1	V_{DD}
A=0, B=1	$V_A=0, V_B=V_{DD}$	0	0
A=1, B=0	$V_A=V_{DD}, V_B=0$	0	0
A=1, B=1	$V_A=V_{DD}, V_B=V_{DD}$	0	0

¿Cuál es la función lógica de este circuito?

Consumo de Potencia



ITCR - Elementos Activos

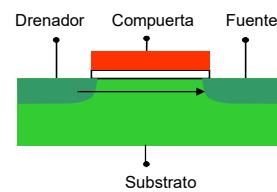
Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

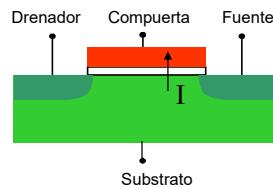
90

Potencia Estática

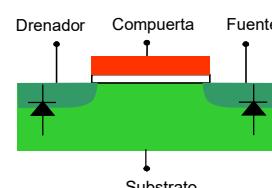
Corriente de subumbral ($V_{GS} < 0$)



Corriente de fuga de compuerta

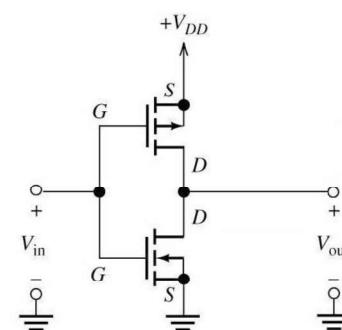


Corriente de reversa de juntas PN



Potencia Dinámica

- Potencia dinámica debido a corriente de corto circuito



Para $V_{IN}=V_{OUT}$ ambos transistores operan en saturación

⇒ ambos transistores conducen, permitiendo un flujo de corriente de V_{DD} a tierra

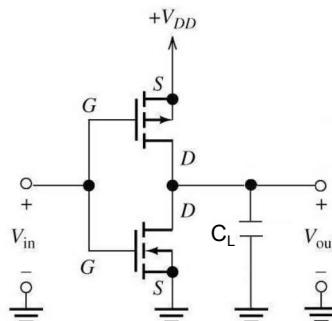
⇒Corriente de corto circuito

$$\text{Potencia disipada: } P_{SC} = I_{SC} \cdot V_{DD} = \frac{2}{3} \cdot K \cdot \frac{t_r}{T} \left(\frac{V_{DD}}{2} - V_{TH} \right)^3$$

t_r : tiempo de subida (se asume $t_r = t_f$)

T: período de V_{IN}

- Potencia dinámica debido a cargas capacitivas



Capacitancia de carga debido a:

- $-C_{OX}$ de compuertas siguientes
- $-C_{OX}$ propia
- $-C_W$, capacitancia parásita de interconexión

Representadas por C_L

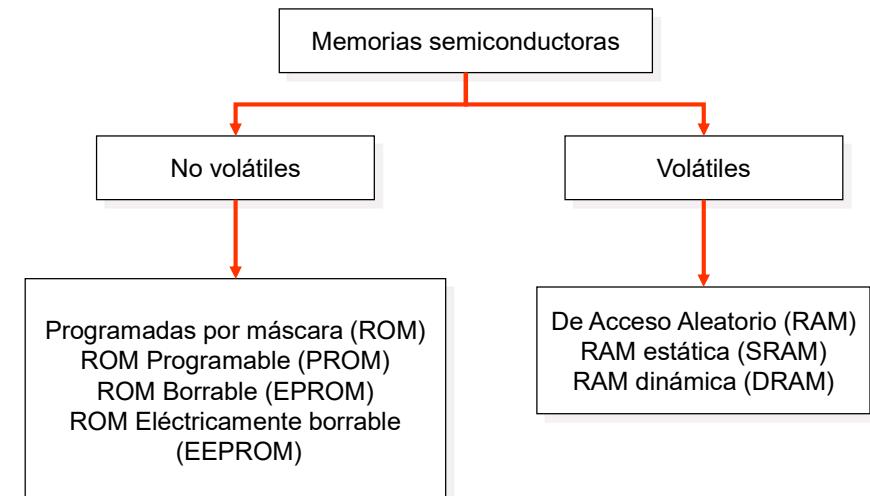
$$P_L = A \cdot f \cdot C_L \cdot V_{DD}^2$$

Potencia disipada:

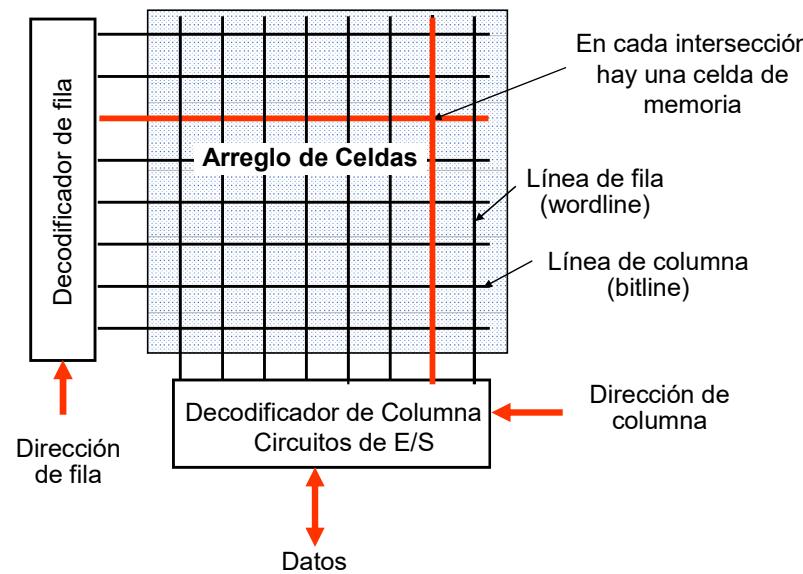
f : frecuencia de conmutación, C_L : capacitancia de carga, A : factor de actividad

A : factor de actividad = probabilidad de conmutación

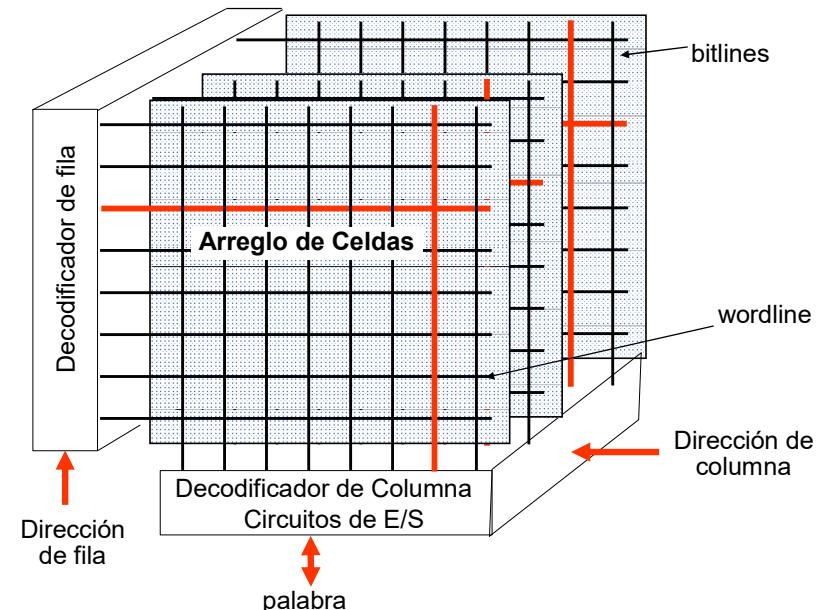
- Basadas en transistores MOSFET para lograr alta densidad



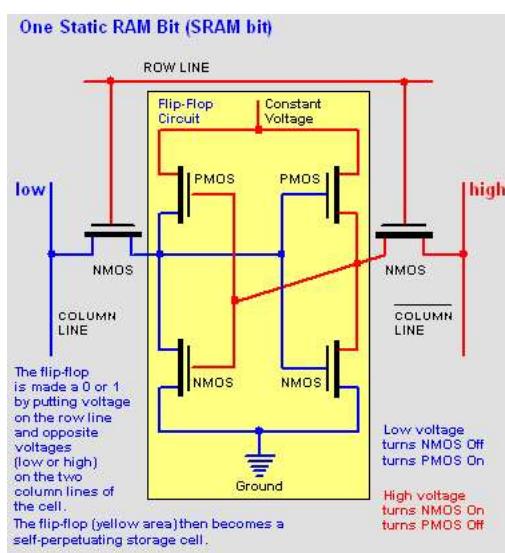
Organización de Memorias



Organización de una Memoria (2)



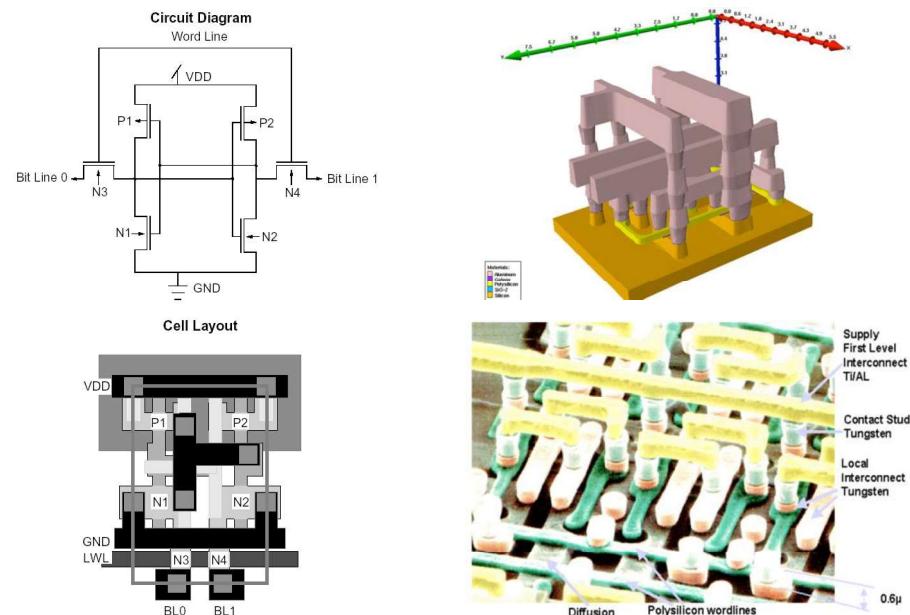
Celda de Memoria SRAM



- Las memorias RAM son volátiles = pierden los datos al remover la alimentación
- SRAM: Static Random Access Memory
- Cada celda almacena un bit, se requieren 6 transistores por bit
- Celda SRAM: cerrojo
 - Dos inversores mutuamente acoplados
 - Dos transistores de acceso al cerrojo
- Transistores de línea de palabra conectan el cerrojo con los circuitos de lectura y escritura

ITCR - Elementos Activos

¿Cómo se implementa una celda SRAM?

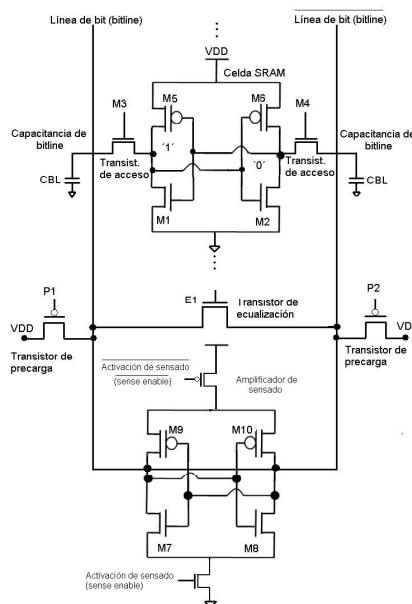


Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

98

Lectura de una celda SRAM



- Precargar las líneas de bit a V_{DD}
- Igualar niveles de tensión de ambas líneas
- Desactivar precarga y ecualización
- Activar línea de palabra
- Esperar hasta que haya una diferencia de 100mV entre ambas líneas de bit
- Desactivar línea de palabra
- Activar amplificador de sensado
- Amplificar
- Transmitir el dato a la salida

ITCR - Elementos Activos

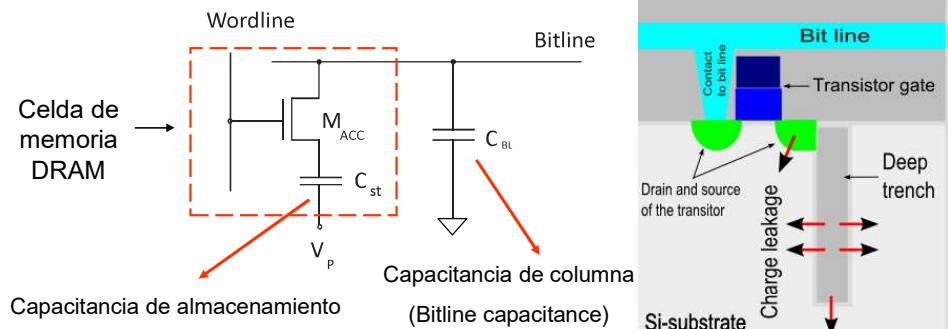
Celdas de Memoria DRAM

DRAM: Dynamic Random Access Memory

Dato se guarda en un capacitor de almacenamiento: capacitor cargado = '1', descargado = '0'

El transistor de línea de palabra conecta el capacitor de almacenamiento con el circuito de lectura/escritura

Corriente de fuga descarga capacitor \Rightarrow dato debe reescribirse periódicamente= refrescamiento de datos



Dr.-Ing. Juan José Montero R.

99

Dr.-Ing. Juan José Montero R.

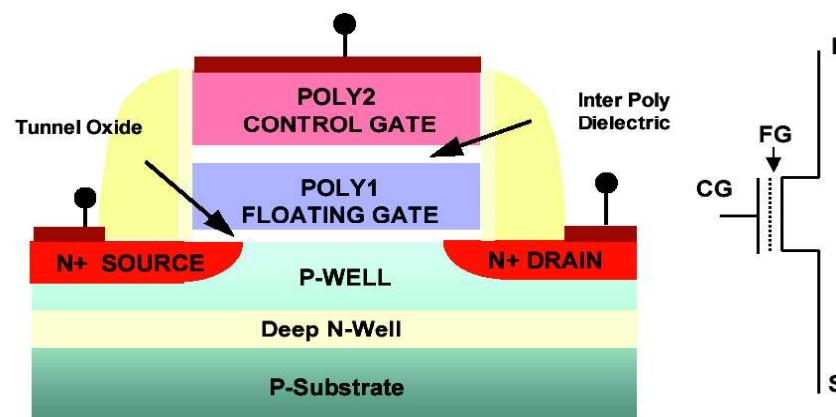
ITCR - Elementos Activos

100

- No volátil = Mantienen los datos aún sin tensión de alimentación
- Se clasifican por sus métodos de programación y borrado
 - Programables o no por el usuario
 - Borrables eléctrica u ópticamente
- Principio de almacenamiento de datos:
 - Durante el proceso de fabricación
 - Por conexiones programables (ej: fusibles)
 - Por cambio de voltaje de umbral
- EEPROM y EPROM
 - Métodos eléctricos de escritura y borrado son destructivos
 - Número de ciclos de escritura-borrado es restringido (mínimo 100 mil)
 - Tiempo de retención de datos es restringido (mínimo 10 años)
 - FLASH es un tipo de EEPROM

Tipo	Costo	Programabilidad	Tiempo de programación	Tiempo de borrado
ROM	bajo	Por máscara	Semanas	No borrable
PROM	bajo	Una vez, eléctricamente	Segundos	No borrable
EPROM	Medio	Hasta 100 mil veces, eléctricamente	Segundos	20 minutos (luz UV)
Flash	Alto	Hasta 100 mil veces, eléctricamente	100 µs	Por bloques, eléctricamente
EEPROM	Alto	Hasta 100 mil veces, eléctricamente	100 µs	10 ms por byte, eléctricamente

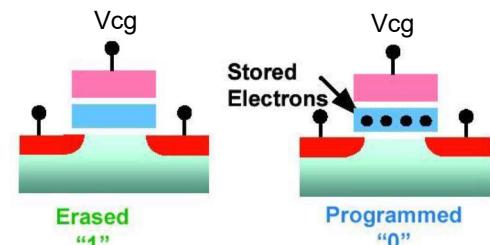
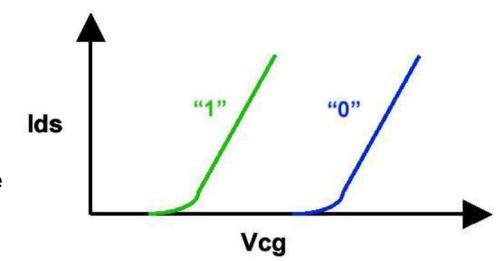
Memoria no Volátil de Compuerta Flotante

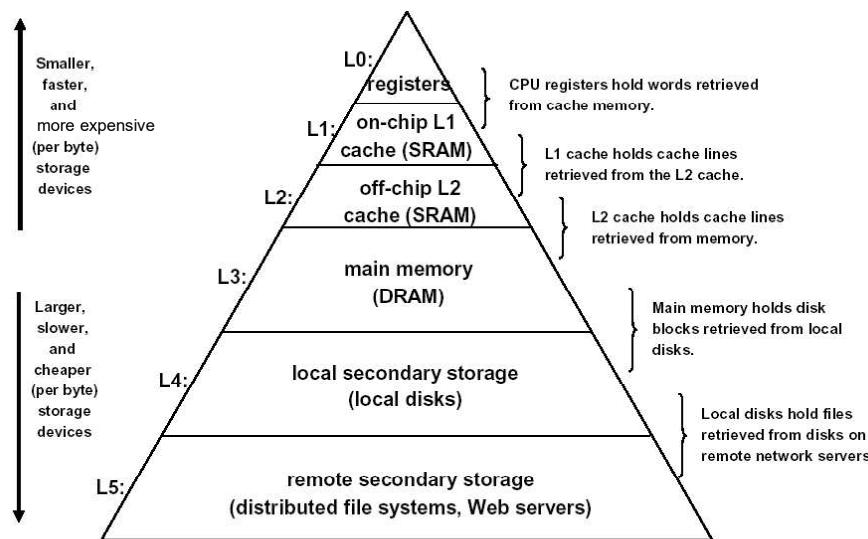


- Poly 2 opera como compuerta del transistor
- Poly 1 opera como compuerta flotante para almacenamiento de portadores de carga
- Compuerta flotante: no hay contacto eléctrico directo

EEPROM

- Almacenamiento de información se representa con cambios en el voltaje de umbral
- El cambio en el voltaje de umbral se logra inyectando portadores de carga en la compuerta flotante y extrayéndolos de ella
- Degradación de óxido limita número de ciclos de escritura-borrado y el tiempo de retención de datos
- Dos métodos principales de inyección y extracción:
 - Inyección de portadores de carga calientes
 - Fowler-Nordheim Tunneling





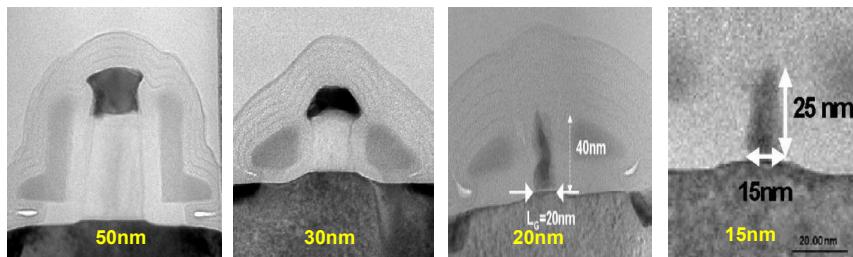
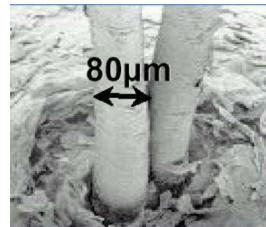
Clase 26 Escalamiento de MOSFETs

Instituto Tecnológico de Costa Rica
Elementos Activos
Dr.-Ing. Juan José Montero Rodríguez
Semestre II-2019

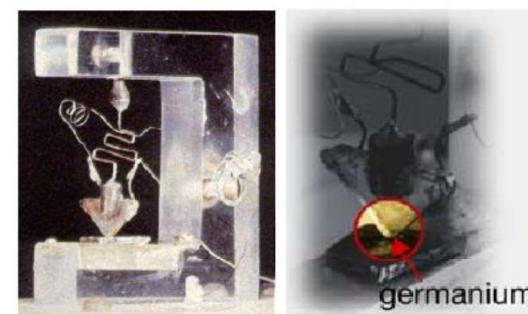
La Revolución de la Microelectrónica

"When you see the numbers or hear your company's name on the evening news...and you are once again reminded that this is no longer an industry, but an economic and cultural phenomenon, a crucial force at the heart of the modern world"

(G. Moore)



El Primer Transistor



1947
Bardeen, Brattain, Shockley

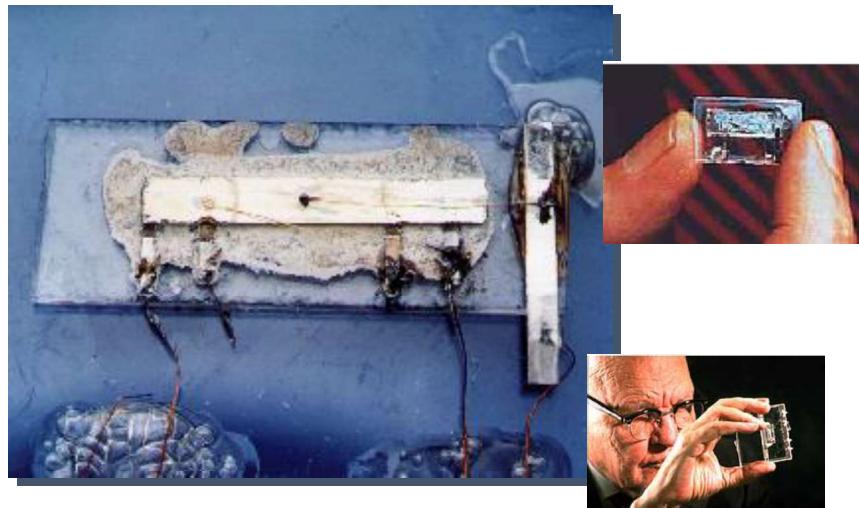
1956: Premio Nobel

Patente del efecto de campo: 1925 Lillienfeld
Patente del MOSFET: 1928 Lillienfeld

Problema de fabricación del MOSFET: calidad del aislante

El primer Circuito Integrado

Tecnología de circuitos integrados:
inventada por Jack Kilby, de Texas Instruments en 1958

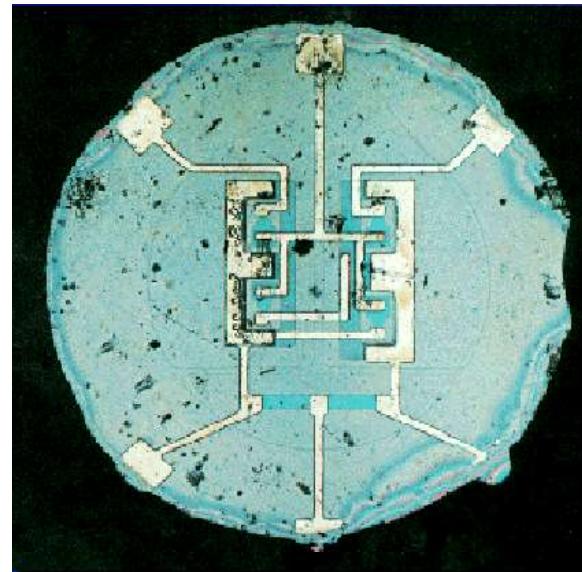


Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

109

Primer Circuito Integrado Planar



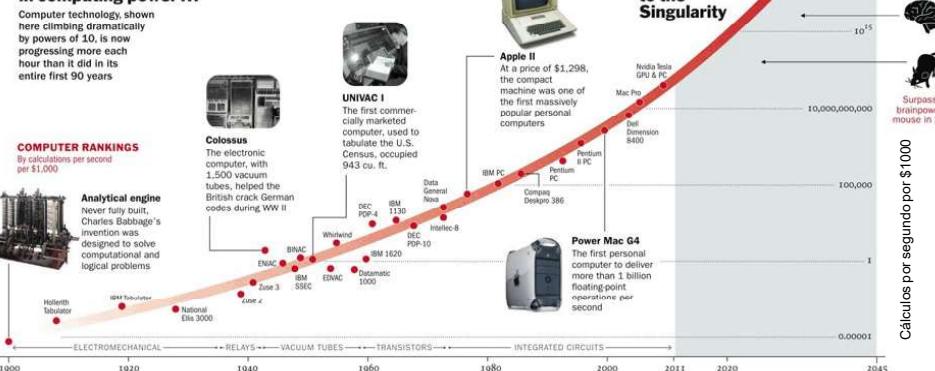
1961
2 pulgadas de diámetro
4 transistores y algunas
resistencias

Evolución del Poder Computacional

1 The accelerating pace of change...



2 ...and exponential growth in computing power...



Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

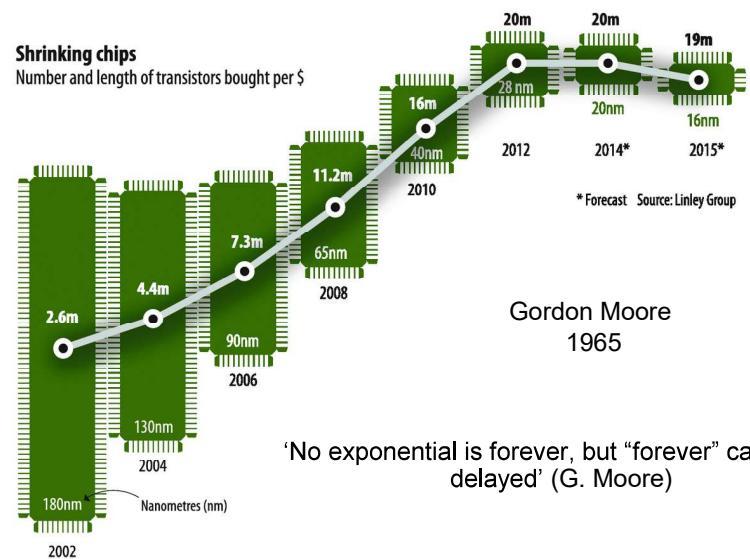
111

Ley de Moore

"El número de transistores en un chip se duplica cada 24 meses"

Shrinking chips

Number and length of transistors bought per \$



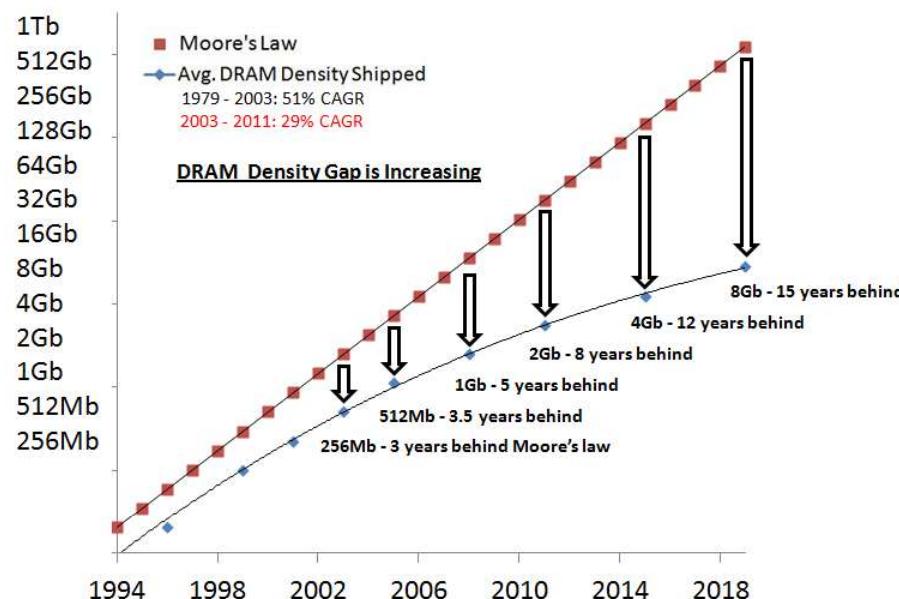
Gordon Moore
1965

Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

112

Ley de Moore en Memorias DRAM



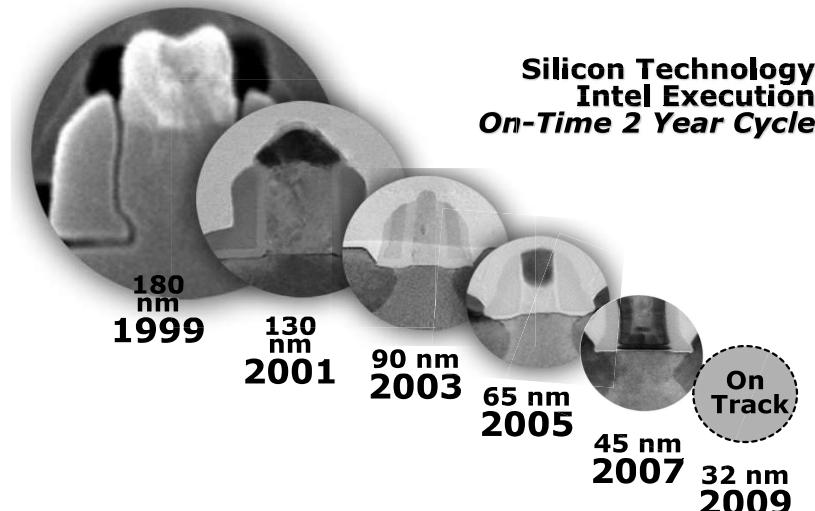
Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

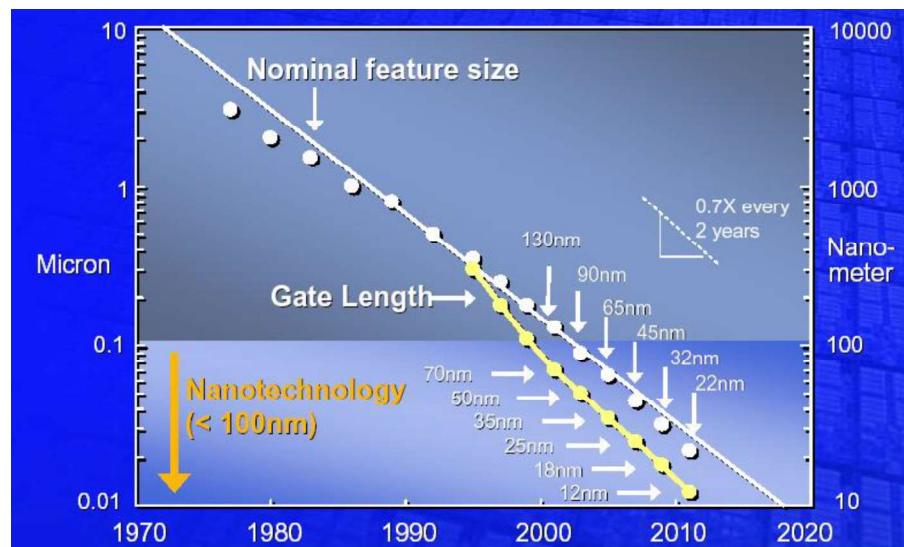
113

Escalamiento del MOSFET

- El avance del MOSFET de una generación tecnológica a la siguiente se rige por la teoría de escalamiento



Escalamiento

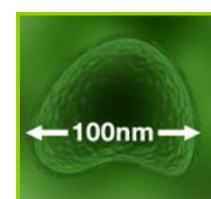
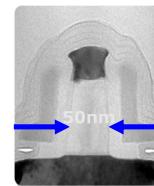


Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

115

Predicción de Escalamiento



Dr.-Ing. Juan José Montero R.

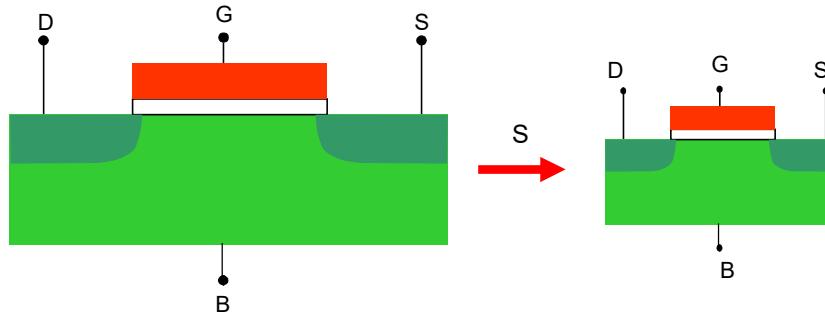
ITCR - Elementos Activos

116

Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

- Inicialmente propuesta por R. H. Dennard y su equipo en los 60's
- Las dimensiones del transistor pueden escalarse en un factor $S > 1$, si el campo eléctrico se mantiene constante
- Factor de escalamiento ≈ 1.4 por generación tecnológica



Dos tipos de escalamiento: de campo constante y de voltaje constante

- Objetivo: mantener constante el campo eléctrico en el transistor y con ello, el comportamiento de un transistor de canal largo

Magnitud	Dimensión original	Escalamiento
Largo de canal	L	L/S
Ancho de canal	W	W/S
Espesor de óxido	t_{ox}	t_{ox}/S
Profundidad de difusión de fuente y drenador	x_j	x_j/S
Voltaje	V	V/S
Concentración de dopado de substrato	N_A, N_D	$N_A \cdot S, N_D \cdot S$

La concentración de dopado de substrato se aumenta para escalar el ancho de la zona de agotamiento

Escalamiento de Campo Constante

Efectos del escalamiento de campo constante

Magnitud	Valor original	Escalamiento
Corriente de drenador	I_{DS}	I_{DS}/S
Área del transistor	A	A/S^2
Capacitancia de óxido	C_{ox}	C_{ox}/S
Retardo de compuerta	τ	τ/S
Consumo de Potencia	P_s	P_s/S^2
Densidad de potencia	P_D	P_D
Producto potencia-retardo	PDP	PDP/S^3

- Compuertas más rápidas
- Mayor densidad de integración
- Densidad de potencia constante

Escalamiento de Voltaje Constante

- Objetivo: mantener constante voltaje en el transistor e intentar minimizar incrementos en el campo eléctrico

Magnitud	Dimensión original	Escalamiento
Largo de canal	L	L/S
Ancho de canal	W	W/S
Espesor de óxido	t_{ox}	t_{ox}/S
Profundidad de difusión de fuente y drenador	x_j	x_j/S
Voltaje	V	V
Concentración de dopado de substrato	N_A, N_D	$N_A \cdot S^2, N_D \cdot S^2$

Se pretende mantener compatibilidad de voltajes entre generaciones tecnológicas

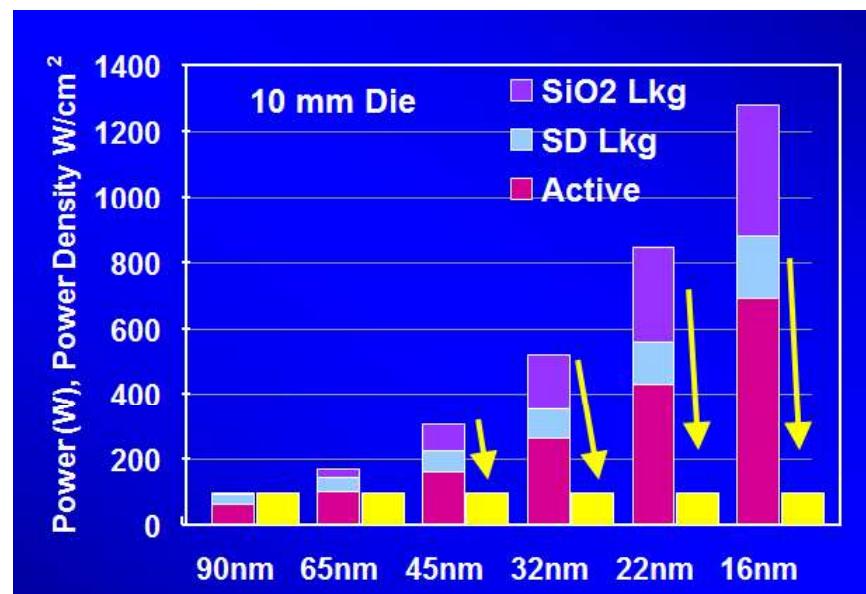
Escalamiento de Voltaje Constante

Efectos del escalamiento de voltaje constante

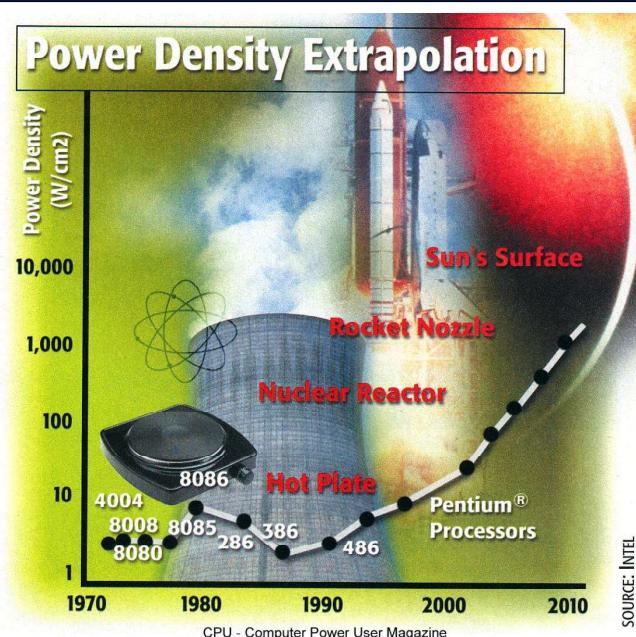
Magnitud	Valor original	Escalamiento
Corriente de drenador	I_{DS}	$I_{DS} * S$
Área del transistor	A	A / S^2
Capacitancia de óxido	C_{ox}	C_{ox} / S
Retardo de compuerta	τ	τ / S^2
Consumo de potencia	P	$P * S$
Densidad de potencia	P_D	$P_D * S^3$

- Compuertas más rápidas
- Mayor densidad de integración
- Densidad de potencia aumenta \Rightarrow problemas de disipación de calor

Consumo de Potencia de Procesadores



Calentamiento en circuitos integrados



Efectos del Escalamiento

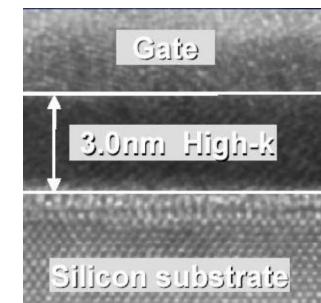
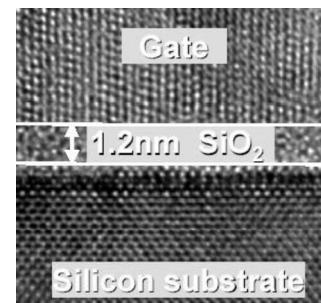
- Voltaje de umbral escala
- Pendiente de subumbral \sim constante
 - \Rightarrow Aumento de corriente de subumbral $\Rightarrow V_{TH}$ debe ajustarse para mantenerla aproximadamente constante
- Reducción de voltaje de alimentación
 - \rightarrow Ajuste de V_{TH} \Rightarrow disminuye el voltaje efectivo $V_{GS}-V_{TH}$
 - \Rightarrow Debe elegirse entre alto desempeño y mayor corriente de subumbral o entre menor desempeño y menor corriente de subumbral
- Compuertas más rápidas, mayor densidad de integración
- Densidad de potencia aumenta \Rightarrow problemas de disipación de calor
- Efectos de canal corto
- Aumento en corrientes de fuga de compuerta (V_{TH}, t_{ox})
- Degradación por inyección de portadores de carga calientes

Consecuencias del Escalamiento

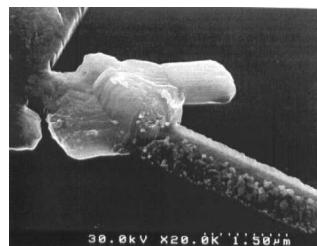
- El escalamiento del MOSFET causa efectos que desvían su comportamiento del MOSFET de canal largo, entre los que están
 - Efecto de canal corto (short channel effect)
 - Perforación de canal (Punch-through)
 - Fuga de compuerta (gate leakage)
 - Electromigración

Fuga de Compuerta

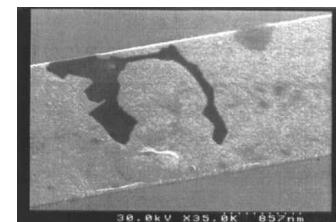
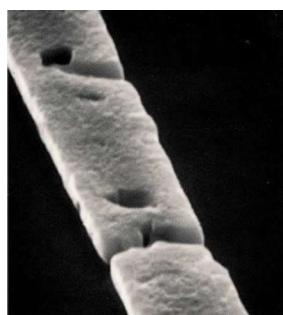
- Óxido se escala para mantener el control de la compuerta sobre el canal
 - Escalamiento de óxido aumenta la corriente de fuga de compuerta
 - Efecto de tunneling cuántico (quantum mechanical tunneling)
- ⇒ Aumenta potencia de stand-by
⇒ Óxido no puede escalarse a $t_{ox} < 1 \text{ nm}$: solución = HfO_2



Electromigración

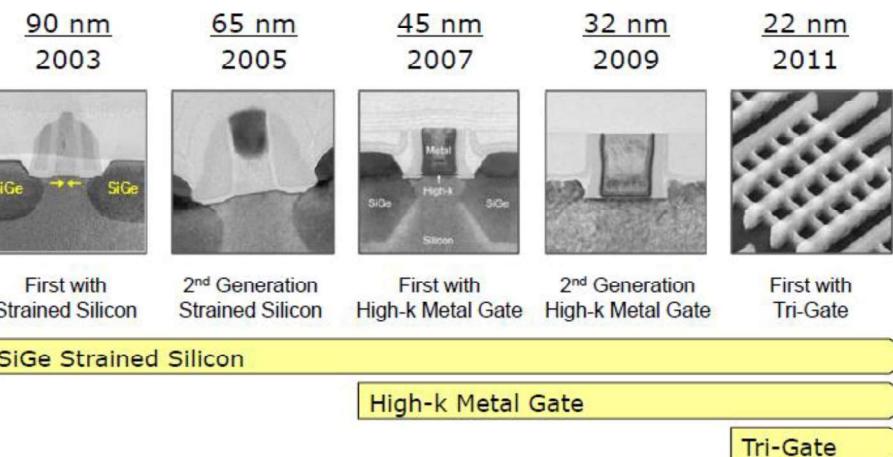


Desplazamiento gradual de los átomos metálicos de un conductor como resultado de la corriente fluyendo en dicho conductor

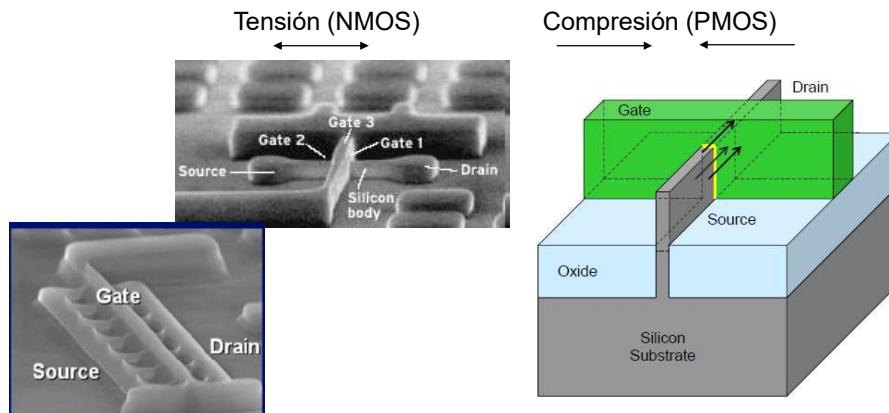


Resultado de la transferencia de momentum de los electrones a los iones metálicos que forman la red cristalina del material de interconexión

Escalamiento en Tecnología Intel



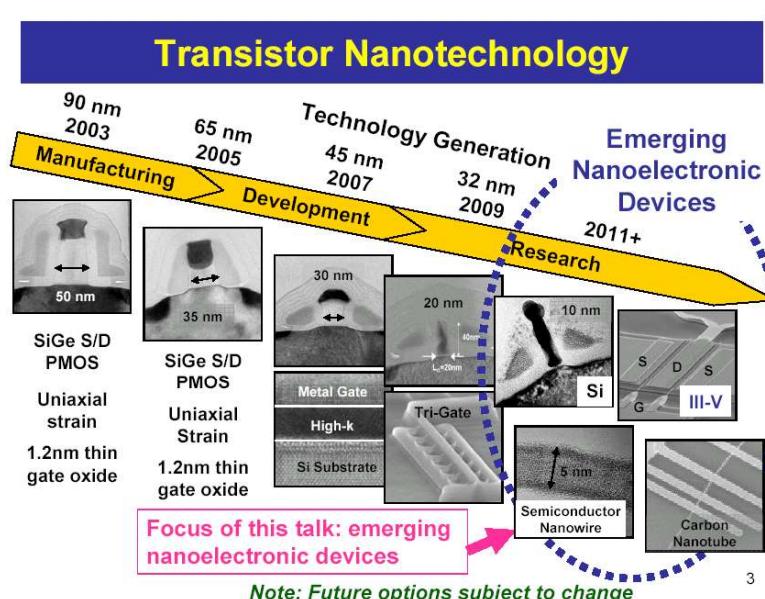
- Three gate: Mejor control del canal
- Dieléctrico: HfO₂
- Gate: Metal (TiN para NMOS, aleación TiAlN para PMOs), con capa de baja resistencia para contacto
- Canal: SiGe (strain engineering), para aumentar movilidad



Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

129



Dr.-Ing. Juan José Montero R.

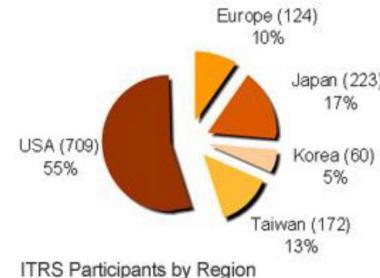
ITCR - Elementos Activos

130

ITRS

- International Technology Roadmap of Semiconductors
- Patrocinado por las cinco regiones líderes en manufactura de semiconductores en el mundo
- Resume avances de la industria microelectrónica, analiza y predice tendencias en microelectrónica
- Diagnostica problemas actuales para mantener el escalamiento
- Según ITRS, tecnología MOSFET puede llegar a alcanzar el año 2020
- Analiza tecnologías emergentes

www.itrs2.net

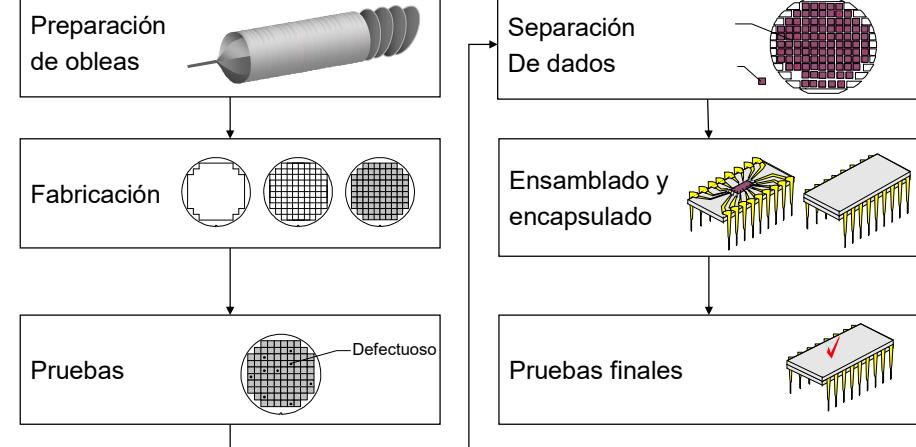
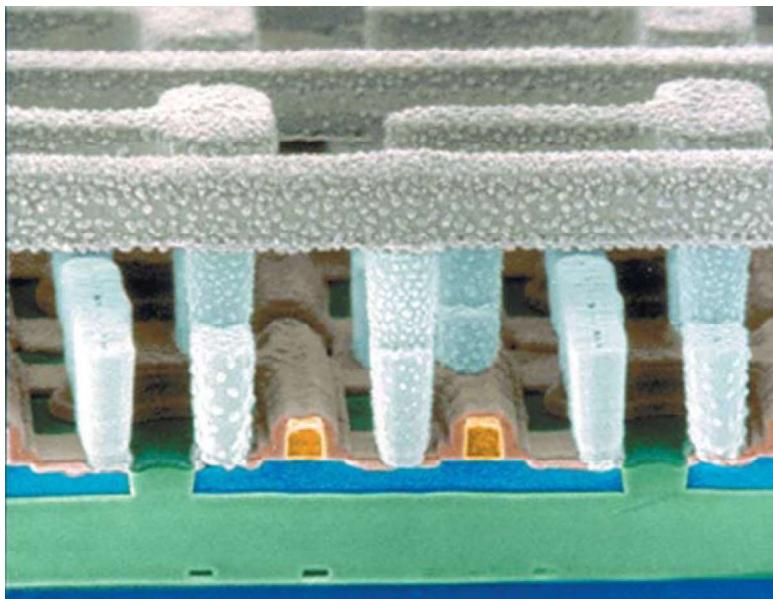


TEC | Tecnológico
de Costa Rica

Escuela de Ingeniería Electrónica
Semestre II-2019

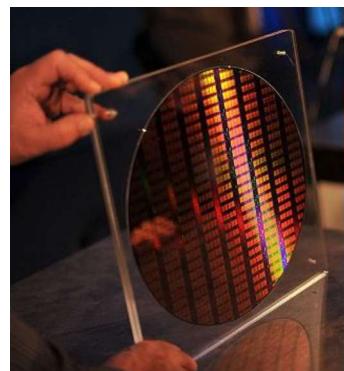
Clase 27 El Proceso de Fabricación CMOS

Instituto Tecnológico de Costa Rica
Elementos Activos
Dr.-Ing. Juan José Montero Rodríguez
Semestre II-2019

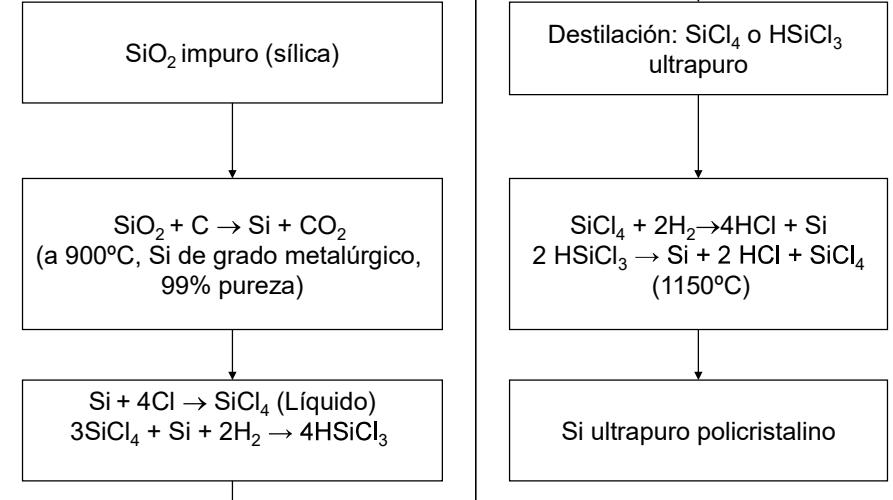


Técnicas de Fabricación

- Las principales técnicas para fabricación de circuitos integrados son:
 - Obtención de silicio cristalino
 - Oxidación térmica
 - Litografía
 - Dopado
 - Deposición
 - Decapado



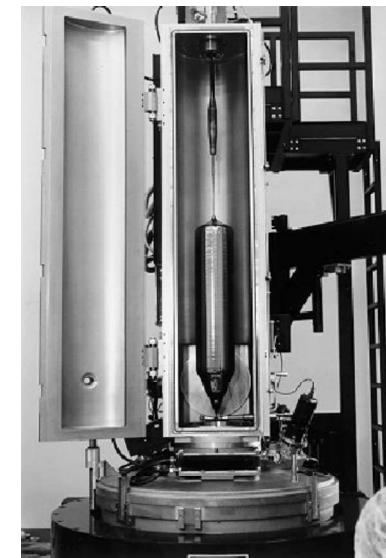
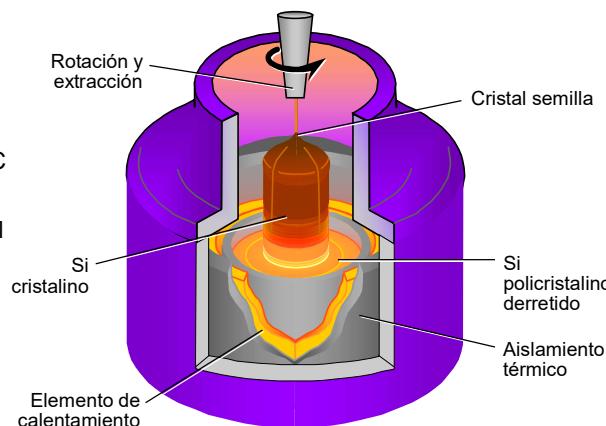
Obtención de Silicio Ultrapuro



2 Métodos: Czochralski y Floating Zone

Método de Czochralski:

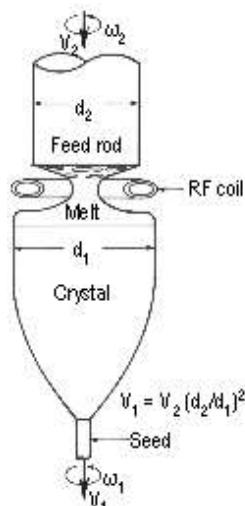
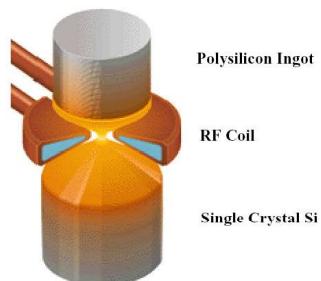
- Derretir silicio policristalino y mantenerlo a $T < 1417$ °C
- Introducir un cristal semilla
- Controlar el crecimiento del lingote por medio de la velocidad de extracción, temperatura de fusión y velocidad de rotación



Obtención de Lingotes de Si Cristalino

Método de Zona Flotante

- Lingote de Si policristalino de alta pureza
- Inductor calienta una zona del lingote y lo derrite
- Impurezas se difunden del sólido al líquido, dejando el sólido purificado
- Sólido sigue el patrón del cristal semilla



Obtención de Obleas

- Corte de flat grind
- Corte de obleas
- Identificación de oblea
- Decapado químico
- Pulido
- Limpieza de la superficie



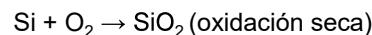
- Preparación de superficie con pulido químico-mecánico (CMP, chemical mechanical polishing)



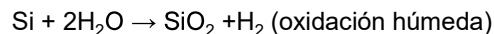
Oxidación Térmica

Creación de capas de óxido

Hornear las obleas en un horno de alta temperatura ($900^{\circ}\text{C} < T < 1200^{\circ}\text{C}$) en presencia de oxígeno o agua



O bien



El tiempo de oxidación y la temperatura determinan el espesor de la capa de óxido

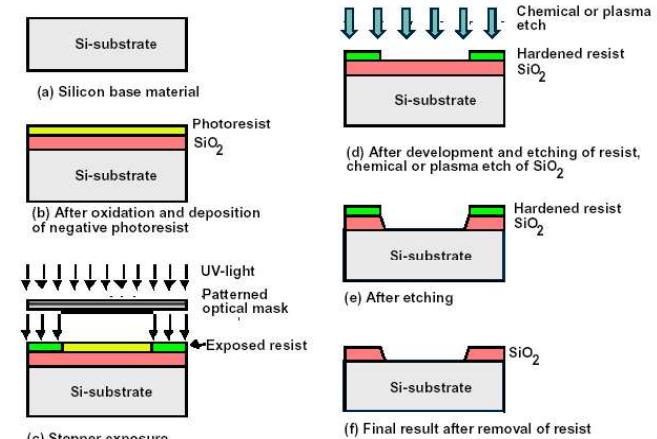
Oxidación seca produce óxido de mejor calidad



Litografía

Creación de patrones para alterar o moldear la forma existente de una capa de material depositado

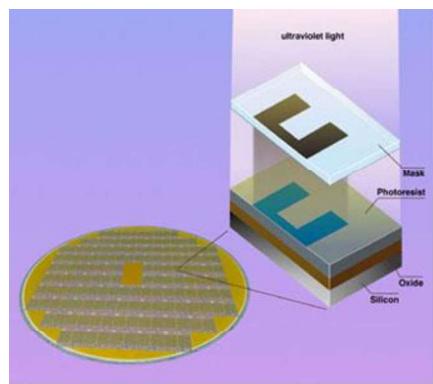
Se realiza con ayuda de una máscara o retícula que transmite el patrón a la capa por moldear. La máscara sirve de "negativo" del patrón a transferir



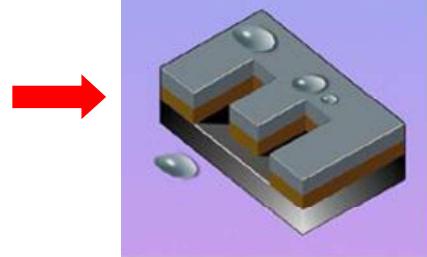
Decapado

Alterar o moldear la forma existente de una capa de material depositado

Consiste en remover selectivamente el material depositado según el patrón establecido con ayuda de la litografía



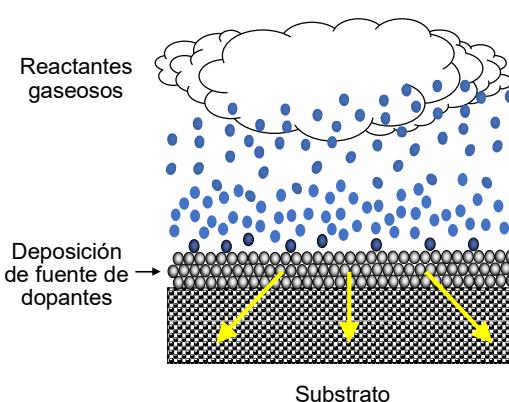
Decapado por bombardeo de iones
Decapado químico = decapado húmedo



Dopado por Difusión

Fuente de dopantes: son óxidos en forma sólida, líquida o gaseosa

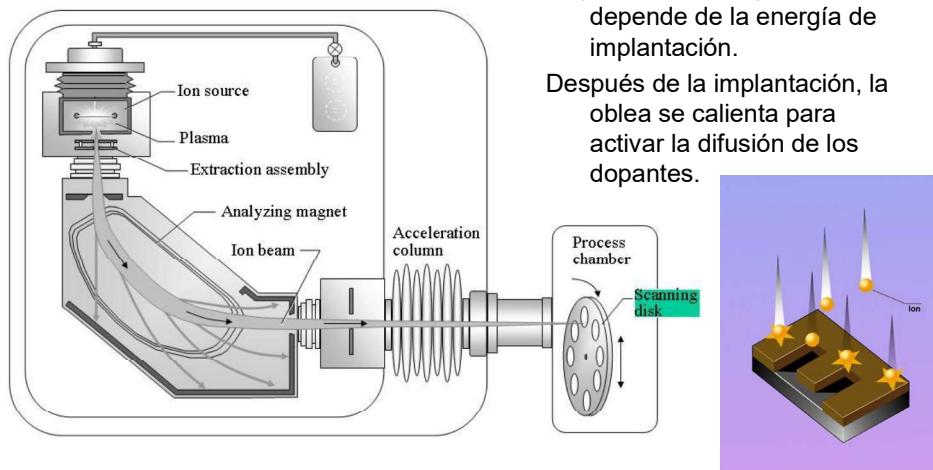
- El contacto del silicio con el dopante a altas temperaturas ($900^{\circ}\text{C} < T < 1200^{\circ}\text{C}$) provoca una reacción en la superficie del silicio, creando una capa de material altamente dopado.
- Los dopantes se difunden a partir de esta capa hacia la oblea



Horno de difusión



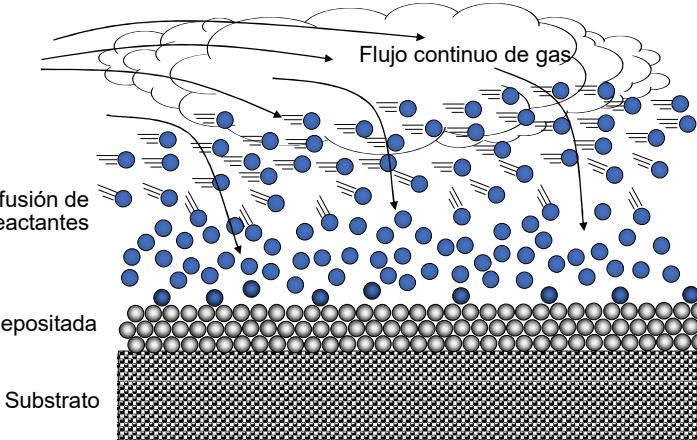
Implantación iónica: gas dopante se ioniza y se acelera contra la superficie de la oblea, implantando los átomos dopantes.



La profundidad de penetración depende de la energía de implantación.

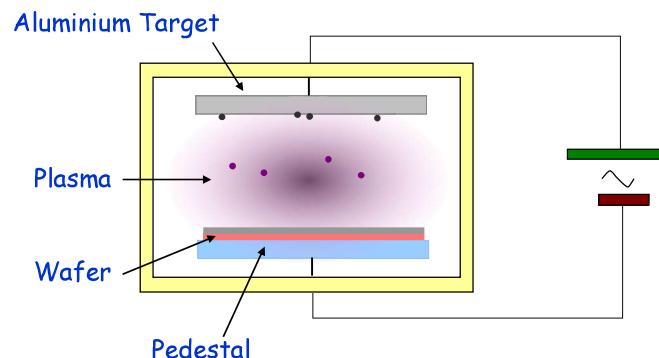
Después de la implantación, la oblea se calienta para activar la difusión de los dopantes.

- Deposición química gaseosa
 - Gas inerte actúa como portador de reactante
 - Reactante reacciona con la superficie caliente del sólido, depositando la capa



Deposición Física

- Ejemplo: Sputtering
 - Target (disco de material por ser depositado) bombardeado por iones de gas inerte
 - Átomos del target se desprenden y depositan en la oblea

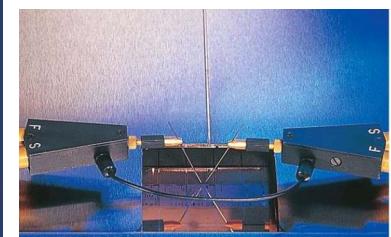


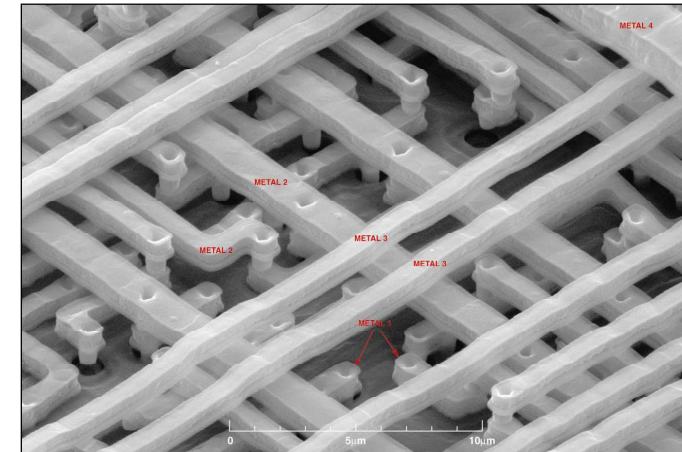
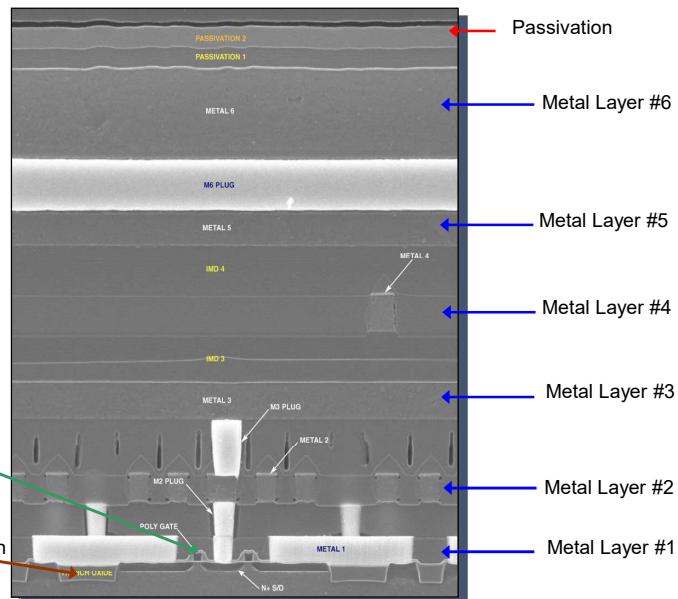
Pruebas



Pueden hacerse a nivel de oblea o a nivel de circuitos encapsulados

Se descartan datos defectuosos y se diagnostican fallas de fabricación

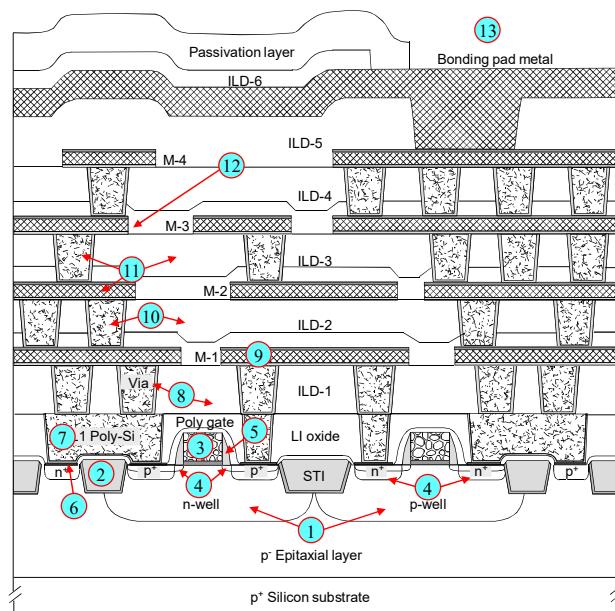




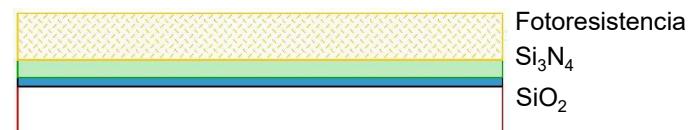
También llamados niveles de metalización

Sección Transversal de Proceso CMOS de Dos Tinas

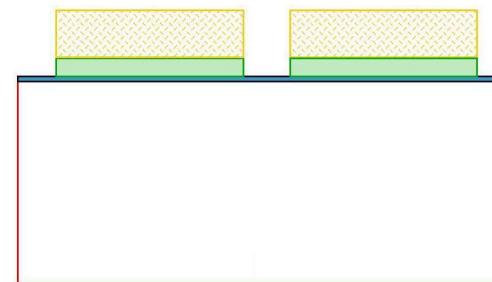
1. Tinas
2. Aislamiento
3. Compuerta
4. Regiones de difusión
5. Espaciador lateral
6. Contacto
7. Interconexión local (poli-Si)
8. Aislamiento de capas/contacto Poli-Metal1
9. Metal1
10. Aislamiento Metal1-Metal2
11. Metal2, Vía2, Aislamiento Metal2-Metal3
12. Metal 3
13. Pad metálico para contacto con encapsulado



Proceso de Fabricación CMOS (2 tinas)



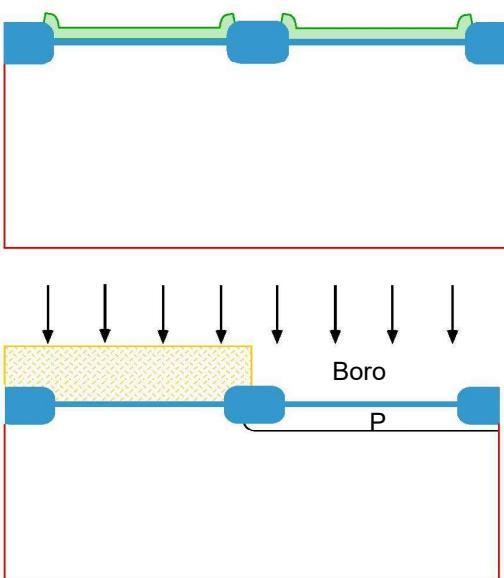
Substrato P



Decapado de nitrógeno de silicio para definir las áreas activas:

El nitrógeno se mantiene donde se va a integrar un transistor

Proceso de Fabricación CMOS

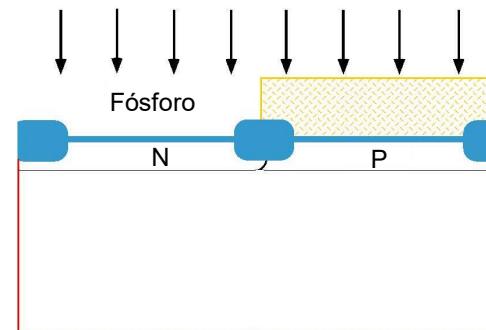


Definición de zonas activas,
separadas por zonas de
aislamiento
(Shallow trench isolation)

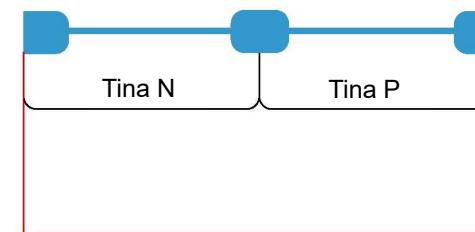
Óxido de campo: óxido de
aislamiento entre transistores

Implantación iónica de tina P
para transistor NMOS

Proceso de Fabricación CMOS

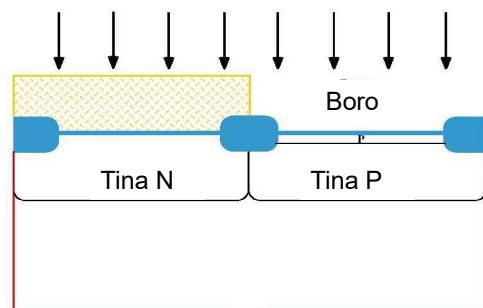


Implantación iónica de tina N
para transistor PMOS

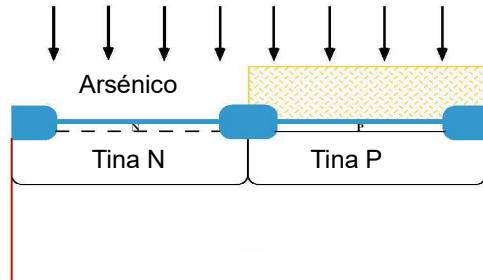


Difusión de dopantes se activa con
temperatura para alcanzar
profundidad de tina requerida

Proceso de Fabricación CMOS

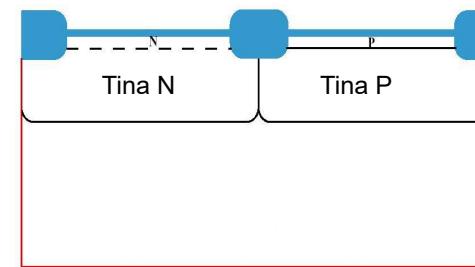


Implantación iónica para ajuste de
 V_{TH} de transistor NMOS

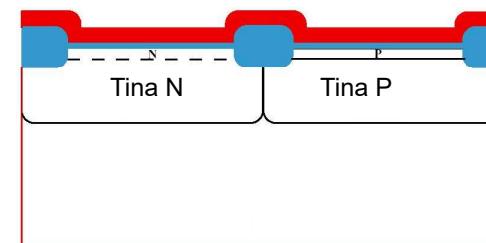


Implantación iónica para ajuste de
 V_{TH} de transistor PMOS

Proceso de Fabricación CMOS

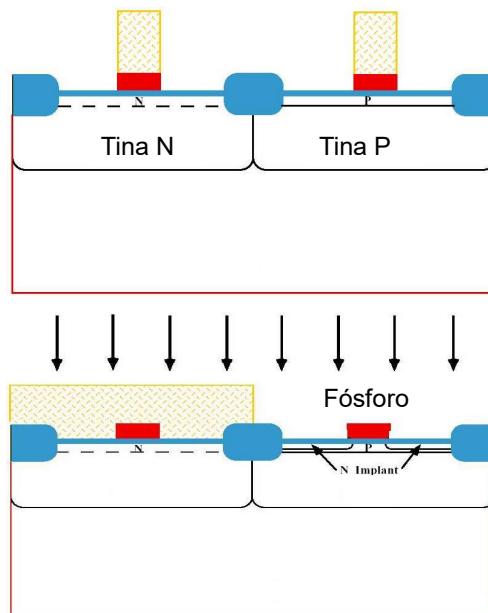


Creación de óxido de compuerta
(oxidación térmica)



Deposición del silicio
policristalino de compuerta

Proceso de Fabricación CMOS



Decapado para moldeo de compuerta

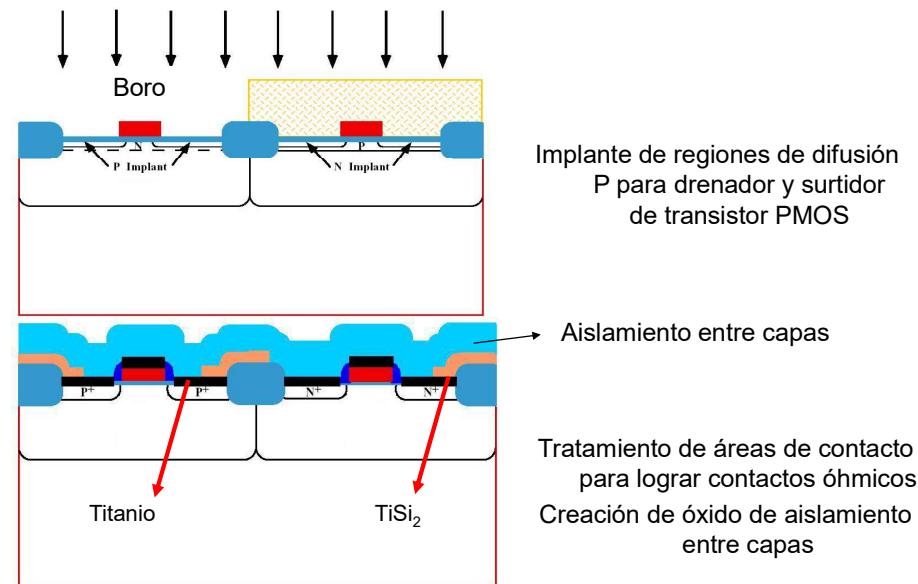
Implante de regiones de difusión N para drenador y surtidor de transistor NMOS

Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

157

Proceso de Fabricación CMOS

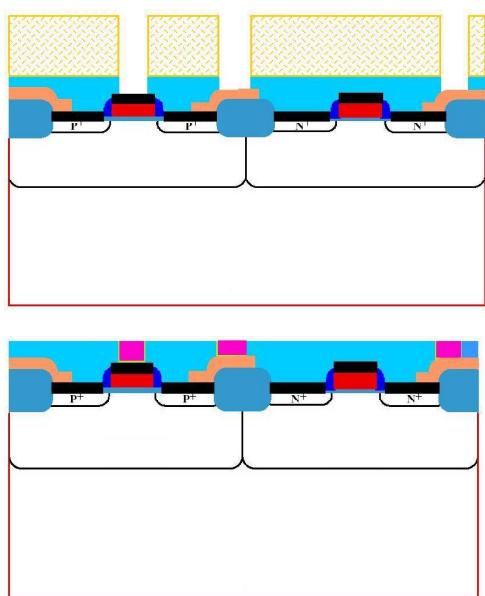


Implante de regiones de difusión P para drenador y surtidor de transistor PMOS

Aislamiento entre capas

Tratamiento de áreas de contacto para lograr contactos óhmicos
Creación de óxido de aislamiento entre capas

Proceso de Fabricación CMOS



Decapado de contactos

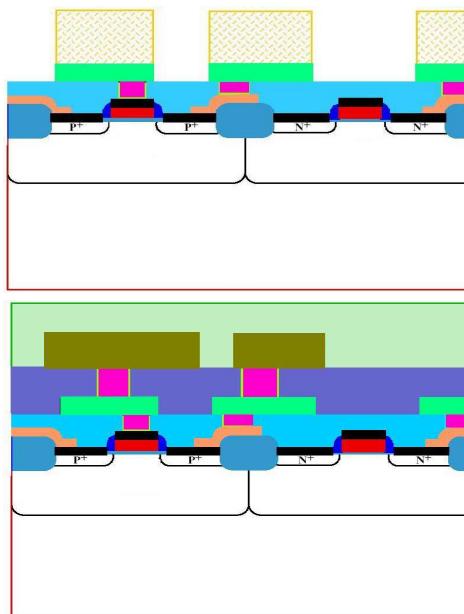
Deposición de vías

Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

159

Proceso de Fabricación CMOS



Deposición de metal y moldeo de metal

Deposición y moldeo de los siguientes niveles de aislamiento y metalización

Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

160

Difusión	Implantación
Proceso de alta temperatura	Temperatura ambiente
Fuente de dopantes: sólido, líquido o gaseoso	Fuente de dopantes: iones
Temperatura repara defectos en silicio durante el proceso	Causa daños al silicio, requiere tratamiento posterior de alta temperatura para reparar los daños
Permite dopados de alta concentración, materiales resultantes de baja resistividad	Dopados con concentraciones menores, 10 veces mayor resistividad
Menos precisión (concentración y profundidad)	Proceso de alta precisión (concentración y profundidad)

Clase 28

El Flujo de Diseño Analógico: Back-End

Instituto Tecnológico de Costa Rica

Elementos Activos

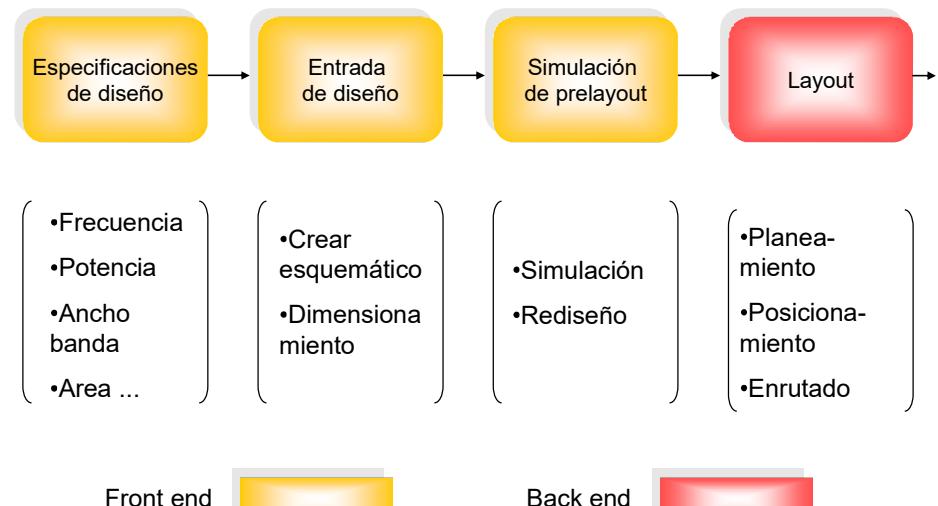
Dr.-Ing. Juan José Montero Rodríguez

Semestre II-2019

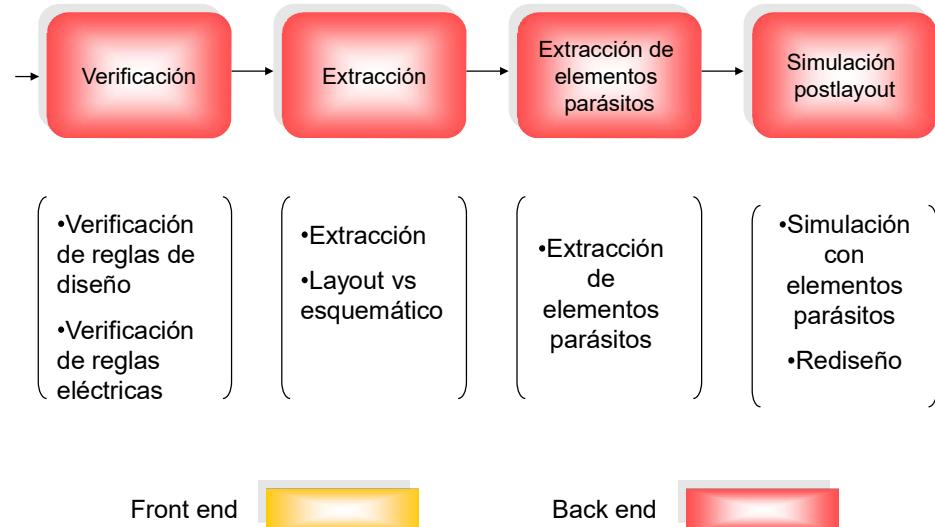
Objetivos

- **Principios de fabricación de circuitos integrados (2.5 semanas)**
 - El proceso de fabricación CMOS: materiales, técnicas y flujo de fabricación, prevención de efecto de enganche
 - Integración de elementos pasivos, capacitores conmutados para integración de resistencias.
 - Principios de layout e introducción al flujo de back-end
- **Objetivos**
 - Conocer los principios de fabricación de circuitos integrados CMOS
 - Aplicar técnicas básicas de layout y principios básicos del flujo back-end

El Flujo de Diseño Analógico



El Flujo de Diseño Analógico

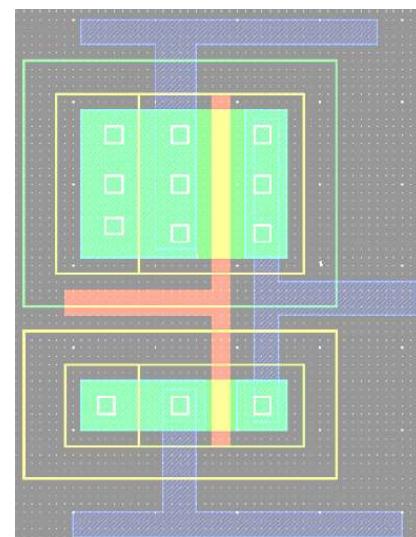


Flujo de Back-End

- Back-end: diseño físico y verificación del diseño después del diseño físico
- Incluye una serie de verificaciones para asegurar fabricación exitosa:
 - Verificación de reglas de diseño (DRC)
 - Verificación de layout contra esquemático (LVS)
 - Extracción de elementos parásitos
 - Simulación de postlayout
 - Puede incluir también verificación de reglas eléctricas (ERC) y de errores de antena

Layout

- Layout: representación geométrica de los componentes a integrar y sus interconexiones
- Los componentes se representan con diferentes colores y polígonos
 - Colores representan materiales y propiedades
 - Polígonos representan la forma en la que se debe moldear una capa durante la fabricación = forma final que debe tener la capa
- El layout se utiliza para obtener la información para fabricar las máscaras
- Debe cumplir las reglas de diseño del fabricante



Reglas de Diseño

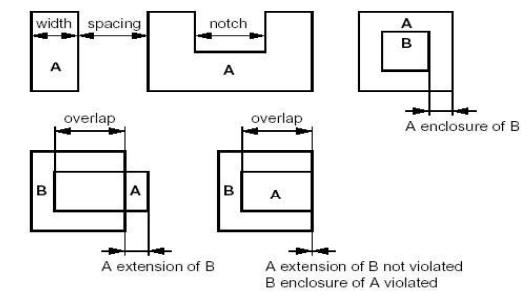
- Define geometría permitida y relaciones geométricas permitidas en el proceso de fabricación
- Reglas definidas por las características del proceso de fabricación
- Deben respetarse para asegurar que el chip sea fabricado correctamente



Verificación de reglas de diseño (DRC, design rules check)

Geometric Relations

A width	$= \text{distance inside_A} - \text{inside_A}$
A spacing to B	$= \text{distance outside_A} - \text{outside_B}$ (different polygons)
A notch	$= \text{distance outside_A} - \text{outside_A}$ (same polygon)
A enclosure of B	$= \text{distance inside_A} - \text{outside_B}$ (A contains B)
A extension of B	$= \text{distance inside_A} - \text{outside_B}$ (A may intersect B)
A overlap of B	$= \text{distance inside_A} - \text{inside_B}$

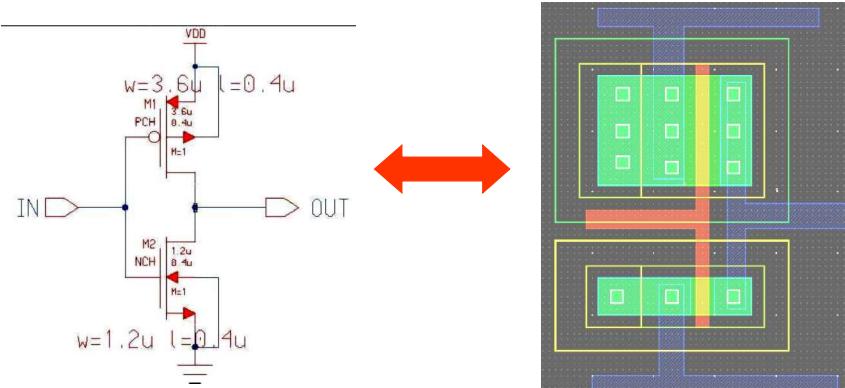


- Reglas de diseño incluyen restricciones de 4 tipos:
 - Ancho: precisión de litografía y de otros pasos de fabricación define el ancho (y largo) mínimo de un polígono
 - Espaciamiento: fabricación impone restricciones de espaciamiento entre estructuras. Ej: evita corto circuitos y efectos de enganche
 - Encapsulamiento: distancia mínima de traslape entre una estructura interna y otra que debe rodearla: Ej: contactos deben estar rodeados de metal para asegurar contacto eléctrico entre las capas por conectar
 - Extensión: algunas estructuras deben extenderse más allá del borde de otras estructuras. Ej: compuerta de polisilicio debe extenderse más allá de las regiones de difusión a su lado

- Extracción:
 - los polígonos del layout y sus intersecciones deben interpretarse para verificar que los componentes y conexiones fueron representados correctamente
 - Permite conocer el impacto de elementos parásitos: resistencias y capacitancias parásitas, diodos parásitos
 - Información requerida para creación de máscaras
- Existen herramientas de software para la extracción
 - Requieren dibujo de capas físicas
 - Requieren dibujo de capas auxiliares para la interpretación de los componentes representados = capas lógicas
- ⇒ Dos tipos de capas:
 - De máscara: utilizadas para crear las máscaras para fabricación
 - Lógicas (de definición): ayuda para la herramienta de extracción y verificación; no se utilizan en durante la fabricación del chip

Layout vs Esquemático

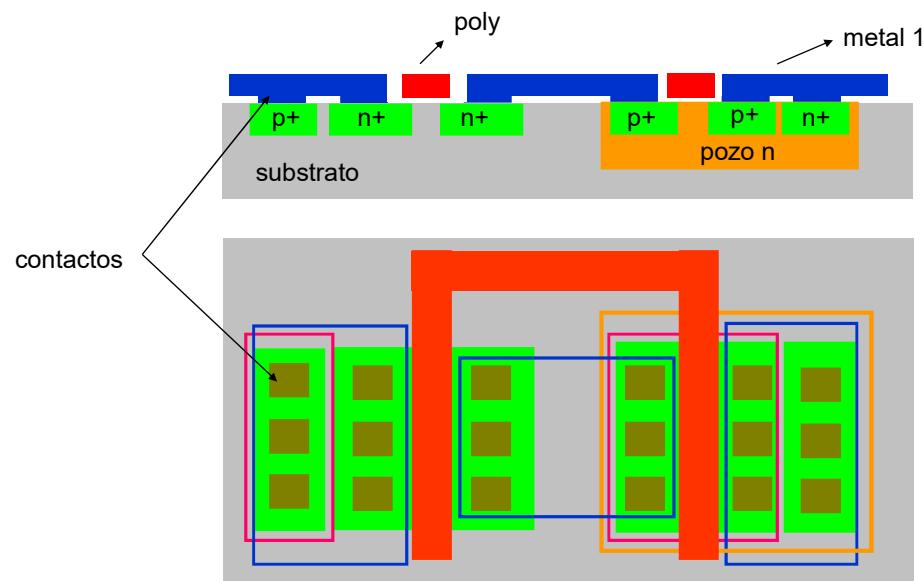
- Una vez interpretado el layout (extraído), debe verificarse que los componentes y conexiones presentes representan el circuito que se diseñó en el esquemático
- Esta verificación se conoce como LVS (layout versus esquemático)
- Se revisa cada componente, así como sus interconexiones



Simulación de Postlayout

- Los elementos parásitos presentes y su magnitud sólo pueden saberse después de finalizar el layout
- En las primeras simulaciones, no se tomaron en cuenta estos elementos
- ⇒ Simulación de postlayout:
 - Verificación de características y funcionalidad del circuito tomando en cuenta los elementos parásitos
- Elementos parásitos pueden afectar el funcionamiento del circuito ⇒ puede requerir rediseño completo

Sección Transversal de un Inversor CMOS

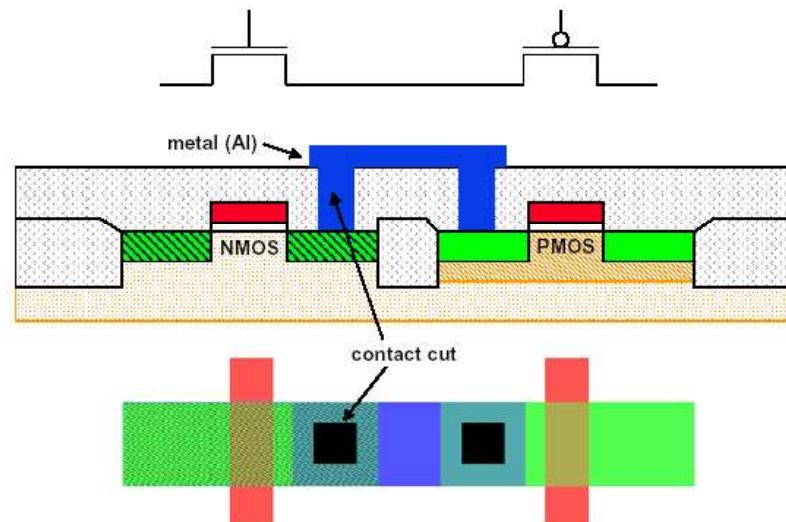


Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

173

Layout vs Sección Transversal

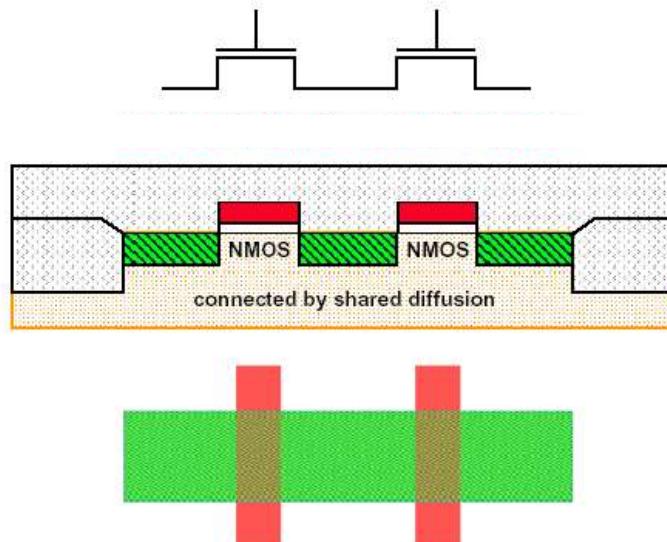


Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

174

Layout vs Sección Transversal

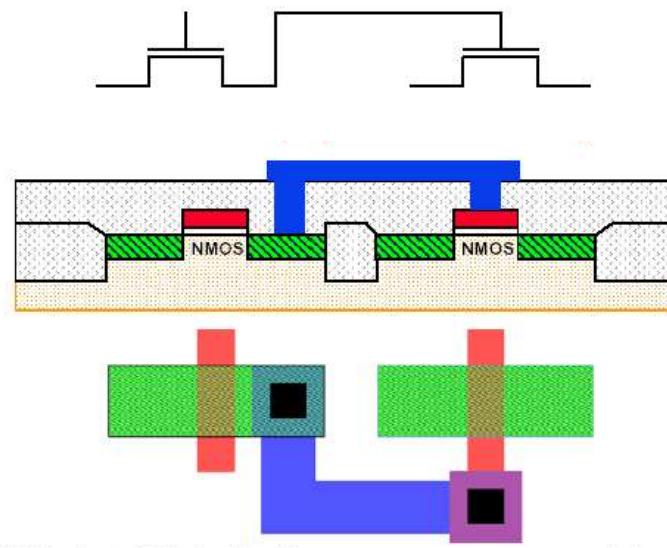


Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

175

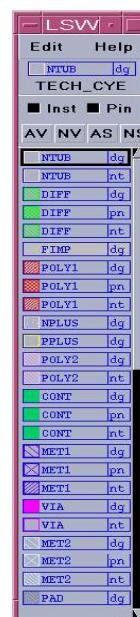
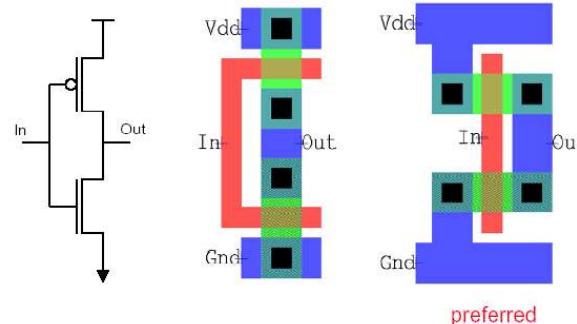
Layout vs Sección Transversal



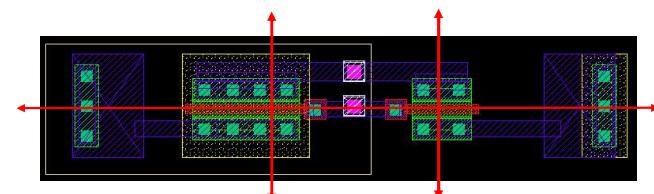
Dr.-Ing. Juan José Montero R.

ITCR - Elementos Activos

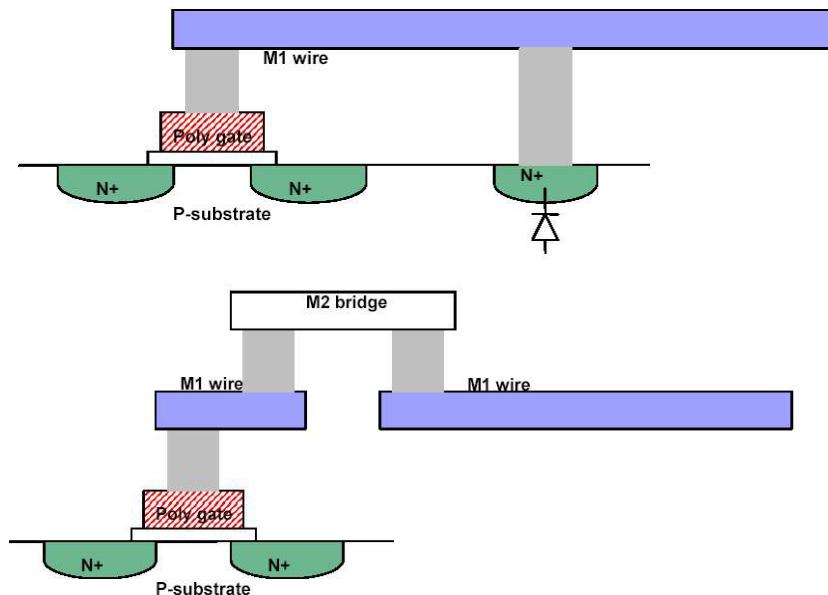
176



Nombre del contacto	Descripción
VIA_C	Contacto entre MET1 y MET2
VIA1_C	Contacto entre MET2 y MET3
VIA2_C	Contacto entre MET3 y MET4
P1_C	Contacto entre MET1 y POLY1
P2_C	Contacto entre MET1 y POLY2
ND_C	Contacto entre MET1 y N-tub
PD_C	Contacto entre MET1 y substrato P



Errores de Antena



Integración de Resistencias

Métodos:

- Interconexión de silicio policristalino dopado
- Regiones de difusión

L: longitud de interconexión; t: espesor de interconexión
W: ancho de interconexión

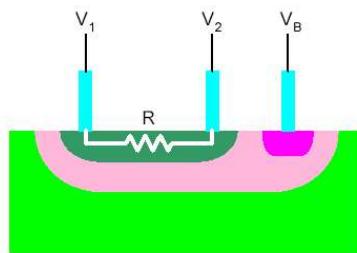


Espesor de conductor es definida por el proceso

Resistencias integradas presentan una tolerancia de $\pm 20\%$
(precisión de la litografía, decapado y difusión, además de variaciones en el espesor la interconexión)

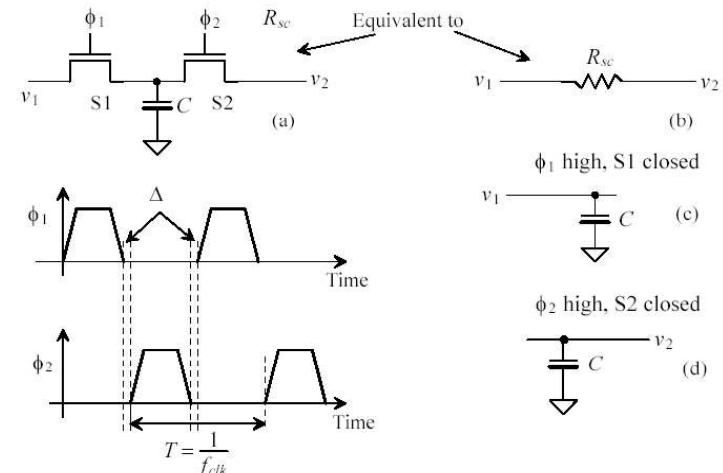
Integración de Resistencias

“Serpentinas” se usan para obtener resistencias de mayor valor en una estructura compacta

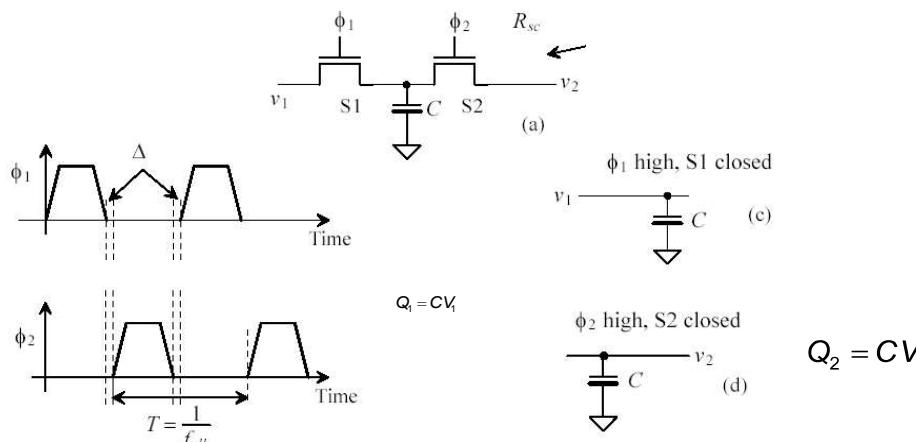


Capacitores Comutados

- Permiten emular resistencias de gran valor ocupando un área de fabricación menor (ej: 1 MΩ)



Capacitores Comutados

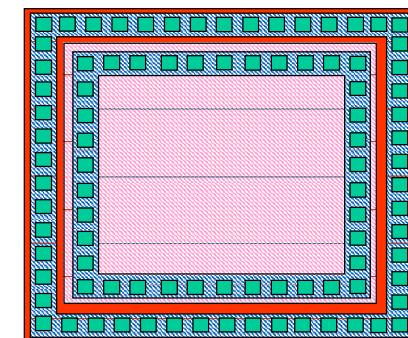


$$Q_1 - Q_2 = C(V_1 - V_2); I = \frac{dq}{dt}$$

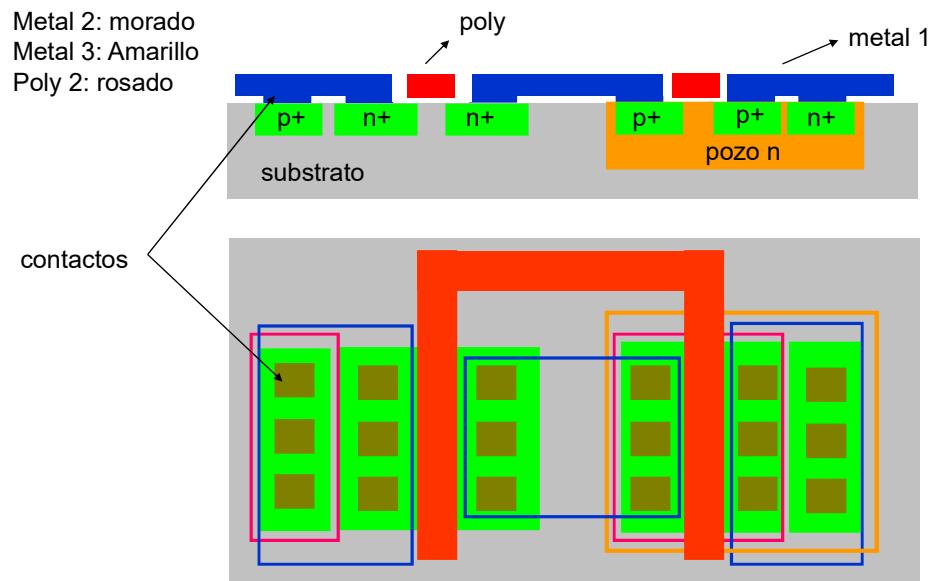
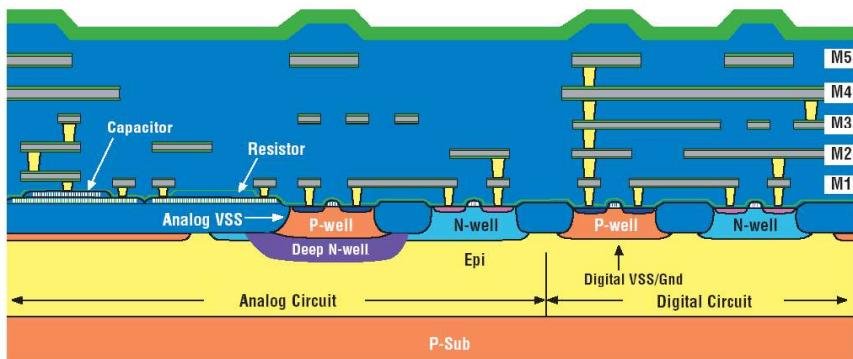
$$\Rightarrow I = \frac{C(V_1 - V_2)}{T} = \frac{(V_1 - V_2)}{R_{sc}} \Rightarrow R_{sc} = \frac{1}{C \cdot f_{clk}}$$

Integración de Capacitores

- Rango de capacitancia posible en fabricación: < 100 pF
- Técnicas
 - Transistor MOS: B, S y D al mismo potencial para formar una placa, G es la otra placa. Polarizado en inversión
 - Óxido delgado sobre área de difusión fuertemente dopada y silicio policristalino o metal como placa superior
 - Pila de primer nivel de polisilicio, óxido y segundo nivel de polisilicio



ASIC Mixed-Signal and Analog Macros

Práctica layout

- Dibuje:
 - Contacto entre metal 1 y poly1
 - Contacto entre metal1 y poly2
 - Contactos entre las capas de metal: 1-2, 2-3, 1-3,
 - Contacto al substrato p
 - Contacto al pozo n
 - Diagrama de dos transistores P adyacentes, 2 N adyacentes
 - Anillos de potencia con GND en el anillo interno
 - Capacitor Poly1-Poly2
 - Layout de una compuerta de transmisión
 - Layout de una NAND con $(W/L)_{NMOS} = 1$, $(W/L)_{PMOS} = 3$, $L = L_{min}$
 - Layout de una NOR con $(W/L)_{NMOS} = 1$, $(W/L)_{PMOS} = 3$, $L = L_{min}$