

Instituto Tecnológico de Costa Rica  
Escuela de Ingeniería Electrónica  
EL-2207 Elementos Activos

Profesores: Dr.-Ing. Juan José Montero Rodríguez  
Ing. Mauricio Segura Quiros  
Ing. Aníbal Ruiz Barquero

I Semestre 2019

### **Tercer Examen Parcial**

07 de junio de 2019

### **SOLUCION**

Total de Puntos:	50
Puntos obtenidos:	
Porcentaje:	
Nota:	

Nombre: \_\_\_\_\_ Carné: \_\_\_\_\_

#### **Instrucciones Generales**

- Resuelva el examen en forma ordenada y clara.
- No se aceptarán reclamos de desarrollos con lápiz, borrones o corrector de lapicero.
- Si trabaja con lápiz, debe encerrar en recuadro su respuesta final con lapicero.
- El uso de lapicero rojo no está permitido.
- El uso del teléfono celular no es permitido. Este tipo de dispositivos debe permanecer totalmente apagado durante el examen.
- No se permite el uso de calculadora programable.
- Únicamente se atenderán dudas de forma.
- El instructivo de examen debe ser devuelto junto con su solución.
- El examen es una prueba individual.
- El no cumplimiento de los puntos anteriores equivale a una nota igual a cero en el ejercicio correspondiente o en el examen.
- Esta prueba tiene una duración de 3 horas, a partir de su hora de inicio.

Falso o verdadero	de 10
Problema 1	de 12
Problema 2	de 14
Problema 3	de 14

**Falso o verdadero****10 Pts**

Escriba F o V, según corresponda a Falso o Verdadero en todas las opciones. Cada pregunta vale 1 punto. Si necesita corregir, escriba una X sobre la letra incorrecta y escriba F o V a la izquierda de la línea. La ponderación será: cinco opciones buenas 1 punto; cuatro opciones buenas 0.8 puntos; 3 opciones buenas 0.6 puntos; 2 opciones buenas 0.4 puntos y 1 buena 0.2 puntos.

1. Con respecto a la estructura del MOSFET se afirma correctamente que:

**1 Pt**

- |   |   |
|---|---|
| V | El canal de un transistor NMOS está fabricado con silicio de tipo P.                |
| F | La región del surtidor tiene un dopado más intenso que el drenador ( $N_S > N_D$ ). |
| V | El drenador y el surtidor son intercambiables.                                      |
| V | La tensión de umbral se puede ajustar cambiando el dopado del sustrato.             |
| V | En un transistor PMOS el canal está formado mayoritariamente por huecos.            |

2. Con respecto a las regiones de operación del MOSFET es correcto afirmar que:

**1 Pt**

- |   |   |
|---|---|
| V | En la región lineal, el MOSFET se podría reemplazar por una resistencia entre D-S.      |
| V | En la región de saturación el transistor opera como una fuente de corriente.            |
| F | En la región de corte, la corriente de drenador es exactamente cero.                    |
| V | En la región de subumbral, existe una resistencia finita entre D-S caracterizada por S. |
| V | La región de inversión débil está considerada dentro de la zona de corte.               |

3. Sobre los efectos parásitos del MOSFET se afirma correctamente que:

**1 Pt**

- |   |   |
|---|---|
| F | La modulación de largo de canal afecta a $I_D$ en la zona del triodo.                         |
| V | El parámetro $\gamma$ es una constante para una tecnología determinada y no se puede cambiar. |
| V | La resistencia de salida $r_o$ cambia si se modifica el punto de operación del transistor.    |
| F | Si no existe modulación de largo de canal, el parámetro $\lambda$ tiende a infinito.          |
| V | El efecto de sustrato puede utilizarse para modificar la tensión de umbral a conveniencia.    |

4. Con respecto a la polarización de transistores MOSFET se afirma que:

**1 Pt**

- |   |   |
|---|---|
| V | En saturación, la corriente de compuerta siempre es despreciable.                         |
| V | La corriente de drenador es exactamente igual a la corriente de surtidor.                 |
| V | Si la tensión de surtidor aumenta para un NMOS, la corriente $I_D$ disminuye.             |
| V | Si un circuito se calienta, la corriente aumenta debido a que la movilidad aumenta.       |
| F | La transconductancia $g_m = \sqrt{2KI_D}$ es independiente de la tensión en la compuerta. |

5. Con respecto a las aplicaciones del transistor MOSFET se afirma correctamente que:

**1 Pt**

- |   |  |
|---|--|
| F | Para fabricar una compuerta AND se necesitan al menos cuatro transistores como mínimo. |
| V | En un inversor CMOS, el transistor PMOS debe tener 3 veces el ancho del NMOS.          |
| V | Una compuerta NOR se puede fabricar con dos NMOS y dos PMOS.                           |
| V | Una compuerta NOR se puede fabricar con tres NMOS.                                     |
| V | Una tabla de verdad puede tener a la salida estados de alta impedancia Z.              |

6. Sobre el modelo analógico del transistor MOSFET se afirma correctamente que: 1 Pt

- |   |   |
|---|---|
| F | La transconductancia $g_m$ describe cuánta corriente $i_D$ produciría un cambio en tensión $v_{DS}$ . |
| V | La resistencia de salida $r_o$ es equivalente a la impedancia de salida de una fuente de corriente.   |
| V | Si la tensión de compuerta-substrato cambia en pequeña señal, el canal se deforma ligeramente.        |
| V | Para modelar un transistor con óxido de compuerta defectuoso, se podría incluir $r_\pi$ en el modelo  |
| V | El modelo $\pi$ del transistor NMOS es idéntico al del transistor PMOS.                               |

7. Con respecto al modelo digital del transistor MOSFET se afirma correctamente que: 1 Pt

- |   |   |
|---|---|
| V | El modelo digital está compuesto por capacitancias y una resistencia equivalente.       |
| V | Si se desprecian las capacitancias, el retardo y los tiempos de subida/bajada son cero. |
| F | La resistencia equivalente es igual al inverso de la transconductancia.                 |
| F | El modelo digital se puede utilizar para calcular la ganancia $A_v$ de un amplificador. |
| V | El retardo de propagación se mide entre el 50% de VIN y el 50% de VOUT.                 |

8. Con respecto a la teoría de escalamiento del transistor MOSFET se afirma que: 1 Pt

- |   |   |
|---|---|
| V | Si el largo L de un transistor MOSFET se reduce a la mitad, se obtiene 2 $I_D$                |
| F | Si el ancho W de un transistor MOSFET se duplica, se obtiene una corriente 2 $I_D$            |
| F | El escalamiento de campo constante permite mantener la compatibilidad entre generaciones.     |
| F | La longitud L se puede seguir reduciendo a la mitad cada dos años, de manera ilimitada.       |
| V | Si la distancia entre átomos Si es 0.235 nm, un transistor de 5 nm tiene 21 átomos entre D-S. |

9. Sobre la fabricación de transistores MOSFET se afirma correctamente que: 1 Pt

- |   |   |
|---|---|
| F | El proceso de oxidación húmeda produce mejor calidad de óxido que el de oxidación seca. |
| F | La máscara que se utiliza en litografía es una sola lámina de metal.                    |
| F | El proceso de decapado permite eliminar material de manera completamente vertical.      |
| V | El dopado por difusión requiere de altas temperaturas.                                  |
| V | El dopado por implantación iónica se puede realizar a temperatura ambiente.             |

10. Con respecto a los transistores MOSFET en general se afirma correctamente que: 1 Pt

- |   |   |
|---|---|
| V | Los transistores modernos utilizan otros materiales distintos a metal-óxido-semiconductor |
| F | El transistor MOSFET se fabricó por primera vez antes que el transistor BJT               |
| V | La frecuencia de tránsito del MOSFET es típicamente inferior a la del BJT                 |
| V | El consumo de potencia de un circuito digital con BJT es más alto que con MOSFET          |
| V | Un inversor CMOS ideal presenta un consumo de potencia de corto circuito igual a cero.    |

## Problema 1. Polarización MOSFET

12 pts

(Anibal Ruiz)

Considere el circuito de la Figura 1.1 donde  $W/L = 20/0.18$  para ambos transistores,  $W_1=W_2=3 \mu\text{m}$ ,  $K_1' = 200 \mu\text{A/V}^2$ ,  $K_2' = 22.75 \text{ mA/V}^2$ ,  $V_{OV} = V_{GS}-0.401$ ,  $C_{OX1} = 4.8 \text{ fF}$  e  $I_{D1} = 0.5 \text{ mA}$ . Considere que la corriente que pasa por  $R_2$  es  $I_{D1}=10$ . Determine:

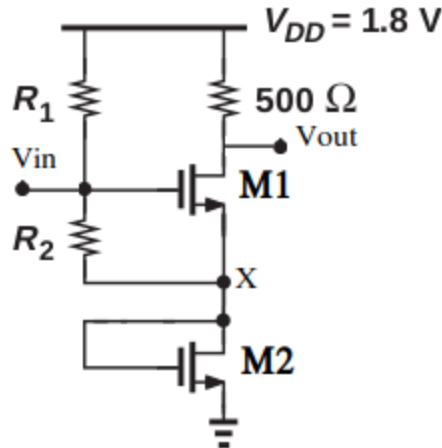


Figura 1.1: Amplificador de tensión

1.1. Cuál sería el Rthevenin para M2, visto desde el punto indicado con X.

2 pts

1.2. El valor de  $V_{TH1}$

1 pt

1.3. El valor de  $R_1$ .

2 pts

1.4. El valor de  $R_2$ .

3 pts

1.5. La frecuencia donde la ganancia en corriente se hace unitaria para M1 ( $f_{T1}$ ), despreciando la capacidad entre compuerta y sustrato, asuma que se encuentra en región de saturación.

2 pts

1.6. Mediante pequeña señal, calcule la ganancia de tensión del circuito  $A_v$ .

2 pts

### Solución 1

1.1. Hablar de Thévenin aquí no tiene sentido, es un dispositivo no lineal.

Para calcular Thévenin, el primer paso es desconectar la resistencia de carga y medir la tensión en el nodo X, pero con la carga removida, que eso tampoco se puede resolver.

El segundo paso para Thévenin es apagar todas las fuentes y medir la resistencia con una fuente de prueba, pero si se aplica una fuente de prueba en X, la resistencia es no lineal y depende completamente del punto operación de M1. Es decir, no hay una única solución.

Lo que debería decir el enunciado es “calcular la resistencia equivalente en DC vista para M2”. Esta resistencia es calculable, se calcula como  $V_X/I_{D2}$ .

$$V_X = V_{GS2} = V_{DS1}$$

$$I_{D2} = \frac{1}{2} K' \frac{W}{L} (V_{GS2} - V_{TH1})^2$$

Donde la corriente  $I_{D2} = I_{D1} + I_{R1} = 0.5 \text{ mA} + 50 \mu\text{A} = 0.550 \text{ mA}$

$$V_{GS2} = \sqrt{\frac{2(I_{D1} + I_{R1})}{K_2' \frac{W}{L}}} + V_{TH2}$$

Donde no hay forma de obtener  $V_{TH2}$  si no se asume que la ecuación  $V_{OV} = V_{GS} - V_{TH}$  aplica para ambos. De esta manera sabemos que  $V_{TH2} = 0.401 V$

Aquí tampoco tiene sentido que  $K_2'$  sea tan alta, o ni siquiera que sea distinta de  $K_1'$ , porque esto es la transconductancia del proceso y ambos transistores son NMOS. La transconductancia del proceso es modificable únicamente por la fábrica, pero para una sola tecnología,  $K_n'$  es constante para todos los transistores NMOS (excepto para transistores con  $V_{TH}$  de bajo voltaje, pero en este caso si los dos tienen el mismo  $V_{TH}$ , ¿cómo pueden ser las dos constantes diferentes?). Los valores estándar son  $120 \mu A/V^2$  para NMOS y  $40 \mu A/V^2$  para PMOS, uno es tres veces el otro. Lo que sí puede cambiar el diseñador es  $K=K'W/L$ .

Un problema adicional es que si  $W_1=W_2=3 \mu m$  y  $W/L=20/0.18$ , eso significa que cada transistor tiene una longitud de 27 nm. NO es de 180 nm como se sugiere por el 0.18. Son transistores que no son fabricables en esta tecnología, si lo que se quería era sugerir 180 nm. Pero de todos modos no se necesita ni L ni W por separado, solo su relación de aspecto. Se podría quitar W completamente del enunciado, dando únicamente W/L para ambos.

Continuando con las constantes dadas en el enunciado, a pesar de las inconsistencias:

$$V_{GS2} = \sqrt{\frac{2(0.550 mA)}{(22.75 mA/V^2) \frac{20}{0.18}}} + 0.401 V = 0.4219 V$$

Esto hace que  $V_X = V_{DS2} = V_{GS2} = 0.4209 V$  donde el transistor apenas está encendido.

La resistencia equivalente de M2 es entonces

$$R_{M2} = \frac{V_X}{I_{D2}} = \frac{0.4219 V}{0.55 mA} = 767.09 \Omega$$

1.2. El valor de  $V_{TH1}$  ya se necesitaba para la parte anterior, ya se había calculado. Es 0.401 V.

1.3. Para calcular  $R_1$  y  $R_2$  se necesita la tensión en el gate de M1. Esto se calcula asumiendo saturación:

$$V_{GS1} = \sqrt{\frac{2I_{D1}}{K_1' \frac{W}{L}}} + V_{TH1}$$

$$V_{GS1} = \sqrt{\frac{2(0.5 \text{ mA})}{\left(200 \frac{\mu A}{V^2}\right)\left(\frac{20}{0.18}\right)}} + 0.401 \text{ V} = 0.6131 \text{ V}$$

Dado que el source de M1 está a un potencial de 0.4209 V, la tensión en el gate de M1 es

$$V_{G1} = V_{GS1} + V_S = 0.6131 \text{ V} + 0.4219 \text{ V}$$

$$V_{G1} = 1.035 \text{ V}$$

La corriente por las resistencias es  $I_{D1}/10 = 50 \mu A$

La resistencia R1 se calcula como:

$$R_1 = \frac{V_{DD} - V_{G1}}{I_{D1}/10} = \frac{1.8 \text{ V} - 1.035 \text{ V}}{50 \mu A} = 15.30 \text{ k}\Omega$$

1.4. La resistencia R2 se calcula de la siguiente manera:

$$R_2 = \frac{V_{G1} - V_{S1}}{I_{D1}/10} = \frac{0.6131 \text{ V}}{50 \mu A} = 12.26 \text{ k}\Omega$$

1.5 La frecuencia de tránsito se calcula como:

$$f_{T1} = \frac{g_{m1}}{2\pi(C_{GS} + C_{GB})} \approx \frac{g_{m1}}{2\pi C_{GS}}$$

La capacitancia  $C_{GS}$  se calcula como

$$C_{GS} = \frac{2}{3} C'_{ox} WL = \frac{2}{3} (4.8 \text{ fF})$$

Donde  $C_{ox1} = C'_{ox1} WL = 4.8 \text{ fF}$

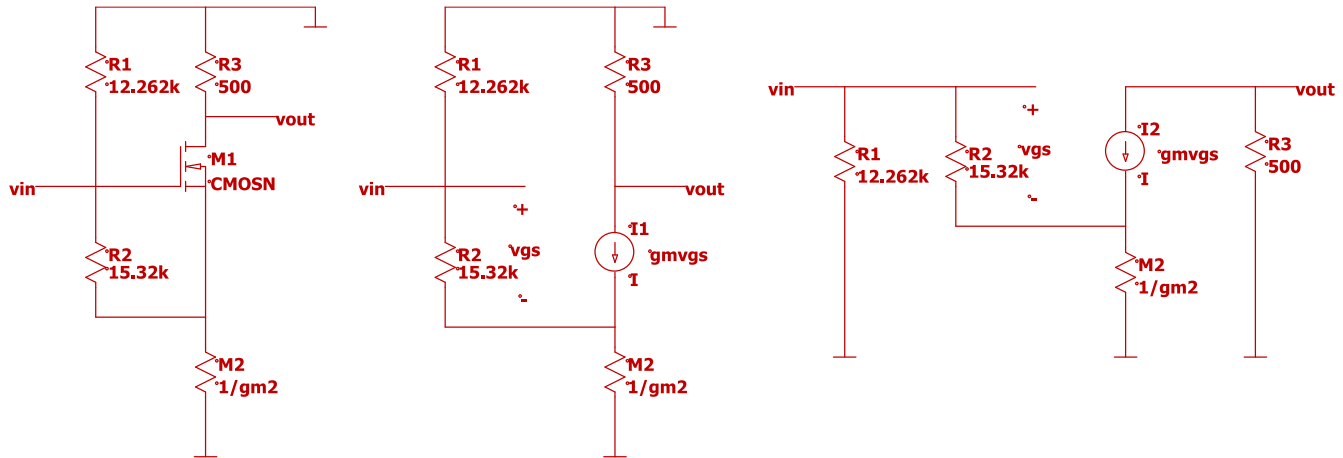
$$C_{GS} = 3.2 \text{ fF}$$

Y la transconductancia es:

$$g_{m1} = \sqrt{2K_1 I_D} = \sqrt{2(K_1' W/L) I_D} = \sqrt{2 \left( 200 \frac{\mu A}{V^2} \left( \frac{20}{0.18} \right) \right) (0.5 \text{ mA})} = 4.714 \text{ mS}$$

$$f_T = \frac{4.714 \text{ mS}}{2\pi(3.2 \text{ fF})} = 2.344 \times 10^{11} \text{ Hz} = 234.4 \text{ GHz}$$

1.6 El equivalente de pequeña señal se hace sustituyendo el transistor M1 por el modelo  $\pi$ , considerando que ahora la resistencia equivalente de M2 ya no aplica por estar en pequeña señal y que se debe reemplazar por  $1/g_{m2}$  (debido a que está conectado como diodo). De esta manera:



Donde la transconductancia del transistor M2 es

$$g_{m2} = \sqrt{2K_2I_D} = \sqrt{2(K_1' W/L)I_D} = \sqrt{2 \left( 22.75 \frac{mA}{V^2} \left( \frac{20}{0.18} \right) \right) (0.55 mA)} = 52.731 mS$$

Y la resistencia equivalente entonces es

$$\frac{1}{g_{m2}} = \frac{1}{52.731 mS} = 18.964 \Omega$$

En el circuito equivalente se debe buscar una expresión para  $v_{out}/v_{in}$ .

Esto ya es todo un problema aparte, porque es una configuración de fuente común con degeneración de emisor, y con el divisor de tensión con un nodo flotante (a un potencial distinto de tierra).

Para resolverlo se hace una LCK en el nodo de M2: a la izquierda corrientes que entran, derecha salen

$$g_{m1}v_{gs} + \frac{v_{gs}}{R_2} = \frac{v_{M2}}{1/g_{m2}}$$

$$g_{m1}v_{gs} + \frac{v_{gs}}{R_2} = \frac{v_{in} - v_{gs}}{1/g_{m2}}$$

De donde podemos reacomodar para despejar  $v_{gs}$

$$g_{m1}v_{gs} + \frac{v_{gs}}{R_2} = \frac{v_{in}}{1/g_{m2}} - \frac{v_{gs}}{1/g_{m2}}$$

$$g_{m1}v_{gs} + \frac{v_{gs}}{R_2} + \frac{v_{gs}}{1/g_{m2}} = \frac{v_{in}}{1/g_{m2}}$$

$$v_{gs} \left( g_{m1} + \frac{1}{R_2} + \frac{1}{1/g_{m2}} \right) = \frac{v_{in}}{1/g_{m2}}$$

$$v_{gs} = \frac{v_{in}}{1/g_{m2} \left( g_{m1} + \frac{1}{R_2} + \frac{1}{1/g_{m2}} \right)}$$

Ahora hacemos la segunda LCK en el nodo de salida (izquierda: corrientes entran, derecha: salen):

$$0 = \frac{v_{out}}{R_3} + g_{m1} v_{gs}$$

Reemplazando la ecuación de  $v_{gs}$  tenemos

$$0 = \frac{v_{out}}{R_3} + g_{m1} \left( \frac{v_{in}}{1/g_{m2} \left( g_{m1} + \frac{1}{R_2} + \frac{1}{1/g_{m2}} \right)} \right)$$

De donde despejamos la ganancia:

$$\frac{-v_{out}}{R_3} = g_{m1} \left( \frac{v_{in}}{1/g_{m2} \left( g_{m1} + \frac{1}{R_2} + \frac{1}{1/g_{m2}} \right)} \right)$$

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1} R_3}{1/g_{m2} \left( g_{m1} + \frac{1}{R_2} + \frac{1}{1/g_{m2}} \right)}$$

Evaluando los valores numéricos tenemos

$$\frac{v_{out}}{v_{in}} = \frac{-(4.714 \text{ mS})(500 \Omega)}{(18.964 \Omega) \left( 4.714 \text{ mS} + \frac{1}{15.32 \text{ k}\Omega} + 18.964 \Omega \right)} = -2.3576$$



## Problema 2 Modelo de Pequeña Señal

14 pts

(Juan José Montero)

El inversor CMOS de la Figura 2a se quiere utilizar como amplificador de pequeña señal. Sin embargo, por un error de parte del diseñador, el inversor CMOS se fabricó en silicio con un ancho  $W_2$  de  $25 \mu\text{m}$  en lugar de usar  $30 \mu\text{m}$ . Por este motivo, la tensión de salida es  $0.542 \text{ V}$  para una entrada de  $0.900 \text{ V}$  ( $V_{\text{OUT}} \neq V_{\text{DD}}/2$ ). La corriente en este punto de operación es  $I_{D1} = I_{D2} = 2.29 \text{ mA}$ .

Los parámetros del inversor se muestran en la tabla adjunta.

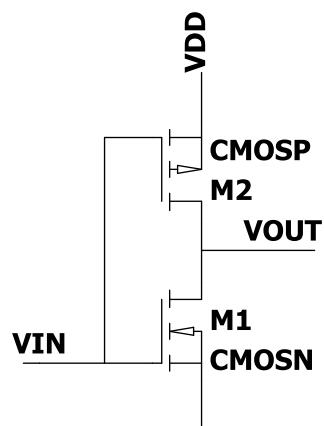


Figura 2a. Inversor CMOS.

$K_n' = \mu_n C_{ox} = 120 \mu\text{A/V}^2$
$K_p' = \mu_p C_{ox} = 40 \mu\text{A/V}^2$
$L_1 = L_2 = 0.18 \mu\text{m}$
$W_1 = 10 \mu\text{m}$
$W_2 = 25 \mu\text{m}$
$\lambda_1 = 0.1 \text{ V}^{-1}$
$\lambda_2 = 0.125 \text{ V}^{-1}$
$V_{\text{DD}} = 1.8 \text{ V}$
$V_{\text{in}} (\text{DC}) = 0.9 \text{ V}$
$V_{\text{out}} (\text{DC}) = 0.542 \text{ V}$
$I_{D1} = I_{D2} = 2.29 \text{ mA}$

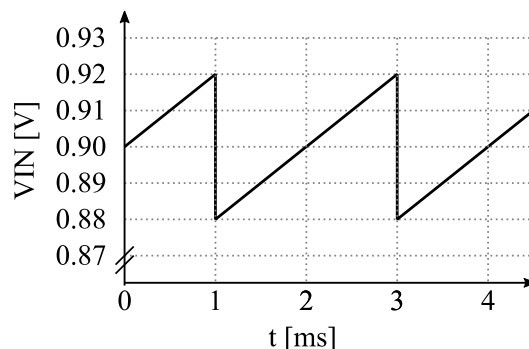


Figura 2b. Tensión de entrada.

2.1 Dibuje el circuito equivalente del inversor usando el modelo  $\pi$  analógico.

2 pts

2.2 Determine el valor de  $g_{m1}$ ,  $g_{m2}$ ,  $r_{o1}$  y  $r_{o2}$ .

4 pts

2.3 Determine la ganancia  $A_v$  del diseño con el error ( $W_1=10 \mu\text{m}$ ,  $W_2=25 \mu\text{m}$ ).

2 pts

2.4 Calcule la impedancia de salida del inversor CMOS vista desde la terminal  $V_{\text{OUT}}$ .

2 pts

2.5 Dibuje la forma de onda de salida (con el error) para la entrada de la Figura 2b.

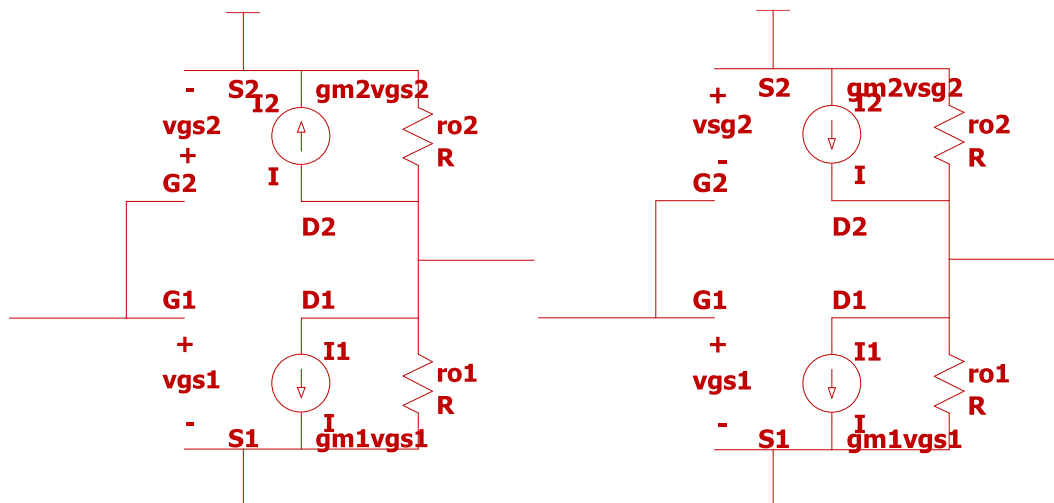
2 pts

2.6 Explique cuál es el problema de no linealidad que presenta esta onda de salida, en relación con la región de operación del transistor durante todo el periodo. Para este punto asuma  $V_{\text{THn}}=0.4 \text{ V}$

2 pts

### Solución

a) Cualquiera de los dos modelos siguientes es correcto, observe polaridad de  $v_{gs2}$  y dirección de  $I$



Aquí se pueden reacomodar las fuentes y resistencias para poner todo en la salida (en paralelo).

b) Determine el valor de  $g_{m1}$ ,  $g_{m2}$ ,  $r_{o1}$  y  $r_{o2}$

$$g_{m1} = \sqrt{2K_n I_D} = \sqrt{2 \left( 120 \frac{\mu A}{V^2} \right) \left( \frac{10}{0.18} \right) (2.29 \text{ mA})} = 5.5257 \text{ mS}$$

$$r_{o1} = \frac{1}{\lambda_1 I_D} = \frac{1}{(0.1 \text{ V}^{-1})(2.29 \text{ mA})} = 4.3668 \text{ k}\Omega$$

$$g_{m2} = \sqrt{2K_p I_D} = \sqrt{2 \left( 40 \frac{\mu A}{V^2} \right) \left( \frac{25}{0.18} \right) (2.29 \text{ mA})} = 5.0442 \text{ mS}$$

$$r_{o2} = \frac{1}{\lambda_2 I_D} = \frac{1}{(0.125 \text{ V}^{-1})(2.29 \text{ mA})} = 3.4934 \text{ k}\Omega$$

c) Determine la ganancia  $A_v$  del diseño con el error

Tomando la KCL en el nodo de salida (usando el circuito equivalente de la derecha)

$$g_{m2} v_{sg2} = \frac{v_{out}}{r_{o2}} + \frac{v_{out}}{r_{o1}} + g_{m1} v_{gs1}$$

Donde podemos observar que

$$v_{in} = v_{gs1} = -v_{sg2}$$

Esto se sustituye en la ecuación anterior para encontrar entonces

$$g_{m2}(-v_{in}) = \frac{v_{out}}{r_{o2}} + \frac{v_{out}}{r_{o1}} + g_{m1}(v_{in})$$

Despejando la ganancia

$$-(g_{m1} + g_{m2})v_{in} = \left( \frac{1}{r_{o1}} + \frac{1}{r_{o2}} \right) v_{out}$$

$$A_v = \frac{v_{out}}{v_{in}} = \frac{-(g_{m1} + g_{m2})}{\left( \frac{1}{r_{o1}} + \frac{1}{r_{o2}} \right)} = \frac{-(5.5257 \text{ mS} + 5.0442 \text{ mS})}{\frac{1}{4.3668 \text{ k}\Omega} + \frac{1}{3.4934 \text{ k}\Omega}} = \frac{-10.530 \text{ mS}}{0.51525 \text{ mS}} = -20.437$$

d) Para la impedancia de salida, se apaga la fuente  $V_{IN}$  y se observa que se apagan las dos fuentes de corriente, quedando solo las dos resistencias en paralelo. Por lo tanto

$$R_{out} = r_{o1} \parallel r_{o2} = \frac{4.3668 \text{ k}\Omega \times 3.4934 \text{ k}\Omega}{4.3668 \text{ k}\Omega + 3.4934 \text{ k}\Omega} = 1.9408 \text{ k}\Omega$$

e) La tensión de salida tiene la misma forma de onda, invertida y multiplicada por 20.437, centrada en la tensión del punto medio (0.542 V). La entrada tiene 20 mV pico, la salida debería tener 408.74 mV pico a pico.

f) El problema que presenta es que la tensión  $V_{DS1}$  cae por debajo de  $V_{GS}-V_{TH}$  ( $0.9-0.4$ ) y por lo tanto el circuito entra en la región lineal por tramos, para tensiones de salida menores a  $0.5$  V.

Esto no pasaría si el diseño original estuviera correcto, porque la tensión de salida estaría centrada en  $0.9$  V y llegaría a  $0.5$  V en el mínimo, permaneciendo siempre en saturación.

### Problema 3. Aplicaciones MOSFET

14 pts

(Mauricio Segura)

Considere el circuito mostrado en la Figura 3. Las terminales A y B son entradas del circuito. La tensión de alimentación es de 3 V. La tensión de umbral de los transistores NMOS es de 0.5V y la de los PMOS es de -0.5 V. Para todos los transistores,  $L = 1 \mu\text{m}$ ,  $K'_N = 1 \text{ mA/V}^2$ ,  $K'_P = 357 \mu\text{A/V}^2$ ,  $W_N = 2 \mu\text{m}$ ,  $W_P = 4 \mu\text{m}$ .

3.1 Identifique y dibuje el tipo de transistor de 4 terminales que se debe insertar en el espacio de  $Q_6$  y  $Q_{10}$ , para que se cumpla la condición mostrada en la salida ( $V_{OUT}$ ) de la tabla 2. (2 puntos)

3.2 Obtenga los valores lógicos, para las combinaciones de entrada indicadas en la Tabla 2 y que cumpla la condición de la salida ( $V_{OUT}$ ), indique para cada transistor  $Q$  si este se encuentra cerrado (con una C) o abierto (con una A). (5 puntos)

3.3 Clasifique los transistores según el tipo de canal, anote su respuesta en la tabla 1. (1 punto)

3.4 Sustituya los transistores  $Q_1$  y  $Q_2$  por un único transistor equivalente. Indique el valor de  $K$  equivalente de ese transistor. (3 puntos)

3.5 Calcule  $W/L$  del transistor equivalente del punto anterior. (3 puntos)

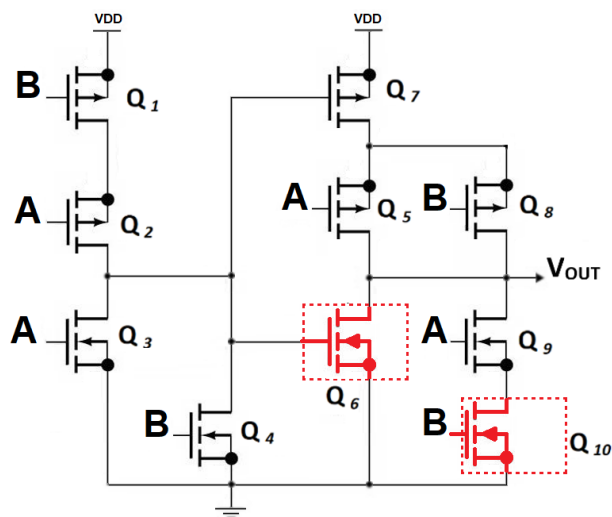
Figura 3. Circuito para el problema 3.

Tabla 1. Clasificación de los transistores

Transistor	Tipo de canal
Q1	PMOS
Q2	PMOS
Q3	NMOS
Q4	NMOS
Q5	PMOS
Q6	NMOS
Q7	PMOS
Q8	PMOS
Q9	NMOS
Q10	NMOS

Tabla 2. Tabla de verdad y estado de los interruptores.

Entradas		Transistores										Salida
A	B	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	$V_{OUT}$
0	0	C	C	A	A	C	C	A	C	A	A	0
0	1	A	C	A	C	C	A	C	A	A	C	1
1	0	C	A	C	A	A	A	C	C	C	A	1
1	1	A	A	C	C	A	A	C	A	C	C	0



#### d) Transconductancia equivalente

NOTA: No se pueden reemplazar Q1 y Q2 por un único transistor, porque tienen entradas diferentes y la función lógica cambiaría. Los transistores Q1, Q2, Q3 y Q4 son una NAND de dos entradas, es imposible hacer una NAND de dos entradas quitando Q1 y Q2.

Si por alguna razón se deja un PMOS en lugar de Q1 y Q2, y se le asigna cualquier entrada (sea A o B), cuando la entrada es 1 va a existir un cortocircuito entre VDD y GND.

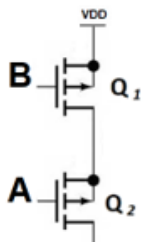
La única forma sería quitando todos los cuatro Q1-Q4 y poniendo tres transistores con lógica AOI.

Además, aquí se están mezclando dos cosas diferentes: la transconductancia  $g_m$  y el parámetro de transconductancia  $K$ . La transconductancia  $g_m$  no se suma como si fuera un paralelo o una serie.

Dos MOSFET en serie, si tienen parámetros idénticos, tendrían el mismo  $W$  y el doble de  $L$ . De manera que  $K$  para un “equivalente” es la mitad. ( $\mu n C_{ox} W / 2L$ ) pero para lograrlo deberían tener exactamente el mismo valor de  $V_{GS}$  y  $V_{TH}$ . Por lo que A y B deberían estar en valores de DC distintos y exactos. Aquí esta condición no se cumple.

El valor de  $K_P'$  es constante y no depende de si están en serie o paralelo o si es un solo transistor o si son diez. Es un parámetro del proceso y sólo la compañía donde se fabrica lo puede modificar con dopado.

Solución de Mauricio Segura:



Q1 y Q2 se encuentran en serie

La transconductancia es:

$$g_{m_{eq}} = \frac{g_{m1} * g_{m2}}{g_{m1} + g_{m2}}$$

$$g_m = K(V_{GS} - V_{TH})$$

Alimentación es de 3V

Tensión de umbral de -0.5V.

L= 1μm

K'p = 357μA/V<sup>2</sup>

Wp = 4μm.

$$g_{m_{eq}} = \frac{K(V_{GS} - V_{TH}) * K(V_{GS} - V_{TH})}{K(V_{GS} - V_{TH}) + K(V_{GS} - V_{TH})}$$

$$g_{m_{eq}} = \frac{K(V_{GS} - V_{TH})}{2}$$

$$g_{m_{eq}} = 2,499mS$$

$$K = 1,428$$

e) La relación W/L de un nuevo transistor depende de si es P o N, y debería ser tres veces el ancho del transistor N si fuera uno a uno. Pero como no tiene sentido reemplazar Q1 y Q2, este punto tampoco se puede resolver.

Solución de Mauricio Segura:

$$W/L = 4000$$