TEMAS SELECTOS DE INGENIERÍA

Dispositivos de efecto de campo

TEMAS SELECTOS DE INGENIERÍA

Dispositivos de efecto de campo

Segunda edición

Robert F. Pierret
Purdue University

Versión en español de

Bartolomé Fabian-Fränkel
Universidad Tecnológica Nacional
Buenos Aires, Argentina

Con la colaboración de

Luis Alberto Bailón Vega
Universidad de Valladolid
España

ADDISON-WESLEY IBEROAMERICANA
Argentina • Brasil • Chile • Colombia • Ecuador • España
Estados Unidos • México • Perú • Puerto Rico • Venezuela

Versión en español de la obra titulada *Field Effect Devices, Second Edition,* de Robert F. Pierret, publicada originalmente en inglés por Addison-Wesley Publishing Co., Inc., Reading Massachusetts, E.U.A. © 1990 por Addison-Wesley Publishing Co., Inc.

Esta edición en español es la única autorizada.

Portada: Altraforma, S.A.
México, D.F.

621.317
P623d2

54272

MAR 1 6 1996

ADDISON-WESLEY IBEROAMERICANA
Malabia 2363-2ºG, Buenos Aires 1425, Argentina
Ave. Brigadeiro Luis Antonio 2344, Conjunto 114,
São Paulo 01402, São Paulo, Brasil
Cruz 1469-depto. 21 Independencias
Santiago de Chile
Apartado Aéreo 241-943, Santa Fé de Bogotá, Colombia
Espalter 3 bajo, Madrid 28014, España
7 Jacob Way, Reading, Massachusetts 01867, E.U.A.
Apartado Postal 22-012, México D.F. 14000, México
Apartado Postal 29853, Río Piedras, Puerto Rico 00929
Apartado Postal 51454, Caracas 1050-A, Venezuela

© 1994 por **Addison-Wesley Iberoamericana, S.A.**
Wilmington, Delaware, E.U.A.

Impreso en Estados Unidos. *Printed in U.S.A.*

ISBN 0-201-60141-9

1 2 3 4 5 6 7 8 9 10-CRS-99 98 97 96 95 94

Libro
Buen
Estado

Índice general

Introducción general 1

1 J-FET y MESFET 9

1.1 Introducción 9
1.2 Teoría cualitativa de funcionamiento 10
1.3 Relaciones cuantitativas I_D–V_D 16
1.4 Respuesta a la frecuencia 21
Problemas 24

2 Fundamentos de los MOS 29

2.1 Definición de la estructura ideal 29
2.2 Electrostática, básicamente cualitativa 31
2.2.1 Apoyos de percepción visual 31
Diagrama de bandas de energía 31
Diagramas de bloques de cargas 32
2.2.2 Efecto de una polarización aplicada 33
Observaciones generales 33
Regiones específicas de polarización 34
2.3 Electrostática: formulación cuantitativa 36
2.3.1 Electrostática del semiconductor 36
Consideraciones previas 36
Solución de vaciamiento delta 39
2.3.2 Expresión del voltaje de compuerta 42
2.4 Características capacidad-voltaje 46
2.4.1 Teoría y análisis 46
Teoría cualitativa 46
Análisis del vaciamiento delta 50
2.4.2 Cálculos y observaciones 51
Cálculos exactos 51
Observaciones prácticas 54
2.5 Resumen y comentarios finales 56
Problemas 57

3 MOSFET: Introducción 63

3.1 Teoría cualitativa de funcionamiento 63
3.2 Relaciones cuantitativas I_D–V_D 67

3.2.1 Consideraciones previas 68
Voltaje umbral 68
Movilidad efectiva 68
3.2.2 Teoría de la ley cuadrática 70
3.2.3 Teoría de carga en volumen 74
3.3 Respuesta a la frecuencia 77
3.3.1 Circuitos equivalentes de pequeña señal 77
3.3.2 Frecuencia de corte 80
3.3.3 Características de pequeña señal 80
3.4 Resumen 82
Problemas 83

4 El MOS no ideal 87

4.1 Diferencia de función trabajo metal-semiconductor 87
4.2 Cargas en el óxido 91
4.2.1 Información general 91
4.2.2 Iones móviles 93
4.2.3 Carga fija 98
4.2.4 Trampas interfaciales 101
4.2.5 Cargas inducidas 106
Efectos de la radiación 106
Inestabilidad por polarización negativa 108
4.2.6 Resumen ΔV_G 109
4.3 MOSFET: Consideraciones sobre el voltaje umbral 110
4.3.1 Expresión de V_T 110
4.3.2 Umbral: terminología y tecnología 111
4.3.3 Ajuste del voltaje umbral 113
4.3.4 Polarización del sustrato 114
4.3.5 Resumen 116
Problemas 116

5 Estructuras FET modernas 121

5.1 Efectos de pequeña dimensión 121
5.1.1 Introducción 121
5.1.2 Modificación del voltaje umbral 124
Canal corto 124
Canal estrecho 126
5.1.3 Acción BJT parásita 127
5.1.4 Efectos de portadores altamente energéticos 129
Carga del óxido 129
Saturación de la velocidad 129
Transporte balístico 130
5.2 Revisión de estructuras tipo 131
5.2.1 FET de Si 131

Transistores LDD 131
DMOS 132
MOSFET de canal enterrado 132
Estructuras SOI 134
5.2.2 FET de GaAs 135
D-MESFET y E-MESFET 135
MODFET (HEMT) 136
Problemas 138

Lecturas recomendadas 141

Apéndice A. Ejercicios 143

Apéndice B. Electrostática del semiconductor. Solución exacta 157

Apéndice C. Complemento *C-V* 161

Apéndice D. Complemento *I-V* 163

Apéndice E. Problemas de revisión del texto con sus soluciones 165

Apéndice F. Lista de símbolos 183

Apéndice G. Constantes físicas, parámetros físicos y relaciones clave 189

Índice de materias 191

Prefacio

Los dispositivos de estado sólido han alcanzado un nivel de perfeccionamiento e importancia económica que excedió las más altas expectativas de sus inventores. Al ofrecer permanentemente dispositivos de mejor comportamiento a un costo unitario decreciente, la industria electrónica ha penetrado en mercados nunca antes considerados. Como requisito para mantener esta iniciativa de crecimiento, es necesaria una amplia comprensión del funcionamiento interno de los dispositivos de estado sólido por parte de los diseñadores modernos de circuitos electrónicos y sistemas. Esto es esencial, pues tanto el sistema como el circuito y los procesos de diseño del circuito integrado se fusionan en una función única. Teniendo en consideración los requerimientos actuales y proyectados, hemos escrito una serie de textos* que brindan una fundamentación intuitiva y analítica firme para tratar los dispositivos de estado sólido.

Nuestros libros están destinados a estudiantes de los últimos años de los cursos básicos o del primero del superior, que hayan tenido al menos una exposición introductoria a la teoría del campo eléctrico. Se pone énfasis en el desarrollo de una comprensión fundamental sobre el funcionamiento interno de la mayoría de las estructuras básicas de los dispositivos de estado sólido. Quitando algunos temas, el material de estos libros se utiliza en cursos de ingeniería eléctrica y electrónica en la Purdue University.

Los diversos libros son relativamente independientes entre sí, aunque algunas fórmulas necesariamente se repiten, y se hacen referencias cruzadas. Esta flexibilidad permite utilizar los libros de acuerdo con las necesidades específicas de cada currículo universitario, ya sea como textos de un curso completo o como material complementario. También se espera que estudiantes, ingenieros y científicos encuentren útiles estos libros para su instrucción personal, sea como referencia, repaso o estudio en casa.

Muchos de los textos estándar sobre dispositivos se han escrito como enciclopedias, atiborrados de información pero con poca visión sobre cómo el estudiante aprende o razona. Los libros que son de naturaleza enciclopédica frecuentemente resultan difíciles de leer para los estudiantes e incluso pueden presentar barreras a la comprensión. Al fragmentar el material en unidades de información más pequeñas, y al escribir *para estudiantes*, esperamos haber logrado libros realmente legibles y comprensibles. También hemos buscado obtener un balance equilibrado entre presentación de conceptos básicos e información práctica.

* La versión en español de la obras de los profesores Pierret y Neudeck forma parte de la serie "Temas selectos de ingeniería", publicada por Addison-Wesley Iberoamericana. *(N. del E.)*

Los problemas que aparecen al final de cada capítulo constituyen componentes importantes del programa de aprendizaje. Algunos de esos problemas amplían la teoría expuesta en el texto o están elaborados para reforzar temas de mucha importancia; otros son problemas numéricos que proporcionan al lector una sensación intuitiva sobre la dimensión típica de los parámetros clave. Entonces, cuando se establezcan o presupongan aproximaciones, el estudiante podrá confiar en que unas cantidades citadas serán efectivamente más pequeñas que otras en varios órdenes de magnitud. Estos problemas de final de capítulo varían en dificultad, desde ser muy sencillos hasta llegar a constituir verdaderos desafíos. En la segunda edición de este título se han agregado problemas resueltos o *ejercicios*, que aparecen recopilados en el apéndice A, y se hace referencia a ellos en el texto. Los ejercicios son de naturaleza similar a los problemas de final de capítulo. Finalmente, el apéndice B contiene grupos de problemas con soluciones de revisión que abarcan todo el volumen. Estos conjuntos presentan consultas de respuesta breve, del tipo utilizado en exámenes o evaluaciones, y pueden servir de revisión o para autoevaluación.

Reiteramos que en nuestros libros se pone énfasis en el desarrollo de una comprensión definida sobre el funcionamiento intrínseco de la mayor parte de las estructuras de los dispositivos de estado sólido. No obstante, tenemos la esperanza de que ayudarán (y quizás motivarán) al lector para extender sus conocimientos al aprendizaje sobre muchos otros dispositivos ya en uso, y aun a buscar información sobre los que están en etapa de desarrollo en laboratorios.

Gerold W. Neudeck
Robert F. Pierret
Purdue University

Prefacio a la segunda edición

Todo es igual, nada es igual. Esto quizás describe del mejor modo la segunda edición de este libro. Aun cuando se ha eliminado muy poco desde la primera edición, el volumen ha sufrido una revisión importante. Además del mantenimiento y la actualización necesarios, la revisión refleja la experiencia del autor, quien considera que puede ser deseable reducir el nivel de cobertura del material.

Al principio del libro hay ahora una introducción general, y al final de él se incluye un capítulo nuevo que trata sobre estructuras FET modernas. Entre ambas partes se efectuó un reordenamiento significativo del temario. Los capítulos 2 y 3 de la primera edición estaban dedicados a los dispositivos MOS estáticos ideales y a las características *C-V*, respectivamente, mientras que ahora se unificaron y simplificaron en un capítulo denominado "Fundamentos de los MOS". Las partes más complejas de ambos capítulos de la primera edición –la electrostática precisa y el análisis de *C-V* correspondiente– se colocaron en los apéndices B y C en la segunda edición. Se ha reubicado también la mayor porción del capítulo sobre MOSFET, *antes* de tratar las no idealidades. En combinación con modificaciones para asegurar el capítulo 1 (J-FET y MESFET) y el capítulo 4 (MOS no ideal), se puede omitir sin sufrir la pérdida de continuidad; esta reestructuración permite diversas opciones viables de presentación del material. Específicamente, la introducción general, más los capítulos 2, 3 y 5, brindan una introducción coherente a los dispositivos de efecto de campo. El profesor podría incluso soslayar el capítulo 5 si desea una cobertura mínima. Por otra parte, la inclusión del capítulo 4 incrementa decididamente el nivel y extensión de la presentación. Se logra aún mayor complejidad si se incorpora el material de los apéndices B a D. Por supuesto, la mejor cobertura pedagógica incluye el capítulo 1.

Además de la reestructuración del volumen, hay muchos cambios y mejoras notables. Como se mencionó en el prefacio, en este volumen se incluyeron un apéndice de ejercicios y un apéndice que contiene grupos de problemas con soluciones de revisión. Al reconocer cierta dificultad asociada con su uso, algunos símbolos destacados en la primera edición se eliminaron, o se usan en forma restringida en la segunda edición. Los potenciales normalizados (U, U_F, U_S) sólo aparecen en los apéndices de la segunda edición, mientras que V'_G (el voltaje aplicado a la compuerta de un dispositivo ideal) ahora aparece sólo en el capítulo 4. Se eliminó por completo la relación $x'_o \equiv (K_S/K_O)x_o$, que invariablemente llevaba a errores en cálculos numéricos. También se eliminó el uso de $T = 23°C$ para temperatura ambiente. Todos los cálculos y ejemplos de la segunda edición utilizan el estándar $T = 300$ K. Por supuesto, el volumen contiene problemas y ejercicios nuevos y revisados. En opinión del autor, la segunda edición de este libro es realmente nueva y mejor.

R. F. Pierret

Nota al lector de la versión en español

La presente obra fue publicada en inglés dentro de la serie "Modular Series on Solid State Devices" de Addison-Wesley Publishing Company. De esa serie, se encuentran disponibles en español los siguientes títulos:

1. Pierret, R.F., *Fundamentos de semiconductores, Segunda edición*
2. Neudeck, G.W., *El diodo PN de unión. Segunda edición*
3. Neudeck, G.W., *El transistor bipolar de unión. Segunda edición*
4. Pierret, R.F., *Dispositivos de efecto de campo. Segunda edición*

Todos son parte de la serie Temas Selectos de Ingeniería de Addison-Wesley Iberoamericana.

Se sugiere al lector estudiar los libros en el orden arriba indicado, ya que así fueron concebidos originalmente.

Introducción general

Históricamente, el fenómeno de efecto de campo fue la base del primer tipo de transistor de estado sólido presentado. Los transistores de efecto de campo precedieron al transistor bipolar de unión en 20 años aproximadamente. Según se registra en una serie de patentes presentadas en las décadas de 1920 y 1930, J.E. Lilienfeld en Estados Unidos y O.Heil en Alemania, trabajando en forma totalmente independiente, concibieron una estructrura de transistor de la forma que aparece en la figura 1. El dispositivo trabajaba sobre el principio de que un voltaje aplicado a la placa metálica modulaba la conductancia del semiconductor subyacente, que a su vez modulaba el flujo de corriente entre los contactos óhmicos A y B. Este fenómeno, en el que la conductividad de un semiconductor es modulada por un campo eléctrico aplicado normalmente a la superficie del semiconductor, se denominó *efecto de campo*.

Las primeras propuestas de transistor de efecto de campo estaban, por supuesto, algo adelantadas a su tiempo. En esa época no se contaba con los materiales semiconductores de hoy, y la inmadurez técnica general retrasó muchos años el desarrollo de las estructuras de efecto de campo. Para una realización práctica hubo que esperar el desarrollo con éxito de otros dispositivos de estado sólido, en particular el transistor bipolar de unión (BJT, *bipolar junction transistor*) a fines de la década de 1940 y principios de la década de 1950. El primer dispositivo de efecto de campo moderno, el transistor de unión de efecto de campo (J-FET, *junction field effect transistor*) fue presentado y analizado por W. Shockley en 1952 [1]. Luego, Dacey y Ross construyeron en 1953 los J-FET operacionales [2]. Como aparece de manera esquemática en la figura 2 (la cual se adaptó de una antigua publicación de Dacey y Ross [3]), las uniones *pn* reemplazaban la placa metálica en la estructura de Lilienfeld, los contactos A y B comenzaron a conocerse como fuente y drenaje, y el electrodo de efecto de campo recibió el nombre de compuerta. En el J-FET

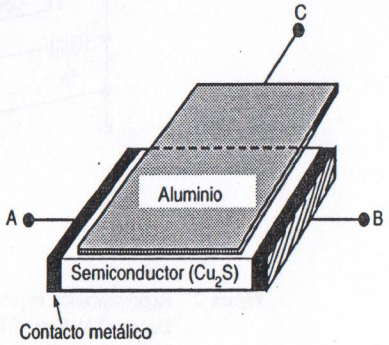


Figura 1 Idealización del transistor de Lilienfeld.

son las regiones de vaciamiento asociadas con las uniones *pn* las que modulan la conductividad del semiconductor entre los contactos de la fuente y el drenaje.

A principios de la década de 1960 alcanzó aplicación práctica un componente esencial de la microelectrónica de hoy en día, el transistor de efecto de campo de metal-óxido-semiconductor (MOSFET, *metal-oxide-semiconductor field effect transistor*). En 1960, Kahng y Atalla [4] informaron por primera vez sobre la ahora familiar versión planar de la estructura que aparece en la figura 3, una disposición con SiO_2 producido térmicamente que actúa como aislante para la compuerta, un canal de inversión superficial e islas de contaminación intencional opuesta a la del sustrato, que actúan como fuente y drenaje. Tras intensos esfuerzos de desarrollo, los MOSFET comerciales producidos por Fairchild Semiconductor y por RCA salieron al mercado a fines de 1964. La que se presenta aquí como figura 3 apareció originalmente en la portada del boletín de aplicaciones de 1964, en el que se describió el primer MOSFET Fairchild [5].

En la segunda mitad de la década de 1960 se produjo un importante adelanto, y fue el invento de la celda dinámica de memoria de un transistor, utilizada en la memoria de acceso aleatorio (DRAM, *dinamic random access memory*). La celda DRAM (véase la Fig. 4) es una combinación integrada de un condensador de almacenamiento de carga y un MOSFET utilizado como conmutador. En un artículo reciente [8] hay un apartado que describe muy bien el significado del invento y su impacto. "La celda 1-T DRAM es actualmente el objeto de fabricación humana más abundante del planeta Tierra."

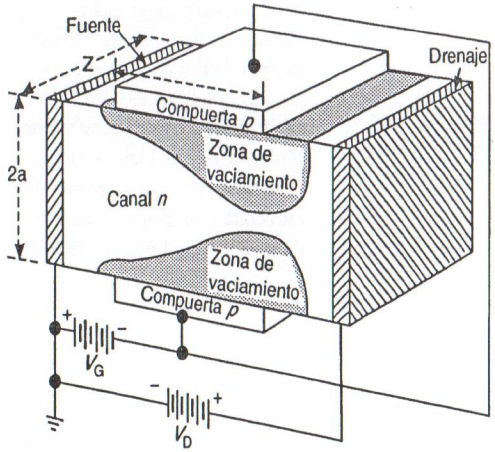


Figura 2 Representación esquemática del transistor de unión de efecto de campo (G.C. Dacey e I.M. Ross, "The Field Effect Transistor", *Bell System Technical Journal*, Vol. 34, núm. 6, parte II,1955, págs. 1149-1189. © AT&T. Reproducido con autorización especial.)

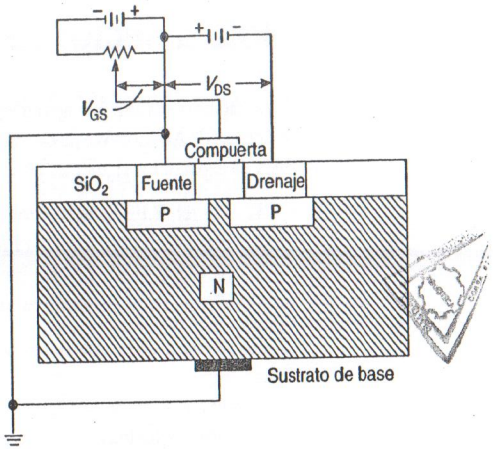


Figura 3 Sección transversal de un MOSFET con polarización correcta (tomada de *Fairchild Semiconductor Application Bulletin*, noviembre de 1964, APP 109, "Applications of the Silicon Planar II MOSFET" de John S. MacDougall. Reproducido con autorización de National Semiconductor).

A principios de la década de 1970 apareció otra estructura importante de efecto de campo: el dispositivo de carga acoplada (CCD, *charge-coupled device*). Físicamente, el CCD se puede ver como un MOSFET con compuerta segmentada. Como se observa en la figura 5, la aplicación adecuada de polarizaciones a las compuertas CCD induce el desplazamiento sistemático o transferencia de carga acumulada a lo largo de la superficie del dispositivo y hacia la salida de él. El elemento sensible de imagen de las denominadas "camcorder", es decir, cámaras filmadoras caseras que son una combinación de cámara de TV y grabadora de vídeo, consiste en un CCD con una distribución bidimensional de

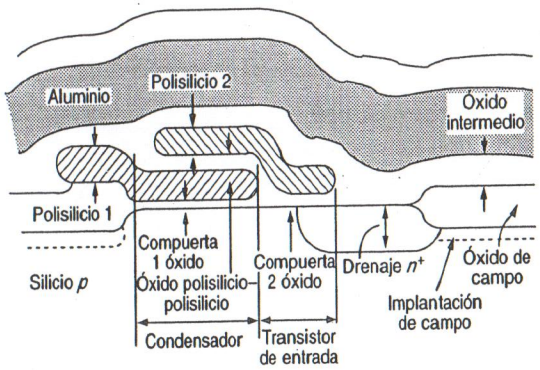
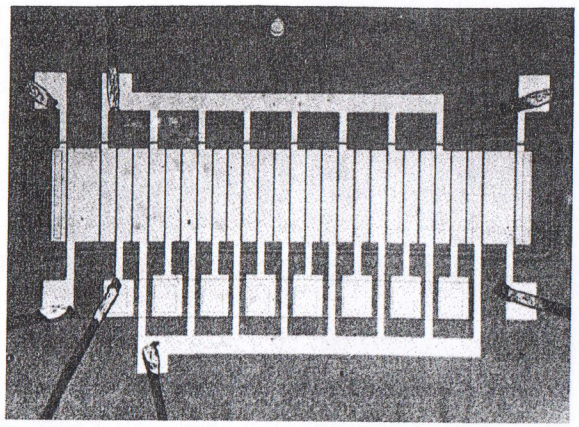


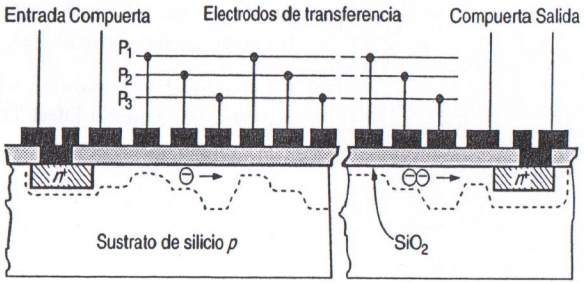
Figura 4 Sección transversal esquemática de una celda DRAM moderna (tomada de Wyns y Anderson, [7], © 1989 IEEE).

compuertas. La carga almacenada resulta así proporcional a la imagen óptica incidente sobre la distribución bidimensional de compuertas. Posteriormente, la analogía eléctrica de la imagen óptica se transfiere a la salida, donde se convierte en una señal eléctrica.

Hasta el presente continúan la invención, el desarrollo y la evolución de dispositivos de efecto de campo. Desde principios de la década de 1980, es notable el avance de la tecnología de circuitos integrados MOS y CMOS. En la figura 6 aparece una vista transversal de un bloque básico en circuitos CMOS: el inversor CMOS. El término "complementario" denota el hecho de que, a diferencia de otras tecnologías de circuitos MOS, tanto el MOSFET de canal *n* (portador de corriente de electrones) como el MOSFET de canal *p* (portador de corriente de huecos) están fabricados en el mismo chip.



(a)



(b)

Figura 5 Primer dispositivo de cargas acopladas, que consiste en ocho elementos de tres faces, y compuertas y diodos de entrada-salida, en vistas (a) plana y (b) esquemática en sección transversal (tomada de Tompsett *et al.*, [9]).

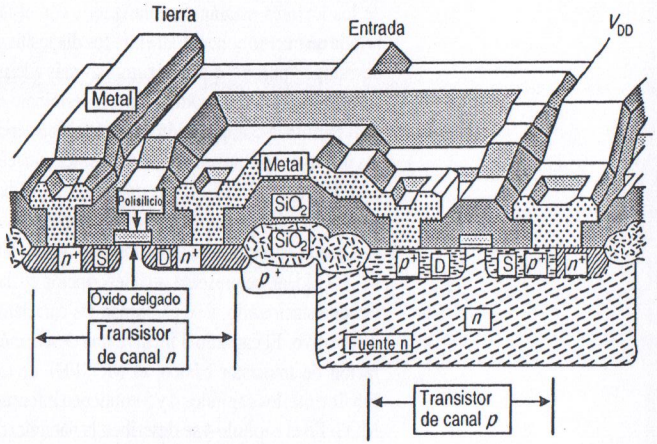


Figura 6 Corte esquemático de un inversor CMOS (tomada de Maly [11]. Reproducido con autorización, Addison-Wesley Publishing Co.)

Aun cuando en la década de los 80 los CMOS constituyeron la vanguardia debido a su baja disipación de potencia y a otras ventajas relacionadas con los circuitos, el cambio fue evolutivo: el CMOS no es una nueva tecnología de circuitos. Fue concebido inicialmente por Wanlass [10] a principios de la década de los 60 y aún se producía masivamente como parte circuital de los relojes con pantalla de diodos emisores de luz (LED, *light emitting diodes*) en 1972.

Mientras que el uso del CMOS es un ejemplo de los cambios evolutivos continuos, se prosigue con la invención y el desarrollo de dispositivos de efecto de campo. Un excelente ejemplo de ello es el transistor de efecto de campo con contaminación intencional modulada (MODFET, *modulation doped field effect transistor*) que aparece en la figura 7. Aun cuando las propiedades de transporte de electrones del GaAs son superiores a las del silicio, la tecnología del GaAs carece de un aislador de calidad homomórfica (que contenga Ga o As) comparable al SiO_2. Además, el depósito de otros aisladores sobre GaAs ha fracasado sistemáticamente en cuanto a producir dispositivos con características eléctricas aceptables. Sin embargo, la aparición de complejas técnicas de deposición, como la epitaxia por haz molecular (MBE, *molecular beam epitaxy*), ha hecho posible crecer, unas sobre otras, capas de semiconductores con diferentes parámetros de red. El semiconductor de aleación de AlGaAs que aparece en la figura 7 tiene un ancho de banda prohibida mayor que el del GaAs, y en esencia asume la función de "aislador" en la estructura MODFET. El MODFET promete ser un contendiente de importancia para usarse en circuitos lógicos de alta velocidad en la década de los 90.

Este volumen pretende constituir una introducción a los dispositivos de efecto de campo. Se examinan con algún detalle los elementos básicos de la familia de dispositivos de efecto de campo para hacer patente al lector los términos, los conceptos, los modelos y los procedimientos analíticos correspondientes. El capítulo 1 está primordialmente dedicado al transistor de unión de efecto de campo (J-FET), aun cuando el estudio y el análisis pueden aplicarse por igual al muy similar transistor de efecto de campo de metal-

semiconductor (MESFET, *metal-semiconductor field effect transistor*). Como la mayoría de los lectores estarán familiarizados con el funcionamiento de la unión *pn*, el J-FET brinda un puente conceptual entre los dispositivos de unión *pn* y los dispositivos de efecto de campo "puros", que se examinan más adelante. Además, el análisis del J-FET sirve como una primera introducción a la terminología, los procedimientos analíticos, etc., lo cual facilita la comprensión del análisis posterior. Sin embargo, hay que hacer notar que los últimos capítulos son autosuficientes, sin referencias específicas a la presentación del J-FET o del MESFET. Los capítulos 2 y 3 brindan una cobertura básica de los fundamentos y la estructura del MOS. El condensador MOS de dos terminales o MOS-C es el corazón estructural de todos los dispositivos MOS. En el capítulo 2 se define la estructura MOS-C ideal, se presenta una descripción cualitativa y cuantitativa de la estructura en el estado estacionario, y se examinan las características de capacidad-voltaje deducidas del dispositivo. El capítulo 3 incluye una descripción operacional y un análisis de la configuración de transistor básico, el MOSFET de canal largo en modo de enriquecimiento. Finalmente, los capítulos 4 y 5 contienen información relacionada en forma práctica con los MOS. En el capítulo 4 se describen la naturaleza y el efecto de las desviaciones respecto al ideal, mientras que en el capítulo 5 se presenta un estudio introductorio de los efectos de pequeña dimensión en los MOSFET. En el capítulo 5 se incluye también una somera visión de las estructuras de FET en desarrollo y evolución.

Al finalizar el presente volumen, el lector interesado en conocer acerca de los CCD y las celdas de memoria MOS mencionados en la introducción general, o simplemente en aprender más sobre los dispositivos MOS en general, puede consultar el libro *Advanced MOS Devices*, de D.K. Schroder. Para detalles sobre la fabricación de los MOS, puede consultar el libro *Introduction to Microelectronic Fabrication*, de R.C. Jaeger. Finalmente, en el artículo de C.T. Sah [8] puede encontrar una revisión muy extensa y detallada sobre la historia del dispositivo MOS.

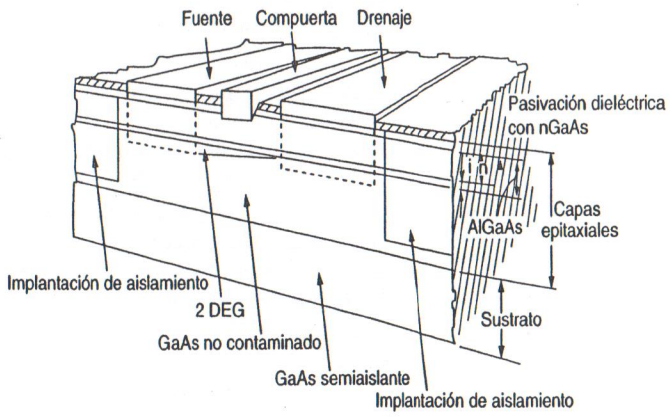


Figura 7 Vista en perspectiva de una estructura de MODFET similar a la utilizada en prototipos de circuitos integrados (tomada de Drummond et al., [12], © 1986 IEEE).

REFERENCIAS

[1] W. Shockley, "A Unipolar Field-Effect Transistor", *Proc. IRE*, **40**, 1365, noviembre de 1952.

[2] G.C. Dacey e I.M. Ross, "Unipolar Field-Effect Transistor", *Proc. IRE*, **41**, 970, agosto de 1953.

[3] G.C. Dacey e I.M. Ross, "The Field-Effect Transistor", *Bell System Tech. J.*, **34**, 1149, noviembre de 1955.

[4] D. Kahng y M.M. Atalla, "Silicon-Silicon Dioxide Field Induced Surface Devices", presentado en la conferencia de IRE-AIEE sobre investigación del estado sólido, Carnegie Institute of Technology, Pittsburgh, Pa., 1960.

[5] J.S. MacDougall, "Applications of the Silicon Planar II MOSFET", *Application Bulletin*, Fairchild Semiconductor, noviembre de 1964.

[6] R.H. Dennard, "Field-Effect Transistor Memory", patente U.S. 3 387 286 solicitada el 14 de julio de 1967 y otorgada el 4 de junio de 1968.

[7] P. Wyns y R.L. Anderson, "Low-Temperature Operation of Silicon Dynamic Random Access Memories", *IEEE Trans. on Electron Devices*, **36**, 1423, agosto de 1989.

[8] C.T. Sah, "Evolution of the MOS Transistor – From Conception to VLSI", *Proc. IEEE*, **76**, 1280, octubre de 1988.

[9] M.F. Tompsett, G.F. Amelio y G.E. Smith, "Charge Coupled 8-bit Shift Register", *Appl. Phys. Lett.*, **17**, 111, 1970.

[10] F.M. Wanlass y C.T. Sah, "Nanowatt Logic Using Field-effect Metal Oxide-Semiconductor Triodes", en *Technical Digest of IEEE 1963 Int. Solid-State Circuit Conf.*, pág. 32-33, 20 de febrero de 1963. F.M. Wanlass, "Low Stand-By Power Complementary Field-Effect Circuitry", patente U.S. 3 356 858 solicitada el 18 de junio de 1963 y otorgada el 5 de diciembre de 1967.

[11] W. Maly, *Atlas of IC Technologies: An Introduction to VLSI Processes*, The Benjamin/Cummings Publishing Co., Inc., Menlo Park, Calif., © 198[illegible], pág. 191.

[12] T.J. Drummond, W.T. Masselink y H. Morkoç, "Modulation-Doped GaAs/(Al,Ga)As Heterojunction Field-Effect Transistors: MODFETs", *Proc. IEEE*, **74**, [illegible] 3, junio de 1986.

1 J-FET y MESFET

1.1 INTRODUCCIÓN

Como se mencionó en la introducción general, en 1952 W. Shockley propuso y analizó por primera vez el transistor de unión de efecto de campo (J-FET, *junction-field effect transistor*). En la figura 1.1 se muestra una sección transversal de la estructura del dispositivo básico. En el J-FET, la aplicación de un voltaje de compuerta varía los espesores de las zonas de vaciamiento de la unión *pn* y el campo eléctrico asociado, en la dirección normal a la superficie del semiconductor. A su vez, las modificaciones en los anchos de las zonas de vaciamiento modulan la conductancia entre los contactos óhmicos de la fuente y el drenaje.

Inicialmente, el J-FET se denominó transistor unipolar para distinguirlo del transistor bipolar de unión y para destacar que sólo un tipo de portador intervenía en el funcionamiento del nuevo dispositivo. Específicamente, para la estructura que se ve en la figura 1.1, la operación normal del transistor se puede describir totalmente en función de los electrones que fluyen en la región *n*, de la fuente al drenaje. El terminal denominado fuente (S, *source*) recibe su nombre del hecho de que los portadores que contribuyen al flujo de corriente se desplazan desde el circuito externo hasta el interior del semiconductor a través de este electrodo. Los portadores salen del semiconductor, o son "drenados" del semiconductor, por el electrodo drenaje (D, *drain*). La compuerta recibe su nombre por su acción como control o efecto de compuerta. La versión moderna del J-FET, que aparece en la figura 1.2, aunque difiere algo en apariencia física, funcionalmente equivale a la estructura original de Shockley.

Los diodos rectificadores de metal–semiconductor (o barrera Shottky) y los diodos de unión *pn* están estrechamente relacionados en muchos aspectos (véase Neudeck, G.W., *The PN Junction Diode*, Cap. 7*). En particular también se forma una región de

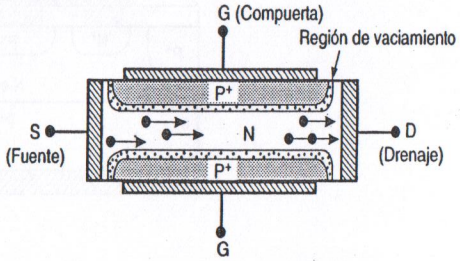


Figura 1.1 Sección transversal de la estructura básica del J-FET.

* La obra citada, publicada originalmente en inglés por Addison-Wesley, se encuentra disponible en español en la serie Temas Selectos de Ingeniería de Addison-Wesley Iberoamericaca. (*N. del E.*)

vaciamiento que puede ser modulada bajo una unión rectificadora de metal-semiconductor, por el voltaje aplicado. Así, resulta lógico que, como lo propuso Mead en 1966, se puedan construir transistores de efecto de campo con compuertas rectificadoras de metal-semiconductor. En las figuras 1.3(a) y 1.3(b) se presentan versiones idealizada y moderna del transistor de efecto de campo de metal semiconductor (MESFET, *metal semiconductor field effect transistor*). Como se podría inferir de la figura 1.3(b), los MESFET aparecen casi exclusivamente en circuitos desarrollados sobre la base de GaAs. El uso de MESFET en circuitos integrados de GaAs se debe a la falta de una tecnología de contaminación metal-aislante-GaAs y a la inmadurez de la promisoria tecnología de intencional modulada (MODFET, *modulation doped field effect transistor*). En el estudio y el análisis que siguen sólo se hace referencia al J-FET. Sin embargo, hay que entender que los razonamientos y conclusiones se aplican igualmente, con modificaciones menores, a los MESFET de gran dimensión.

1.2 TEORÍA CUALITATIVA DE FUNCIONAMIENTO

Para establecer los principios básicos de funcionamiento del J-FET, se suponen condiciones normales de polarización y se analiza la estructura simétrica de Shockley, un tanto idealizada, que aparece en la figura 1.1. Dada una región tipo *n* entre fuente y drenaje, se dan las condiciones de operación estándar en el J-FET cuando las compuertas superior e inferior se unen entre sí, $V_G \leq 0$ y $V_D \geq 0$, como se puede ver en la figura 1.4. Nótese que con $V_G \leq 0$, las uniones *pn* están siempre en polarización nula o inversa. Así mismo, $V_D \geq 0$ asegura que los electrones en la región *n* se desplacen de la fuente al drenaje (de acuerdo con la denominación de los terminales S y D). Ahora el procedimiento consistirá en modificar de manera sistemática los voltajes de los terminales y examinar qué sucede dentro del dispositivo.

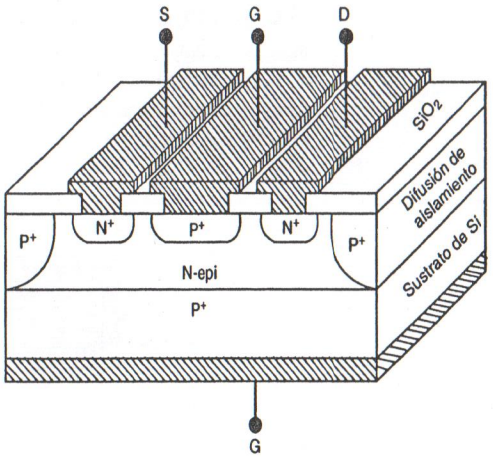


Figura 1.2 Vista en perspectiva de un J-FET moderno de capas epitaxiales.

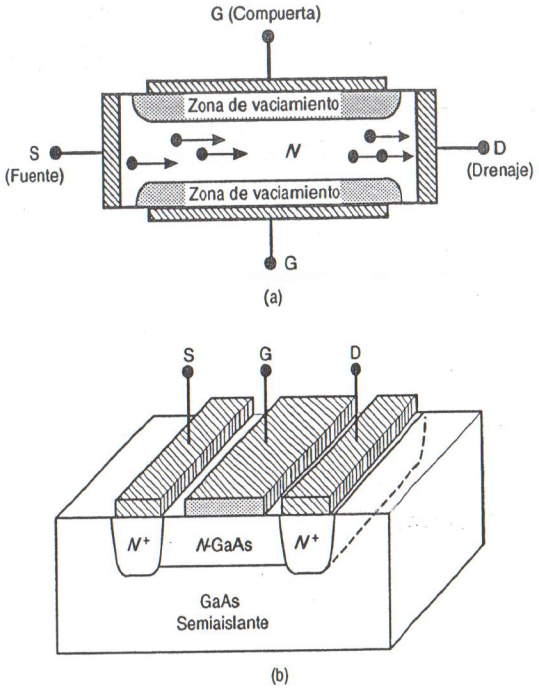


Figura 1.3 El MESFET. (a) Estructura idealizada y (b) vista simplificada en perspectiva de un MESFET de GaAs moderno.

Ante todo, se supone que el terminal de compuerta está conectado a tierra, $V_G = 0$, y que el voltaje del drenaje se incrementa en pequeños intervalos a partir de $V_D = 0$. Para $V_D = 0$ (recuérdese que V_G también es cero), el dispositivo está en equilibrio térmico y prácticamente todo lo que se ve dentro de la estructura son pequeñas zonas de vaciamiento alrededor de las uniones p^+–*n* superior e inferior [véase la Fig. 1.5(a)]. Por supuesto, las zonas de vaciamiento se extienden sobre todo dentro de la región *n* central del dispositivo, débilmente contaminada. Incrementando V_D en pequeños intervalos positivos de voltaje se llega a una situación como la indicada en la figura 1.5(b). Comienza a fluir una corriente I_D hacia el drenaje, a través de la región *n* no vaciada, que se encuentra entre las dos uniones p^+–*n*. La zona no vaciada, que transporta la corriente, recibe el nombre de *canal*. Para valores pequeños de V_D, el canal tiene el aspecto y el funcionamiento de una simple resistencia, y la variación de corriente I_D resultante es lineal respecto a V_D [véase la Fig. 1.6(a)].

Cuando V_D se incrementa por encima de unas pocas décimas de volt, el dispositivo entra generalmente en una nueva fase de funcionamiento. Para una mejor comprensión de la situación analizada conviene observar la figura 1.5(c), en la cual se supone la existencia de un potencial de 5 V, elegido de manera arbitraria, en el terminal del drenaje. Como la fuente está conectada a tierra, resulta natural que a lo largo del canal el potencial tome los valores de 1, 2, 3 y 4 volts, con el potencial aumentando a medida que se avanza de la fuente

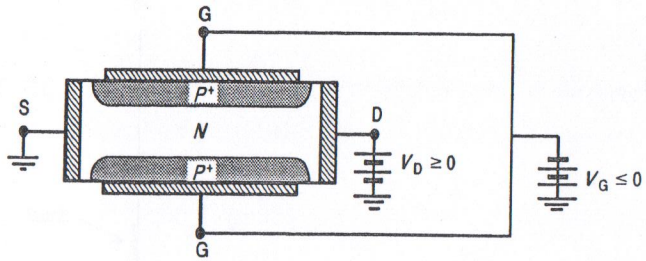


Figura 1.4 Especificación de la estructura del dispositivo y condiciones de polarización supuestas en el análisis cualitativo.

al drenaje. Sin embargo, los lados p^+ de las uniones p^+–n se mantienen a potencial cero. En consecuencia, la polarización aplicada al drenaje lleva en forma indirecta a una polarización inversa de las uniones de compuerta y a un aumento del ancho de los espesores de agotamiento de las uniones. Además, las regiones de agotamiento superior e inferior se ensanchan progresivamente a lo largo del canal cuando se avanza de la fuente al drenaje [véase la Fig. 1.5(d)]. Aun pensando en la región del canal (la región n no vaciada) como en una resistencia, pero no una simple resistencia, sería razonable esperar, por una pérdida de volumen de conducción, que aumentara la resistencia de fuente a drenaje y se redujera la ΔI_D resultante de una variación determinada en el voltaje de drenaje. Ésta es precisamente la situación que se presenta en la figura 1.6(b). La pendiente de la característica I_D–V_D se reduce ante valores mayores de polarización de drenaje, debido al efecto de estrechamiento del canal.

Si se continúa el incremento del voltaje de drenaje, se estrecha cada vez más el ancho del canal, en especial cerca del drenaje, hasta que finalmente las zonas de vaciamiento superior e inferior se tocan cerca del drenaje, como se muestra en la figura 1.5(e). Cuando estas regiones se tocan, el vaciamiento total del canal es una condición especial importante y se le denomina "*estrangulamiento*" o "*cierre*" *(pinch-off)*. Cuando el canal se cierra dentro del dispositivo, la pendiente de la característica I_D–V_D se hace aproximadamente cero [véase la Fig. 1.6(c)] y la polarización de drenaje en el punto de estrangulamiento recibe la designación especial de V_{Dsat}. Para polarizaciones de drenaje mayores que V_{Dsat}, la característica I_D–V_D satura, es decir, permanece aproximadamente constante en el valor I_{Dsat}.

Las afirmaciones presentadas sin explicación en el párrafo precedente son totalmente reales. La característica I_D–V_D se nivela o satura cuando el canal llega al estrangulamiento. Sin embargo, a primera vista parece que los hechos contradicen la intuición física. ¿No es posible esperar que el estrangulamiento elimine por completo cualquier flujo de corriente en el canal? ¿Cómo se explica el hecho de que los voltajes V_D que exceden a V_{Dsat} ya no tengan esencialmente efecto sobre la corriente de drenaje?

En respuesta a la primera pregunta, supongamos que al alcanzar el estrangulamiento I_D fuera idénticamente cero. Si I_D fuera cero, no habría corriente en el canal en ningún punto, y el potencial a lo largo de éste, sería el mismo que con $V_D = 0$, es decir, cero en todo lugar. Si en el canal el potencial fuera cero en todo lugar, las uniones pn estarían con polarización nula, y a su vez el canal tendría que estar abierto por completo desde la fuente hasta el drenaje, con lo que se contradice en forma clara la suposición inicial de un canal

cerrado. En otras palabras, debe fluir una corriente en el J-FET para inducir y mantener la condición de estrangulamiento. Quizás la dificultad conceptual que se encuentra a menudo con respecto a la condición de estrangulamiento proviene de la necesidad de que fluya una corriente elevada por la zona de vaciamiento. Debe recordarse que las zonas de vaciamiento no están totalmente vacías de portadores. Más bien, las cantidades de portadores son pequeñas en comparación con la concentración de contaminación de fondo (N_D o N_A) y pueden aún alcanzar densidades de ~10^{12}/cm^3 o superiores. Además, en dispositivos de estado sólido no son inusuales los flujos elevados de corriente en las zonas de vaciamiento. Por ejemplo, en un diodo de polarización directa o en un transistor bipolar de unión fluyen grandes corrientes a través de la zona de vaciamiento.

Respecto a la saturación de I_D para polarizaciones del drenaje mayores que V_{Dsat}, hay una explicación física muy simple. Cuando la polarización de drenaje se incrementa por encima de V_{Dsat}, la porción de estrangulamiento del canal se ensancha una extensión ΔL desde un punto dentro de la zona de canal vacía. Como se ve en la figura 1.5(f), el potencial del lado del drenaje de la sección ΔL es V_D, mientras que el potencial del lado de la fuente de la sección es V_{Dsat}. En otros términos, el voltaje aplicado al drenaje por encima de V_{Dsat}, que vale $V_D - V_{Dsat}$, cae a lo largo de la sección vacía del canal. Si ahora se supone que $\Delta L \ll L$, el caso habitual, la región que va de la fuente al estrangulamiento en el dispositivo resulta esencialmente idéntica en forma y con los mismos potenciales en los extremos (cero y V_{Dsat}) que los que se tenían al principio de la saturación. Si a lo largo de una región conductora no varían ni su forma ni el potencial aplicado a través de ella, la corriente que la atraviesa también debe permanecer invariante. Esto explica la relativa constancia de la corriente de drenaje para la polarización de "postestrangulamiento" o de saturación. [Naturalmente, si ΔL es comparable a L, entonces la misma caída de voltaje (V_{Dsat}) aparecerá sobre una sección de canal más corta ($L - \Delta L$), y la I_D de postestrangulamiento aumentará en forma perceptible al aumentar $V_D > V_{Dsat}$. Este efecto es muy notable en dispositivos de canal corto (L pequeña)].

Otra forma de explicar la saturación de las características I_D–V_D es utilizando la analogía con un fenómeno de la vida diaria: una cascada. Como todos saben, el caudal de agua de una cascada está controlado no por la altura de la caída sino por el caudal del torrente previo que llega al salto. Entonces, si se supone una región de torrente previo idéntico, el caudal de la cascada en ambos saltos descritos en la figura 1.7 es el mismo aun cuando las alturas de ambos saltos sean diferentes. Por supuesto, la región de torrente previo, es análoga al lado de la fuente en el J-FET, las caídas en sí corresponden a la sección ΔL de estrangulamiento en el extremo de drenaje del canal, y la altura de los saltos corresponde a la caída de potencial $V_D - V_{Dsat}$ sobre la sección ΔL.

Hasta ahora se ha establecido la variación esperada de I_D con respecto a V_D cuando $V_G = 0$. Para completar el análisis hay que estudiar la operación del J-FET cuando $V_G < 0$. Resulta entonces que el funcionamiento con $V_G < 0$ es muy similar al de $V_G = 0$, con tres pequeñas modificaciones. Primero, si $V_G < 0$, las uniones p^+–n superior e inferior están polarizadas inversamente aun cuando $V_D = 0$. Una polarización inversa de las uniones incrementa el ancho de las zonas de vaciamiento y contrae el ancho lateral del canal con $V_D = 0$. En consecuencia, la resistencia del canal aumenta para un valor dado de V_D y la porción lineal de la característica I_D–V_D presenta una pendiente menor cuando $V_G < 0$ [véase la Fig. 1.8(a)]. Segundo, como el canal es más angosto cuando $V_D = 0$, también se cierra para una polarización de drenaje más baja. Por lo tanto, como se puede ver en la

figura 1.8(b), V_{Dsat} e I_{Dsat} son menores cuando $V_G < 0$ que V_{Dsat} e I_{Dsat} cuando $V_G = 0$. Por último, nótese que para polarizaciones de V_G suficientemente negativas es posible vaciar todo el canal aun cuando $V_D = 0$ [véase la Fig. 1.8(c)]. Cuando el voltaje de compuerta alcanza a vaciar por completo el canal con un valor nulo de V_D la polarización de compuerta

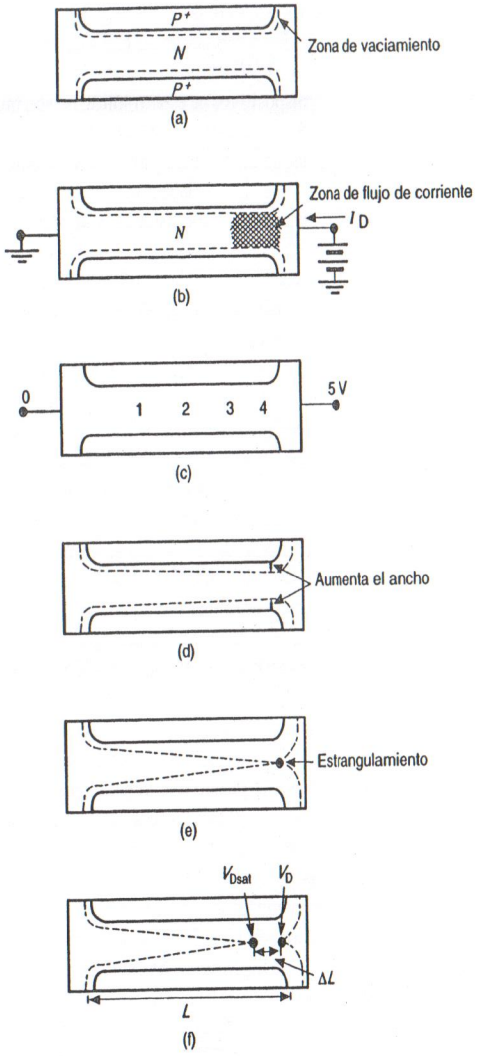


Figura 1.5 Visualización de las diversas fases de operación del J-FET con $V_G = 0$. (a) Equilibrio ($V_D = 0$, $V_G = 0$); (b) polarización con pequeña V_D; (c) caída de voltaje a lo largo del canal, para un voltaje arbitrario de $V_D = 5$ V; (d) estrechamiento del canal, bajo polarización V_D moderada; (e) estrangulamiento (pinch-off); (f) postestrangulamiento o saturación (V_D . V_{Dsat}).

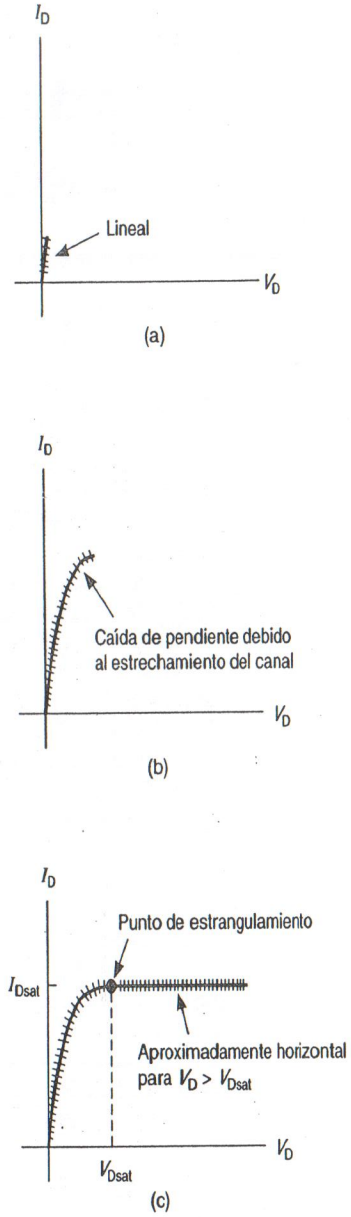


Figura 1.6 Forma general de las características $I_D - V_D$. (a) Lineal, resistencia simple, variación para voltajes de drenaje muy pequeños. (b) Caída de la pendiente para polarizaciones moderadas de drenaje debida al estrechamiento del canal. (c) Estrangulamiento y saturación para voltajes de drenaje superiores a V_{Dsat} .

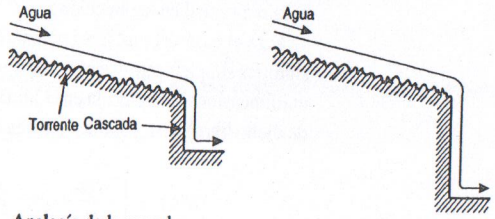


Figura 1.7 Analogía de la cascada.

$V_G = V_P$ se denomina voltaje de compuerta de estrangulamiento. Para $V_G \leq V_P$, la corriente de drenaje es idénticamente igual a cero para todas las polarizaciones de drenaje.*

1.3 RELACIONES CUANTITATIVAS I_D-V_D

Objetivo: una expresión cuantitativa de la corriente de drenaje en función de los voltajes en los terminales; es decir, $I_D = I_D(V_D, V_G)$.

Especificación del dispositivo. En la figura 1.9 se especifican la estructura exacta del dispositivo, sus dimensiones y las orientaciones de las coordenadas supuestas. El eje y está dirigido a lo largo del canal desde la fuente hasta el drenaje, mientras que el eje coordenado x está orientado en forma normal a las uniones p^+–n metalúrgicas, L es la longitud del canal, Z es la anchura de la unión p^+–n y $2a$ es la distancia entre las uniones metalúrgicas superior e inferior. Nótese que $y = 0$ e $y = L$ están levemente separadas de los contactos de la fuente y drenaje, respectivamente. $V(y)$ es el potencial y $W(y) = W_{superior}(y) = W_{inferior}(y)$ es el espesor de la unión en un punto arbitrario y en el canal. Por supuesto, $W(y)$ queda casi por completo en la región n, debido a la naturaleza p^+–n de las uniones.

Suposiciones básicas. (1) Las uniones p^+–n son uniones *escalón (abruptas)*, y la región n está uniformemente contaminada con una concentración donadora igual a N_D. (2) El dispositivo es estructuralmente simétrico respecto al plano $x = a$, como se ve en la figura 1.9, y la simetría se mantiene operando al dispositivo con la misma polarización V_G aplicada a las compuertas superior e inferior. (3) El flujo de corriente se limita a las zonas no vacías de la región n y se dirige exclusivamente en la dirección y. (4) Se puede incrementar $W(y)$, al menos hasta a, sin inducir una ruptura de las uniones p^+–n. (En el análisis cualitativo se presupuso en forma implícita ese caso). (5) Las caídas de potencial desde la fuente hasta $y = 0$ y desde $y = L$ hasta el drenaje son despreciables. (6) $L \gg a$.

Para voltajes de drenaje y compuerta inferiores al estrangulamiento, $0 \leq V_D \leq V_{Dsat}$ y $0 \geq V_G \geq V_P$, se procede del modo siguiente para determinar la relación I_D–V_D buscada: en general, se puede escribir

$$\mathbf{J}_N = q\mu_n n\mathcal{E} + qD_N\nabla n \qquad (1.1)$$

* Si la polarización de drenaje se hace excesivamente elevada, las regiones de las uniones p^+–n cercanas al drenaje finalmente se romperán, lo que lleva a un rápido incremento de I_D respecto a V_D para cualquier polarización de compuerta. Esta ruptura se omitió en todas las consideraciones teóricas dadas hasta aquí.

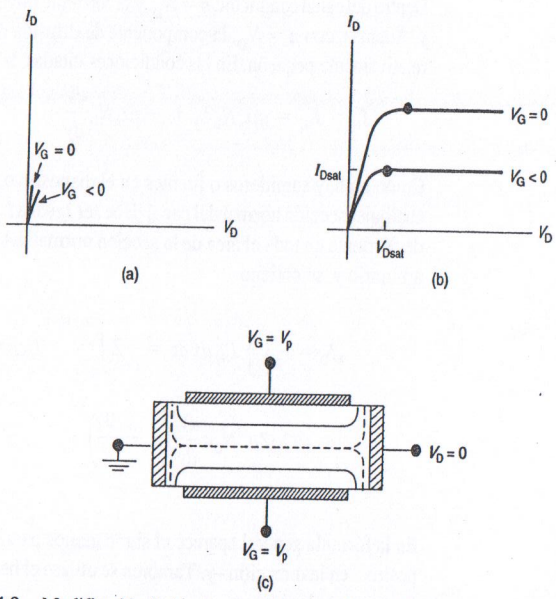


Figura 1.8 Modificación de las características $I_D - V_D$ cuando $V_G < 0$. (a) Disminución de la pendiente lineal de las características para pequeños voltajes de drenaje. (b) Disminución de la corriente de saturación y del voltaje de saturación de drenaje. (c) Estrangulamiento de compuerta

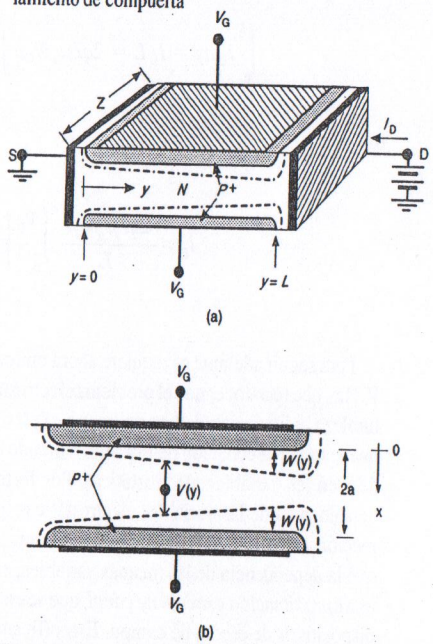


Figura 1.9 Estructura, dimensiones y coordenadas de orientación del dispositivo supuestas en el análisis cuantitativo. (a) Diagrama general. (b) Vista ampliada de la región del canal.

Dentro del canal conductor, $n \simeq N_D$, y la corriente fluye casi exclusivamente en la dirección y. Además, con $n \simeq N_D$, la componente de difusión de la corriente ($qD_N \nabla n$) debería ser relativamente pequeña. En las condiciones citadas, la ecuación (1.1) se reduce a

$$J_N = J_{Ny} = q\mu_n N_D \mathscr{E}_y = -q\mu_n N_D \frac{dV}{dy} \qquad \text{(en el canal conductor)} \qquad (1.2)$$

Como no hay sumideros o fuentes en el dispositivo, la corriente que fluye atravesando cualquier sección normal del canal debe ser igual a I_D. Entonces, si se integra la densidad de corriente en toda el área de la sección normal del canal conductor en cualquier punto arbitrario y, se obtiene

$$I_D = -\int\int J_{Ny}\,dx\,dz = -Z\int_{W(y)}^{2a-W(y)} J_{Ny}\,dx = 2Z\int_{W(y)}^{a} q\mu_n N_D \frac{dV}{dy}\,dx \qquad (1.3a)$$

$$= 2qZ\mu_n N_D a \frac{dV}{dy}\left(1 - \frac{W}{a}\right) \qquad (1.3b)$$

En la fórmula general aparece el signo menos para I_D porque la definición de I_D la hace positiva en la dirección $-y$. También se utilizó el hecho de que la estructura es simétrica respecto al plano $x = a$.

Si se recuerda que I_D es independiente de y, es posible replantear la ecuación (1.3b) en forma más útil, integrando I_D sobre la longitud del canal. De manera específica,

$$\int_0^L I_D\,dy = I_D L = 2qZ\mu_n N_D a \int_{V(0)=0}^{V(L)=V_D} \left[1 - \frac{W(V)}{a}\right] dV \qquad (1.4)$$

o

$$I_D = \frac{2qZ\mu_n N_D a}{L} \int_0^{V_D} \left[1 - \frac{W(V)}{a}\right] dV \qquad (1.5)$$

Para seguir adelante se requiere ahora una expresión analítica que dé W en función de V. Hay que reconocer que el problema electrostático dentro del J-FET es realmente de naturaleza bidimensional. Para hallar una expresión exacta de W como función de V habría que resolver la ecuación de Poisson, teniendo en cuenta las variaciones tanto de x como de y en las variables electrostáticas. Por fortuna, con $L \gg a$ (suposición básica 6), la dependencia de las variables electrostáticas (potencial, campo eléctrico, etc.) en la dirección y en el J-FET es presumiblemente una función de la posición, mucho más gradual que la dependencia de las mismas variables, en la dirección x. Esto nos permite invocar una *aproximación gradual de canal*, que se encuentra con frecuencia en el análisis de los dispositivos de efecto de campo. Específicamente, se supone que la dependencia y, es decir, según el eje "a lo largo del canal", tiene poco efecto en los cálculos de las variables

electrostáticas en la dirección x, con lo que podría realizarse un análisis pseudo unidimensional en la dirección x.

Para el caso del problema en análisis, considerar la aproximación gradual de canal significa simplemente que se puede aproximar W en cada punto y, utilizando la expresión unidimensional establecida en el libro de Neudeck citado en la página 9 (véase Sec. 2.4 de dicho libro). Así, para las uniones abruptas p^+–n supuestas,

$$W(V) \cong \left[\frac{2K_S\varepsilon_0}{qN_D}(V_{bi} - V_A)\right]^{1/2} = \left[\frac{2K_S\varepsilon_0}{qN_D}(V_{bi} + V - V_G)\right]^{1/2} \qquad (1.6)$$

donde, como resulta evidente de la figura 1.9(b), $V_A = V_G - V(y)$ es la caída de potencial aplicada a la unión en un punto dado y. Luego conviene notar que $W \to a$ cuando $V_D = 0$ ($V = 0$) y $V_G = V_P$. Entonces, si se sustituye en la ecuación (1.6), se tiene

$$a = \left[\frac{2K_S\varepsilon_0}{qN_D}(V_{bi} - V_P)\right]^{1/2} \qquad (1.7)$$

y

$$\frac{W(V)}{a} = \left(\frac{V_{bi} + V - V_G}{V_{bi} - V_P}\right) \qquad (1.8)$$

Por último, si se reemplaza $W(V)/a$ de la ecuación (1.8) en la ecuación (1.5) y se realiza la integración indicada, se obtiene

$$\boxed{I_D = \frac{2qZ\mu_n N_D a}{L}\left\{V_D - \frac{2}{3}(V_{bi} - V_P)\left[\left(\frac{V_D + V_{bi} - V_G}{V_{bi} - V_P}\right)^{3/2} - \left(\frac{V_{bi} - V_G}{V_{bi} - V_P}\right)^{3/2}\right]\right\} \quad \text{para } 0 \le V_D \le V_{Dsat};\quad V_P \le V_G \le 0} \qquad (1.9)$$

La ecuación (1.9) se podría simplificar introduciendo $G_0 \equiv 2qZ\mu_n N_D a/L$; desde el punto de vista físico, G_0 es la conductancia del canal que se observaría si no hubiera regiones de vaciamiento. En las expresiones de texto se ha mantenido $2qZ\mu_n N_D a/L$, de manera que las dependencias paramétricas principales resulten inmediatamente obvias.

Es necesario destacar que todo el desarrollo previo, y la ecuación (1.9) en particular, sólo tienen aplicación por debajo del estrangulamiento. De hecho, el valor calculado de I_D en función de V_D para un valor dado de V_G en realidad comienza a descender si en la ecuación (1.9) se reemplazan por error valores de V_D mayores que V_{Dsat}. Sin embargo, como se puntualizó en el análisis cualitativo, I_D se hace aproximadamente constante si V_D

excede a V_{Dsat}. Entonces, como aproximación de primer orden, la porción de saturación de las características se puede modelar colocando simplemente

$$I_{D|V_D>V_{Dsat}} = I_{D|V_D=V_{Dsat}} \equiv I_{Dsat} \tag{1.10a}$$

o

$$I_{Dsat} = \frac{2qZ\mu_n N_D a}{L}\left\{V_{Dsat} - \frac{2}{3}(V_{bi} - V_P)\left[\left(\frac{V_{Dsat} + V_{bi} - V_G}{V_{bi} - V_P}\right)^{3/2} - \left(\frac{V_{bi} - V_G}{V_{bi} - V_P}\right)^{3/2}\right]\right\} \tag{1.10b}$$

Es posible simplificar un poco la relación I_{Dsat} notando que el estrangulamiento en el extremo del drenaje del canal implica que $W \to a$ cuando $V(L) = V_{Dsat}$. Por lo tanto, de la ecuación (1.6),

$$a = \left[\frac{2\varepsilon_s \varepsilon_0}{qN_D}(V_{bi} + V_{Dsat} - V_G)\right]^{1/2} \tag{1.11}$$

Comparando las ecuaciones (1.7) y (1.11) se concluye que

$$\boxed{V_{Dsat} = V_G - V_P} \tag{1.12}$$

y

$$\boxed{I_{Dsat} = \frac{2qZ\mu_n N_D a}{L}\left\{V_G - V_P\left[1 - \left(\frac{V_{bi} - V_G}{V_{bi} - V_P}\right)^{3/2}\right]\right\}} \tag{1.13}$$

En la figura 1.10 se presentan curvas calculadas de I_D–V_D utilizando las ecuaciones (1.9) y (1.13). En la figura 1.11 se presenta una muestra de características experimentales. En términos generales, la teoría cumple en forma adecuada con las mediciones experimentales. Se puede lograr un acuerdo aún mayor si se abandona la preocupación por los resultados experimentales dispositivo, entre el canal accesible en las regiones del deja como ejercicio para el último, hacer que se realice (véase la Fig. 1.12). Se J-FET, puedan modelarse con las características teóricas resultantes. Por de las características de los la sencilla relación:

$$I_{D|V_D=V_{Dsat}} \tag{1.14}$$

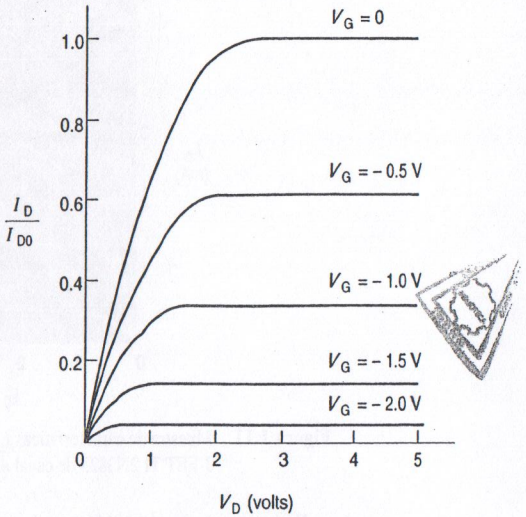


Figura 1.10 Características teóricas normalizadas $I_D - V_D$ donde se supone que $V_{bi} = 1$ V y $V_P = -2.5$ V, y que $I_{DO} = I_{Dsat|V_G=0}$.

Aunque es de aspecto totalmente diferente a la ecuación (1.13), la relación "cuadrática" semiempírica de la ecuación (1.14) produce resultados numéricos similares, y es mucho más fácil de usar en la realización de cálculos circuitales de primer orden, donde el J-FET se analiza como una "caja negra". Por otro lado, la ecuación (1.13) es indispensable si se desean investigar las dependencias de las características del J-FET respecto a temperatura, la contaminación intencional del canal u otro parámetro fundamental del dispositivo.

VÉASE EL EJERCICIO 1.1. APÉNDICE A

1.4 RESPUESTA A LA FRECUENCIA

La respuesta del J-FET ante una señal armónica (convencionalmente ca, por corriente alterna) expresada habitualmente en función del circuito equivalente del J-FET para pequeña señal, puede determinarse fácilmente considerando el cuadripolo que aparece en la figura 1.13. En este caso, las consideraciones se limitarán a las frecuencias bajas de operación, donde los efectos capacitivos pueden despreciarse.

Comencemos por examinar la entrada al dispositivo. En condiciones estándar de polarización de cc, los terminales de entrada entre compuerta y fuente están conectados dentro de la estructura sobre un diodo polarizado inversamente. Sin embargo, un diodo polarizado inversamente se comporta (en aproximación de primer orden) como un circuito abierto a bajas frecuencias. Por lo tanto, es práctica habitual suponer un circuito abierto en el modelo de entrada al J-FET.

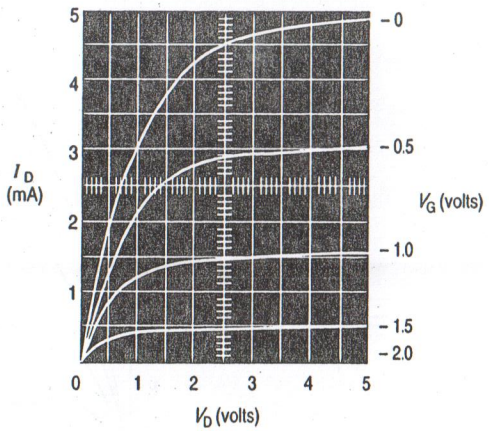


Figura 1.11 Muestra de características $I_D - V_D$ experimentales. Se obtuvieron a partir de un J-FET TI 2N3823 de canal *n*.)

En los terminales de salida ya se ha establecido que la cc del drenaje es una función de V_D y V_G; es decir, $I_D = I_D(V_D, V_G)$. Cuando se superponen los potenciales de ca de drenaje y compuerta, v_d y v_g, a los respectivos valores de cc en los terminales de drenaje y compuerta, V_D y V_G, la corriente de drenaje a través de la estructura se modifica por supuesto al valor $I_D(V_D, V_G) + i_d$; aquí i_d es la componente de ca de la corriente de drenaje. Suponiendo que el dispositivo puede seguir las variaciones de potencial de ca en forma casi estática,* que supuestamente es el caso en bajas frecuencias operacionales, se tiene

$$i_d + I_D(V_D, V_G) = I_D(V_D + v_d, V_G + v_g) \tag{1.15a}$$

y

$$i_d = I_D(V_D + v_d, V_G + v_g) - I_D(V_D, V_G) \tag{1.15b}$$

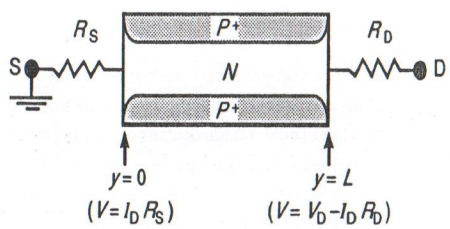


Figura 1.12 Modelo modificado del J-FET que incluye la resistencia de las regiones del semiconductor entre los extremos del canal activo y los terminales de fuente y drenaje.

* El término "casi estático" se utiliza para describir situaciones en las que el estado dinámico del sistema, en cualquier instante, resulta esencialmente indistinguible del estado de cc que se alcanzaría en condiciones de polarización equivalentes.

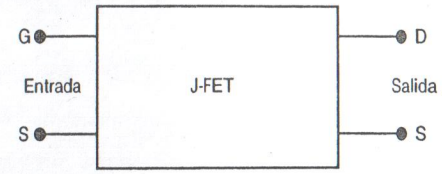


Figura 1.13 El J-FET visto como un cuadripolo.

Si ahora se desarrolla el primer término del segundo miembro de la ecuación (1.15b) en serie de Taylor y sólo se conservan los términos de primer orden del desarrollo (los términos de orden superior son despreciables), se llega a

$$i_d = \left.\frac{\partial I_D}{\partial V_D}\right|_{V_G} v_d + \left.\frac{\partial I_D}{\partial V_G}\right|_{V_D} v_g \tag{1.16a}$$

o

$$i_d = g_d v_d + g_m v_g \tag{1.16b}$$

donde

$$g_d \equiv \left.\frac{\partial I_D}{\partial V_D}\right|_{V_G = \text{constante}} \quad \text{conductancia de drenaje o canal} \tag{1.17a}$$

$$g_d \equiv \left.\frac{\partial I_D}{\partial V_G}\right|_{V_D = \text{constante}} \quad \text{transconductancia o conductancia mutua} \tag{1.17b}$$

La ecuación (1.16b) se puede ver como la ecuación de nodo de ca para el terminal del drenaje y puede ser representada por la porción de salida del circuito mostrado en la figura 1.14. Puesto que, según se concluyó antes, la porción de compuerta a fuente o parte de entrada del dispositivo es simplemente un circuito abierto, la figura 1.14 constituye el circuito equivalente de pequeña señal buscado, que caracteriza la respuesta de ca del J-FET a bajas frecuencias. Nótese que en los transistores de efecto de campo, el parámetro g_m desempeña un papel análogo al de α y β en los modelos de los transistores bipolares de unión. Como su nombre lo indica, g_d puede verse como la admitancia de salida del dispositivo o como la conductancia de ca del canal entre la fuente y el drenaje. En la tabla 1.1 se presentan las relaciones explícitas entre g_d y g_m obtenidas por diferenciación directa de las ecuaciones (1.9) y (1.13), donde se utilizan las definiciones de la ecuación (1.17). El resultado de $g_d = 0$ en la tabla 1.1, para funcionamiento del dispositivo en condiciones de saturación, es por supuesto consistente con la pendiente teóricamente cero de las características I_D-V_D cuando $V_D \geq V_{Dsat}$.

VÉASE EL EJERCICIO 1.2. APÉNDICE A

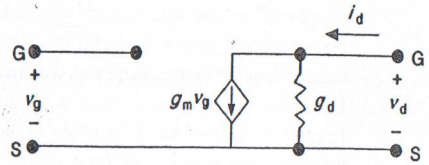


Figura 1.14 Circuito equivalente de pequeña señal que caracteriza la respuesta en ca a bajas frecuencias del J-FET.

PROBLEMAS

1.1 Responda las siguientes preguntas en la forma más concisa posible.

(a) Defina el "efecto de campo".

(b) Precise qué es el "canal" en la terminología del J-FET.

(c) ¿Qué significa el término "estrangulamiento"?

(d) Para un dispositivo de canal *p* (un dispositivo con uniones de compuerta n^+–*p* y región *p* entre la fuente y el drenaje), ¿la corriente de drenaje fluye hacia el interior o hacia el exterior del terminal de drenaje en condiciones normales de funcionamiento? Explíquelo.

(e) ¿Qué es la aproximación de canal gradual?

(f) ¿Cuál es la definición matemática de la conductancia del drenaje? ¿y de la transconductancia?

(g) Dibuje el circuito equivalente de pequeña señal que caracteriza la respuesta en ca y baja frecuencia de un J-FET de canal *largo*, en condiciones de *saturación*. (Suponga que las características de cc del dispositivo son similares a las que se ven en la figura 1.10).

Tabla 1.1 Parámetros de pequeña señal de J-FET. Los valores de la tabla se obtuvieron por diferenciación directa de las ecuaciones (1.9) y (1.13). G_0: $2qZ\mu_n N_D a/L$.

Preestrangulamiento ($V_D \le V_{Dsat}$)	postsaturación ($V_D \ge V_{Dsat}$)
$g_d = G_0\left[1 - \left(\frac{V_D + V_{bi} - V_G}{V_{bi} - V_P}\right)^{1/2}\right]$	$g_d = 0$
$g_m = G_0\left[\left(\frac{V_D + V_{bi} - V_G}{V_{bi} - V_P}\right)^{1/2} - \left(\frac{V_{bi} - V_G}{V_{bi} - V_P}\right)^{1/2}\right]$	$g_m = G_0\left[1 - \left(\frac{V_{bi} - V_G}{V_{bi} - V_P}\right)^{1/2}\right]$

1.2 Considere el caso de la estructura de MESFET que aparece en la figura 1.3(b). Aunque hay una región de vaciamiento adyacente al sustrato semiaislante, su espesor es pequeño y sólo levemente modulado por los voltajes aplicados a la compuerta y al drenaje. En efecto, el MESFET es una estructura unilateral. Si se supone que el ancho del GaAs-*n* es *a*, ¿cómo se debe modificar el desarrollo de la sección 1.3 para tener en cuenta la naturaleza unilateral de la estructura del MESFET?

1.3 Si se utiliza la ecuación (1.9) para calcular I_D en función de V_D para un valor dado de V_G, y si se admite que V_D aumente por encima de V_{Dsat}, se encuentra que I_D tiene un valor máximo que se produce precisamente cuando V_D toma el valor V_{Dsat}. Esto sugiere otro camino para establecer la relación de la ecuación (1.12) para V_{Dsat}. En concreto, demuestre que el procedimiento matemático estándar de determinación de valores extremos de una función puede utilizarse para obtener la ecuación (1.12) directamente de la ecuación (1.9).

1.4 Calcule I_{Dsat}/I_{D0} partiendo de la relación cuadrática [Ec. (1.14)] suponiendo que $V_P = -2.5$ V y $V_G = 0$ V, -0.5 V, -1.0 V, -1.5 V, -2.0 V. Compare sus resultados con los valores de I_{Dsat}/I_{D0} que aparecen en la figura 1.10, obtenidos de la ecuación (1.13). Comente sobre esa comparación.

1.5 La frecuencia máxima de operación, o frecuencia de corte del J-FET, está dada por

$$f_{máx} = \frac{g_m}{2\pi C_G}$$

donde C_G es la capacidad de las uniones *pn* de compuerta.

(a) Deduzca la expresión previa de $f_{máx}$ utilizando un argumento análogo al que se encuentra en la subsección 3.3.2.

(b) Muestre que para un J-FET se puede escribir

$$f_{máx} = \frac{g_m}{2\pi C_G} \le \frac{q\mu_n N_D a^2}{2\pi K_S \varepsilon_o L^2}$$

(c) Dado un J-FET de silicio con $N_D = 10^{16}/\text{cm}^3$, $a = 0.5\ \mu$m y $L = 5\ \mu$m, calcule el valor límite de la frecuencia de corte.

1.6 En este problema se desea examinar la dependencia de la transconductancia del J-FET respecto a la temperatura.

(a) Utilizando libremente los diagramas del libro Pierret, R.F., *Semiconductor Fundamentals**, calcule $g_m(T)$, normalizada a G_0(300 K), en intervalos de 50°C, entre -50°C y 200°C. Tome $V_G = 0$ y suponga que el dispositivo está polarizado en saturación ($V_D \ge V_{Dsat}$). Suponga también un dispositivo de silicio de canal *n*, con $N_D = 10^{16}/\text{cm}^3$, N_A (de las regiones P^+) $= 5 \times 10^{17}/\text{cm}^3$, y $a = 0.6\ \mu$m. [*Nota*: si se desprecia la muy pequeña variación de dimensiones del dispositivo con la temperatura, de la ecuación (1.7) se concluye que $V_{bi} - V_P$ debe ser independiente de la temperatura. No obstante, por separado V_{bi} y V_P *son* dependientes de la temperatura].

(b) Represente gráficamente los valores calculados de $g_m(T)/G_0$(300 K) en función de *T* (en °K), sobre papel logarítmico. Represente también $\mu_n(T)/\mu_n$(300 K) sobre el mismo sistema de coordenadas. Suponiendo que $g_m/G_0 \propto T(\text{K})^{-n}$, determine **n**. Analice brevemente sus resultados.

1.7 En circuitos integrados bipolares a veces se utilizan *resistencias de estrangulamiento*. La resistencia de estrangulamiento de dos terminales consiste esencialmente en un J-FET *con la compuerta o compuertas internamente cortocircuitadas a la fuente*.

* Esta obra, publicada originalmente en inglés por Addison-Wesley, se encuentra disponible en español en la serie Temas Selectos de Ingeniería de Addsion-Wesley Iberoamericana. (*N. del E.*)

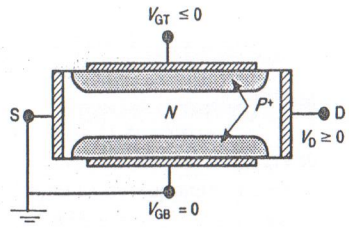


Figura P1.8

El dispositivo presenta una resistencia no lineal dependiente del voltaje, y tiene aplicación en casos en que se requieren valores de la resistencia muy elevados, pero cuando los valores precisos no son críticos.

(a) Suponiendo que el desarrollo dado en el texto puede utilizarse sin modificación, establezca las expresiones generales para la conductancia de cc (G = 1/Resistencia = I/V) y la conductancia de ca ($g = dI/dV$) de la resistencia de estrangulamiento.

(b) Calcule el valor de las resistencias de cc y de ca ($R = 1/G$ y $r = 1/g$) para un voltaje aplicado de $V_{Dsat}/2$. Utilice $Z/L = 1$, $a = 0.5\ \mu$m, $N_D = 10^{16}/\text{cm}^3$, $V_{bi} = 1$ V y $V_P = -2$ V.

1.8 Suponga que, como se ve en la figura P1.8, el terminal de compuerta inferior de un J-FET está unido a la fuente y conectado a tierra.

(a) Esboce las zonas de vaciamiento dentro del dispositivo $V_{GB} = 0$ cuando V_{GT} es suficientemente elevada para estrangular el canal con $V_D = 0$.

(b) Si V_P (el voltaje de estrangulamiento de compuerta) = –8 V cuando ambas compuertas están unidas entre sí, $V_{bi} = 1$ V, y se suponen uniones p^+–n abruptas, determine V_{PT} (el voltaje de estrangulamiento de la compuerta superior) cuando $V_{GB} = 0$ y $V_D = 0$. ¿Su respuesta en este caso es consistente con el dibujo del punto (a)? Explique.

(c) Si se supone que $V_{PT} < V_{GT} < 0$, bosqueje las regiones de vaciamiento dentro del dispositivo cuando el voltaje del *drenaje* se incrementa hasta el punto de estrangulamiento.

(d) Deduzca una expresión que especifique V_{Dsat} en función de V_{PT}, V_{bi} y V_{GT} para funcionamiento en $V_{GB} = 0$. (Su respuesta sólo debe contener voltajes. No intente hallar una solución para V_{Dsat}).

(e) A la luz de sus respuestas a los puntos (c) y (d), ¿V_{Dsat} para funcionamiento con $V_{GB} = 0$ será mayor o menor que V_{Dsat} para funcionamiento con $V_{GB} = V_{GT}$? Explique.

(f) Deduzca una expresión para I_D como función de V_D y V_{GT}, análoga a la ecuación (1.9).

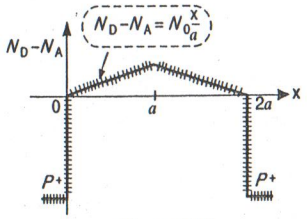


Figura P1.9

1.9 Se tiene un J-FET construido con un perfil de contaminación de "*compuerta a compuerta*" como el que se ve en la figura P1.9. Suponga que la región de contaminación p^+ específicamente es mucho mayor que la máxima región de contaminación n, y haga otras suposiciones adecuadas si se requiere.

(a) Partiendo de la ecuación de Poisson, deduzca una expresión que dé el ancho (W) de la zona de vaciamiento de la unión de la *izquierda*. Sea V_A la caída de potencial aplicada sobre la unión. (Si fuera necesario, remítase a la sección 2.5 del libro de Neudeck G.W., *The PN Junction Diode*).

(b) Si se desprecia la dependencia de μ_n con la contaminación intencional y se supone que las compuertas de la izquierda y de la derecha están unidas eléctricamente entre sí, modifique en forma adecuada el análisis dado en el texto del J-FET a fin de obtener la relación I_D–V_D de preestrangulamiento, para esta unión gradual. (*Precaución:* Se debe modificar algo más que la expresión $W(V)/a$.)

1.10 Con referencia al ejercicio 1.1 del apéndice A, y admitiendo valores arbitrarios para R_S y R_D, escriba un programa para microcomputador (puede utilizar la versión de MathCAD para estudiantes) que permita calcular y representar en forma gráfica las características I_D–V_D de un J-FET. Normalice todos los valores I_D a $I_{D0} \equiv I_{DsatVG=0}$, *como se calcularon a partir de la ecuación (1.13).* (Las relaciones de corriente normalizadas sólo deben referirse a I_D/I_{D0} o I_{Dsat}/I_{D0}, V_D, V_G y los parámetros V_{bi}, V_P, G_0R_S y G_0R_D, donde $G_0 \equiv 2qZ\mu_n N_D a/L$.) Ejecute su programa con $V_{bi} = 1$ V y $V_P = -2.5$ V; haga sucesivamente $G_0R_S = G_0R_D = 0$, 0.1 y 0.5. Compare sus resultados con la figura 1.10. Comente sobre la comparación.

2 Fundamentos de los MOS

Sin duda, la estructura metal-óxido (SiO_2)-semiconductor (Si), o MOS (metal-óxido-semiconductor) es el núcleo de las estructuras de la microelectrónica de la actualidad. Incluso hay dispositivos claramente de unión *pn* que incorporan la estructura MOS de manera física y/o funcional. Como se hizo notar en la introducción general, en la década de los 20, y por primera vez ya se había propuesto un dispositivo "casi-MOS". Sin embargo, se considera que el inicio de la historia moderna es atribuible a D. Khang y M.M. Atalla, que en 1960 presentaron la solicitud de patente del transistor de efecto de campo basado en Si–SiO_2. Debe destacarse que la denominación de MOS queda reservada para la tecnología dominante de metal-SiO_2-Si. Para identificar estructuras de dispositivos similares, compuestas por un aislador que no es el SiO_2 o un semiconductor que no es el Si, se utiliza la designación más general de metal-aislante-semiconductor (MIS *metal-insulator-semiconductor).*

Este capítulo está destinado a servir como introducción a los fundamentos de la estructura y dispositivos MOS. El condensador MOS de dos terminales, designado como condensador MOS (o MOS-C), es el más simple de los dispositivos MOS, a la vez que constituye el núcleo estructural de todos los dispositivos MOS. Comenzamos con una especificación precisa de la estructura MOS-C "ideal". Luego construiremos los diagramas de bandas de energía y de cargas, que se utilizan para tener una representación visual de carga, campo eléctrico y modificación de las bandas dentro del MOS-C, en condiciones de polarización estática.

Después se deducen relaciones cuantitativas de las variables electrostáticas dentro del semiconductor y posteriormente se les relaciona con el voltaje aplicado a la compuerta metálica. Por supuesto, la capacidad es la característica fundamental que presenta un condensador MOS-C. Las características capacidad-voltaje (*C–V*) son importantes no sólo desde un punto de vista fundamental, sino también práctico. En la última sección del capítulo se utiliza el conocimiento sobre el funcionamiento de la estructura MOS para explicar y analizar la forma que normalmente se encuentra en las características *C–V* del MOS-C. El capítulo finaliza con el examen de las características calculadas de la estructura ideal, comentarios sobre procedimientos de medición y otras consideraciones relevantes sobre *C–V*.

2.1 DEFINICIÓN DE LA ESTRUCTURA IDEAL

Como aparece en la figura 2.1, el capacitor MOS-C es un dispositivo simple de dos terminales, compuesto por una capa delgada (0.01 μm a 1.0 μm) de SiO_2 intercalada entre un sustrato de silicio y una placa metálica de campo. Los materiales más comunes

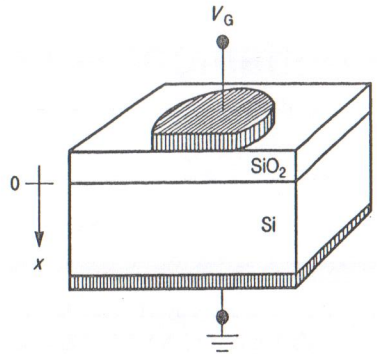


Figura 2.1 Condensador de metal–óxido-semiconductor.

de placa metálica de campo son el aluminio y el silicio policristalino fuertemente contaminado.* Una segunda capa metálica presente en la parte opuesta o base del semiconductor proporciona contacto eléctrico al sustrato de silicio. El terminal conectado a la placa de campo y la placa de campo en sí suelen designarse como compuerta; el terminal del lado de silicio, por lo general conectado a tierra, se llama simplemente contacto posterior o del sustrato.

La estructura MOS-C ideal tiene las siguientes propiedades explícitas: (1) la compuerta metálica es suficientemente gruesa para que se le considere una región equipotencial en ca, así como en las condiciones de polarización de cc; (2) el óxido es un *aislador perfecto* con circulación de *corriente nula* en *todas* las condiciones de polarización estática; (3) no hay centros de carga ubicados en el óxido o en la interfaz óxido- semiconductor; (4) el semiconductor está uniformemente contaminado; (5) el semiconductor tiene el espesor suficiente para que, sin importar el potencial de compuerta aplicado, aparezca una región libre de campo (denominada región de sustrato de Si) antes de alcanzar el contacto posterior; (6) se ha establecido un contacto *óhmico* entre el metal y el semiconductor en la parte posterior del dispositivo; (7) se supone que el MOS-C es una estructura unidimensional[1], siendo todas las variables funciones exclusivas de la coordenada x (véase la Fig. 2.1); y (8) $\Phi_M = \chi + (E_c - E_F)_\infty$, donde Φ_M, χ y $(E_c - E_F)_\infty$ son parámetros (energías) propios del material definido en la figura 2.2. (En la sección siguiente se presenta un análisis de estos parámetros físicos.)

Todas las idealizaciones mencionadas pueden lograrse en la práctica; la estructura del MOS ideal es bastante realista. Por ejemplo, la resistividad del SiO_2 puede llegar hasta 10^{18} ohm–cm, con lo que la corriente de fugas de cc en la capa es realmente despreciable para valores de espesores de óxido y voltajes aplicados típicos. Además, incluso capas de compuerta muy delgadas se pueden considerar como regiones equipotenciales, y en la práctica se consiguen con facilidad contactos óhmicos en el sustrato. Afirmaciones como ésta pueden plantearse respecto a la mayor parte de las otras idealizaciones. Sin embargo,

* El Si fuertemente contaminado es de naturaleza metálica. Las compuertas de polisilicio, muy utilizadas en los dispositivos MOS complejos, se depositan por medio de un proceso químico de vaporización y se contaminan fuertemente por difusión de fósforo o boro.

[1] El MOS-C se construye sobre un sustrato semiconductor. Normalmente denominaremos sustrato o sustrato semiconductor a la región del mismo que tiene campo nulo y conserva las propiedades iniciales del semi-conductor. (*N. del R.T.*)

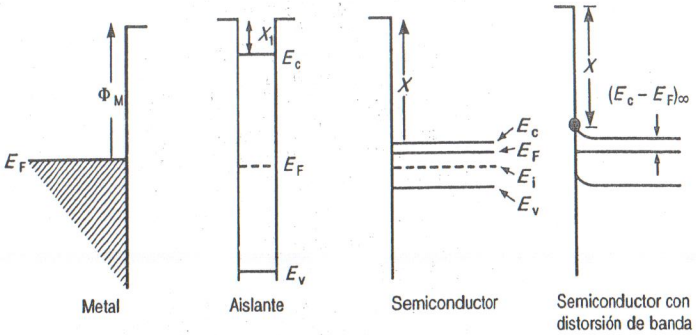


Figura 2.2 Diagramas de bandas de energía individuales para los componentes de la estructura MOS: metal, aislante y semiconductor. El diagrama designado "semiconductor con distorsión de banda" define $(E_c - E_F)_\infty$ y muestra que χ es invariante con la distorsión de banda. Se hace énfasis en que el valor de χ está medido respecto a E_c en la superficie del semiconductor.

hay que hacer una observación respecto al punto 8 de las condiciones ideales. El requisito de que $\Phi_M = \chi + (E_c - E_F)_\infty$ podría omitirse, y de hecho se eliminará en el capítulo 4. Su presencia aquí se debió solamente al deseo de evitar complicaciones innecesarias en la descripción inicial del comportamiento estático.

2.2 ELECTROSTÁTICA. BÁSICAMENTE CUALITATIVA

2.2.1 Apoyos de percepción visual

Diagrama de bandas de energía

El diagrama de bandas de energía es una ayuda indispensable en la visualización del estado interno de la estructura MOS en condiciones de polarización estática. La tarea ahora es construir el diagrama adecuado para una estructura MOS ideal, en condiciones de equilibrio (polarización cero).

En la figura 2.2 se presentan los diagramas de bandas de energía para los componentes individuales de la estructura MOS, que incluyen la superficie. En cada caso, la finalización abrupta del diagrama en una línea vertical significa una superficie. El escalón con que terminan las líneas verticales, conocido como nivel de vacío, indica la mínima energía que debe poseer un electrón para liberarse por completo del material. La diferencia de energía entre el nivel de vacío y el nivel de Fermi en un metal se conoce como función de trabajo del metal, Φ_M. En el semiconductor, la altura de la barrera de energía en la superficie se especifica en función de la afinidad electrónica, χ, la diferencia de energía entre el nivel de vacío y el borde de la banda de conducción en la superficie. Se utiliza χ en lugar de $E_{vacío} - E_F$ porque esta última cantidad no es constante en los semiconductores, sino que varía en función de la contaminación y de la curvatura de la banda cerca de la superficie. El componente restante, el aislante, se modela intrínsecamente como un semiconductor con banda prohibida muy amplia, donde la barrera superficial está de nuevo especificada en función de la afinidad electrónica.

La formación conceptual del diagrama de bandas de polarización cero del MOS, a partir de los distintos componentes individuales, implica un proceso en dos etapas.

Primero se acercan el metal y el semiconductor hasta que se encuentran a una distancia x_0 entre sí. Luego se inserta el aislador de espesor x_0 en el espacio vacío entre los componentes metal y semiconductor. Como en cualquier estructura en condiciones de equilibrio, los niveles de Fermi deben alinearse (véase Subsec. 3.2.4 del libro Pierret, R.F., *Semiconductor Fundamentals* y, como se especificó que $\Phi_M = \chi + (E_c - E_F)_\infty$, los niveles de vacío de los componentes M y S deben estar perfectamente alineados. Lo anterior implica que no hay cargas ni campos eléctricos inducidos en el sistema cuando el metal y el semiconductor se ponen en contacto. Además, dado el campo eléctrico nulo en el espacio x_0, el único efecto de inserción del aislador es el de disminuir levemente la barrera entre los componentes M y S. Entonces se concluye que el diagrama de bandas de energía de equilibrio para la estructura MOS ideal es de la forma que aparece en la figura 2.3.

Diagramas de bloques de cargas

Los diagramas de bloques de cargas, complementarios en naturaleza a los diagramas de bandas de energía, brindan información sobre la distribución aproximada de cargas dentro de la estructura MOS. Como se hizo notar en el análisis del diagrama de bandas de energía, no hay cargas en lugar alguno dentro de la estructura del MOS ideal en condiciones de equilibrio. Sin embargo, cuando se aplica una polarización al MOS-C aparece carga entre el metal y el semiconductor, cerca de las interfaces metal-óxido y óxido-semiconductor. En la figura 2.4 aparece un ejemplo de diagrama de distribución de carga. Nótese que no se pretende representar exactamente las distribuciones de carga dentro de la estructura. Más bien se utiliza una aproximación rectangular o de bloques, razón por la cual se denomina "diagrama de bloques de cargas" a la representación resultante. La intención de su uso es la de dar información de naturaleza cualitativa; con esta idea deben interpretarse sus datos sobre amplitud y extensión espacial de cargas. Sin embargo, como el campo eléctrico es nulo tanto en el metal como en el sustrato semiconductor (véase la idealización 5), la suma de cargas dentro de la estructura debe ser nula, de acuerdo con la ley de Gauss. En consecuencia, al construir diagramas de bloques de carga, las áreas que representan las cargas positivas deben ser siempre iguales a las áreas que representan las cargas negativas.

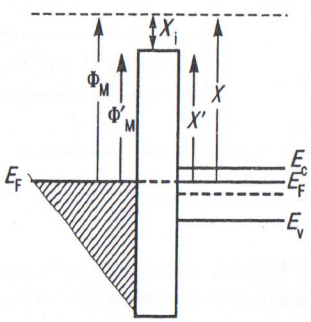


Figura 2.3 Diagrama de bandas de energía en equilibrio para una estructura de MOS ideal.

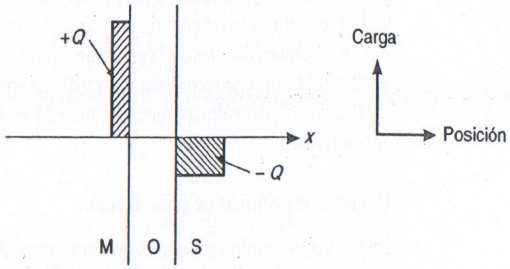


Figura 2.4 Muestra de diagrama de bloques de carga

2.2.2 Efecto de una polarización aplicada

Observaciones generales

Antes de examinar casos específicos, es útil establecer reglas básicas generales sobre cómo modificar el diagrama de bandas de energía en respuesta a una polarización aplicada. Supónganse condiciones de funcionamiento normales, donde la parte posterior del MOS-C está conectada a tierra, y sea V_G la polarización de cc aplicada a la compuerta.

Con $V_G \neq 0$, observemos primero que *la energía de Fermi del semiconductor no se ve afectada por la polarización y permanece invariante (horizontal en el diagrama) como función de la posición.* Esto es una consecuencia directa de la suposición de un flujo de corriente nulo dentro de la estructura en toda condición de polarización estática. En esencia, el semiconductor permanece siempre en equilibrio independientemente de la polarización aplicada a la compuerta del MOS-C. Segundo, al igual que en una unión *pn*, la polarización aplicada separa las energías de Fermi en los dos extremos de la estructura, en una cantidad igual a qV_G; es decir,

$$E_F(\text{metal}) - E_F(\text{semiconductor}) = -qV_G \qquad (2.1)$$

En forma conceptual, los niveles de Fermi de metal y semiconductor pueden imaginarse como "empuñaduras" conectadas hacia el mundo exterior. Al aplicar una polarización, las empuñaduras se sujetan y las posiciones relativas de los niveles de Fermi se reajustan en sentido vertical hacia arriba o hacia abajo. El contacto posterior está conectado a tierra, y por lo tanto la empuñadura del lado del semiconductor permanece fija en su posición. En cambio, la empuñadura del lado del metal se desplaza hacia abajo si $V_G > 0$ y hacia arriba si $V_G < 0$.

Como las alturas de las barreras son cantidades fijas, el movimiento del nivel de Fermi del metal obviamente tiende a su vez hacia una distorsión de las otras características del diagrama de bandas. La situación es similar a la de deformar un muñeco de caucho. Visto de otro modo, $V_G \neq 0$ produce caídas de potencial y una distorsión interior de la banda de $E_c(E_v)$ dentro de la estructura. Por supuesto, no se produce distorsión de banda dentro del metal porque es una región equipotencial. Sin embargo, en el óxido y en el semiconductor las bandas de energía deben presentar una pendiente hacia arriba (E creciente al ir de la compuerta al contacto posterior) cuando $V_G > 0$ y una pendiente hacia abajo cuando $V_G < 0$. Además, la aplicación de la ecuación de Poisson al óxido, suponiendo un aislador ideal

sin portadores o centros de carga, produce $d\mathscr{E}_{\text{óxido}}/dx = 0$ y por lo tanto, $\mathscr{E}_{\text{óxido}}$ = constante. Por lo tanto, la pendiente de las bandas de energía en el óxido es una constante: E_c y E_v son funciones lineales de la posición. Naturalmente, es de esperar que la distorsión de banda en el semiconductor sea algo más compleja en su forma funcional, pero, por la idealización 5, debe desaparecer siempre ($\mathscr{E} \rightarrow 0$) antes de alcanzar el contacto óhmico del sustrato.

Regiones específicas de polarización

Dados los principios generales que acabamos de analizar, ahora resulta relativamente sencillo describir el estado interno de la estructura MOS ideal en diversas condiciones de polarización estática. Suponiendo que el sustrato de Si es de tipo *n*, comenzaremos por analizar la aplicación de una polarización positiva. La aplicación de $V_G > 0$ disminuye E_F en el metal respecto a E_F en el semiconductor, y produce una pendiente positiva de las bandas de energía tanto en el aislador como en el semiconductor. En la figura 2.5(a) se puede ver el diagrama de bandas de energía resultante. La conclusión más importante que se debe extraer de la figura 2.5(a) es que la concentración de electrones dentro del semiconductor, $n = n_i \exp[(E_F - E_i)/kT]$, aumenta conforme nos aproximamos a la superficie óxido-semiconductor. Esta situación particular, en la cual la concentración de portadores mayoritarios es mayor cerca de la interfaz óxido-semiconductor que en el sustrato semiconductor, se conoce como *acumulación.*

Cuando se mira desde un punto de vista de cargas, la aplicación de $V_G > 0$ coloca cargas positivas en la compuerta del MOS-C. Para mantener un balance de cargas, debe haber electrones (cargados negativamente) cerca de la interfaz semiconductor-aislante: la misma conclusión a la que se llegó antes utilizando el diagrama de bandas de energía. Entonces la carga dentro del dispositivo se puede aproximar como función de la posición, como se ve en la figura 2.5(b).

A continuación consideramos la aplicación de un potencial negativo *pequeño* a la compuerta MOS-C. La aplicación de una $V_G < 0$ pequeña incrementa levemente E_F en el metal respecto a E_F en el semiconductor, y produce una pequeña inclinación negativa de las bandas de energía tanto en el aislador como en el semiconductor, como se puede ver en la figura 2.5(c). Del diagrama resulta claro que la concentración de electrones portadores mayoritarios ha disminuido, se ha vaciado cerca de la interfaz óxido-semiconductor. Por consideraciones de carga se obtienen similares conclusiones. Si se hace $V_G < 0$, se establece una carga negativa en la compuerta, lo que a su vez debe vaciar los electrones cerca de la superficie óxido-semiconductor y dejar al descubierto las ubicaciones donadoras (positivamente cargadas). Por lo tanto, la distribución de cargas es aproximadamente la que aparece en la figura 2.5(d). Esta situación, en la que las concentraciones de huecos y de electrones en la interfaz óxido-semiconductor es menor que la concentración de contaminado de fondo (N_A o N_D), por razones obvias se conoce como *vaciamiento.*

Finalmente, supóngase una polarización cada vez más negativa aplicada a la compuerta MOS-C. Al incrementarse V_G negativamente desde la situación descrita en la figura 2.5(c), las bandas en la superficie del semiconductor se deforman más y la concentración de huecos en la superficie (p_s) también se incrementa de manera sistemática, desde un valor menor que n_i cuando E_i(superficie) < E_F hasta n_i cuando E_i(superficie) = E_F y hasta un valor mayor que n_i cuando E_i(superficie) excede E_F. Por último, la concentración de huecos aumenta hasta el punto que se ve en la figura 2.5(e) y (f), donde

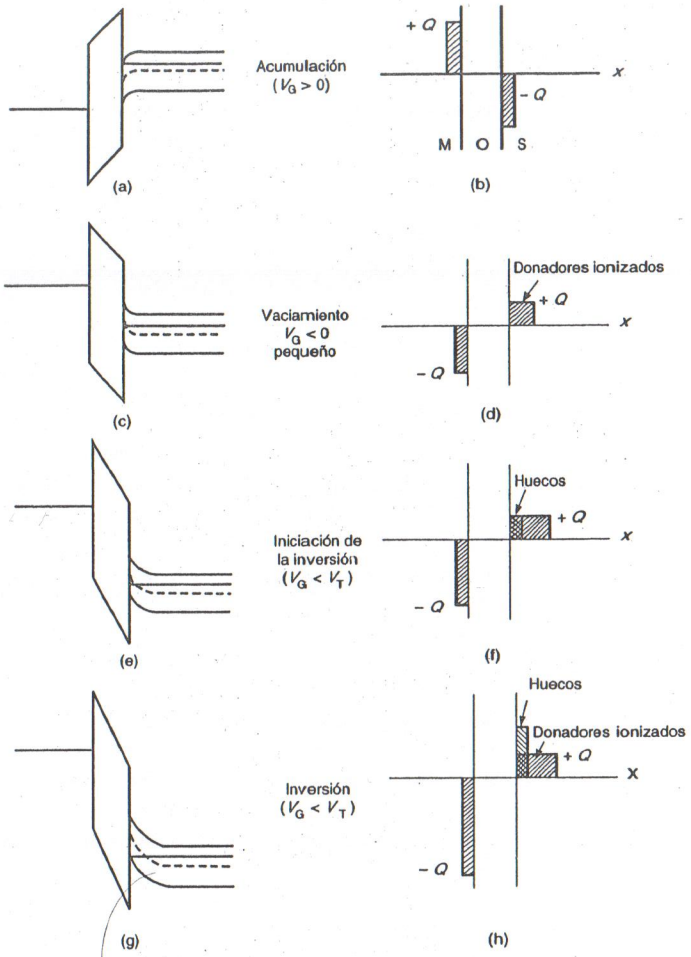


Figura 2.5 Diagramas de bandas de energía y diagramas de bloques de carga correspondientes, que describen el estado estático de un condensador MOS-C tipo *n* ideal.

$$\boxed{E_i\,(\text{superficie}) - E_i\,(\text{sustrato}) = 2\,[E_F - E_i\,(\text{sustrato})]} \tag{2.2}$$

y

$$p_s = n_i e^{[E_i\,(\text{superficie}) - E_F]/kT} = n_i e^{[E_F - E_i\,(\text{sustrato})]/kT} = n_{\text{sustrato}} = N_D \tag{2.3}$$

Está claro que, cuando $p_s = N_D$ para la polarización aplicada especial de $V_G = V_T$*, la superficie ya no está agotada. Además, para incrementos posteriores de polarización

* V_T se denomina potencial o tensión umbral. (*N. del R.T.*)

negativa ($V_G < V_T$), p_s excede $n_{sustrato} = N_D$ y la región superficial parece cambiar, en carácter, de tipo *n* a tipo *p*. De acuerdo con la observación de cambio en el carácter, la situación $V_G < V_T$ en la que la concentración de portadores minoritarios en la superficie excede la concentración de portadores mayoritarios masivos, se denomina *inversión*. En la figura 2.5(g) y (h) se presentan los diagramas de bandas de energía y de bloques de carga que muestran la condición de inversión.

Si se aplican consideraciones de polarización análogas en un dispositivo ideal tipo *p*, los resultados son los que aparecen en la figura 2.6. Es importante notar, a partir de esta figura, que las regiones de polarización en un dispositivo tipo *p* están invertidas en polaridad respecto a las regiones correspondientes en un dispositivo tipo *n*; es decir, se produce acumulación en un dispositivo tipo *p* cuando $V_G < 0$, etcétera.

Resumiendo, se pueden distinguir tres regiones físicamente distintas: acumulación, vaciamiento e inversión. Para un dispositivo tipo *n* ideal se produce acumulación cuando $V_G > 0$, vaciamiento cuando $V_T < V_G < 0$ e inversión cuando $V_G < V_T$. Para un dispositivo tipo *p* ideal, simplemente se invierten las polaridades citadas. En la línea divisoria entre acumulación y vaciamiento en el semiconductor no hay distorsión de la banda, o sea *banda plana* en $V_G = 0$. La línea divisoria en $V_G = V_T$ se denomina simplemente punto de transición agotamiento-inversión, y la ecuación (2.2) especifica de manera cuantitativa el inicio de la inversión para ambos tipos de dispositivo: tipo *n* y tipo *p*.

2.3 ELECTROSTÁTICA. FORMULACIÓN CUANTITATIVA

2.3.1 Electrostática del semiconductor

Consideraciones previas

El objetivo de esta sección es establecer relaciones analíticas para la densidad de carga (ρ), el campo eléctrico ($\mathscr{E}$) y el potencial electrostático existentes dentro de un MOS-C

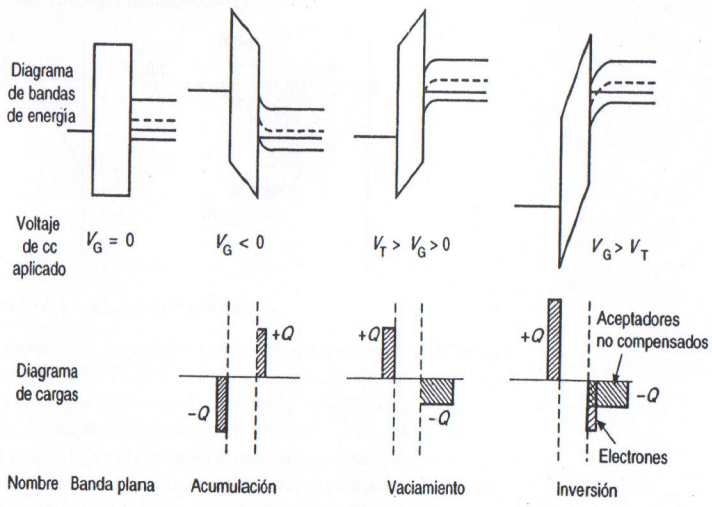


Figura 2.6 Diagramas de bandas de energía y de bloques de carga para un dispositivo tipo *p* en condiciones de banda plana, acumulación, vaciamiento e inversión.

ideal en condiciones de polarización estática. La tarea se simplifica si se considera que el metal es una región equipotencial. La carga que aparece cerca de la interfaz metal-óxido está a sólo unos pocos angstroms (1 Å = 10^{-8} cm) dentro del metal y puede modelarse, con un grado de precisión muy elevado, como una función δ de la carga en la interfaz metal-óxido M-O (*metal-oxide*). Como se supone que no hay carga en el óxido (idealización 3), la magnitud de la carga en el metal es simplemente igual a la suma de las cargas dentro del semiconductor. Además, como ya se hizo notar, en ausencia de cargas en el óxido resulta que el campo eléctrico es constante en el óxido y el potencial es una función lineal de la posición. En otras palabras, la solución de las variables electrostáticas dentro de un MOS-C ideal se reduce, en esencia, a hallar la solución de esas variables dentro del semiconductor del MOS-C.

Para establecer la descripción matemática de la situación electrostática dentro del semiconductor en forma sencilla comenzamos con la ecuación de Poisson. En el análisis que sigue se recurre a la aproximación de vaciamiento total para obtener una solución al primer orden. El desarrollo se asemeja mucho a la presentación del análisis de la unión *pn* del capítulo 2 del libro de Neudeck, G.W., *The PN Junction Diode*. Sin embargo, hay que puntualizar que existe una solución *exacta* en el caso del MOS-C. La solución exacta surge de simplificaciones asociadas al hecho de que el semiconductor en un MOS-C ideal *siempre* está en equilibrio, independientemente de la polarización de cc aplicada. Para fines de referencia, en al apéndice B se presenta el desarrollo de la solución exacta.

Al efectuar el análisis, el potencial dentro del semiconductor en un punto dado *x* se denota como $\phi(x)$; se da por entendido que *x* es la distancia, dentro del semiconductor, medida desde la interfaz óxido-semiconductor [véase la Fig. 2.7(a)]. Al trabajar con MOSC-C se utiliza el símbolo ϕ en lugar de *V* para evitar alguna posible confusión con los potenciales aplicados externamente. De acuerdo con la idealización 5, se supone que el campo eléctrico ($\mathscr{E} = -d\phi/dx$) es nulo para los puntos del interior del sustrato semiconductor. De acuerdo con la convención estándar, el potencial se toma cero en la región sin campo del semiconductor, a la que denominamos sustrato semiconductor. El valor de ϕ calculado en la interfaz óxido-semiconductor (en $x = 0$) recibe el símbolo especial ϕ_S y se le conoce como potencial de superficie.

En la figura 2.7(b) se ve cómo se relaciona $\phi(x)$ con la curvatura de banda en el diagrama de bandas de energía. Como se observa (y es consistente con la ecuación (3.12) del libro de Neudeck),

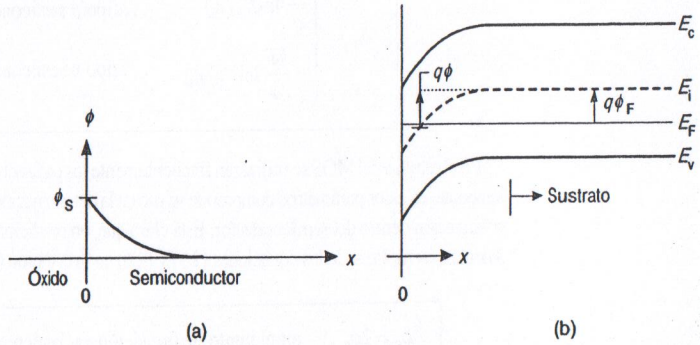


Figura 2.7 Parámetros electrostáticos: (a) Definición gráfica de ϕ y ϕ_s. (b) Relación entre $\phi(x)$ y la distorsión de la banda; definición gráfica de ϕ_F.

$$\phi(x) = \frac{1}{q}[E_i(\text{sustrato}) - E_i(x)] \tag{2.4}$$

y

$$\boxed{\phi_S = \frac{1}{q}[E_i(\text{sustrato}) - E_i(\text{superficie})]} \tag{2.5}$$

La figura 2.7(b) introduce también un importante parámetro material; se trata de

$$\boxed{\phi_F \equiv \frac{1}{q}[E_i(\text{sustrato}) - E_F]} \tag{2.6}$$

ϕ_F está claramente relacionado con la contaminación intencional del semiconductor. Por lo pronto, el signo de ϕ_F indica el tipo de contaminación; directamente a partir de la definición, se concluye que $\phi_F > 0$ si el semiconductor es de tipo p, y $\phi_F < 0$ si el semiconductor es de tipo n. Más importante aún: la magnitud de ϕ_F está relacionada funcionalmente con la concentración de la contaminación intencional. Dado un sustrato de Si no degenerado, mantenido a temperatura ambiente o cercana, del libro Pierret, R.F., *Semiconductor Fundamentals* se sabe que

$$p_{sustrato} = n_i e^{[E_i(\text{sustrato})-E_F]/kT} = N_A \quad \text{...si } N_A \gg N_D \tag{2.7a}$$

$$n_{sustrato} = n_i e^{[E_F-E_i(\text{sustrato})]/kT} = N_D \quad \text{...si } N_D \gg N_A \tag{2.7b}$$

Entonces, combinando las ecuaciones (2.6) y (2.7), se tiene

$$\boxed{\phi_F = \begin{cases} \dfrac{kT}{q}\ln(N_A/n_i) & \text{... tipo } p \text{ semiconductor} \quad (2.8a) \\ -\dfrac{kT}{q}\ln(N_D/n_i) & \text{... tipo } n \text{ semiconductor} \quad (2.8b) \end{cases}}$$

En el estudio del MOS se utilizarán frecuentemente los parámetros ϕ_S y ϕ_F. Nuestro interés inmediato en estos parámetros comprende su uso en la determinación cuantitativa del estado de polarización dentro del semiconductor. Está claro que, en condiciones de banda plana, $\phi_S = 0$. Además, reemplazando las ecuaciones (2.5) y (2.6) en la ecuación (2.2), se llega a

$$\boxed{\phi_S = 2\phi_F \quad \text{en el punto de transición vaciamiento-inversión}} \tag{2.9}$$

Como $\phi_F > 0$ en un semiconductor tipo p, se deduce que $\phi_S < 0$ si el semiconductor está en acumulación, $0 < \phi_S < 2\phi_F$ si está en vaciamiento y $\phi_S > 2\phi_F$ si está en inversión. Para el caso de un semiconductor tipo n, simplemente se invierten las desigualdades.

VÉASE EL EJERCICIO 2.1. APÉNDICE A

Solución de vaciamiento delta

La solución aproximada de forma concisa para las variables electrostáticas, basada en parte en la aproximación de vaciamiento, se divide por conveniencia en tres segmentos, correspondientes a las tres regiones de polarización: de acumulación, de vaciamiento y de inversión.

Primero analizaremos la acumulación. La figura 2.8 muestra los diagramas de densidad de carga y de potencial, construidos utilizando la solución exacta que se halla en el

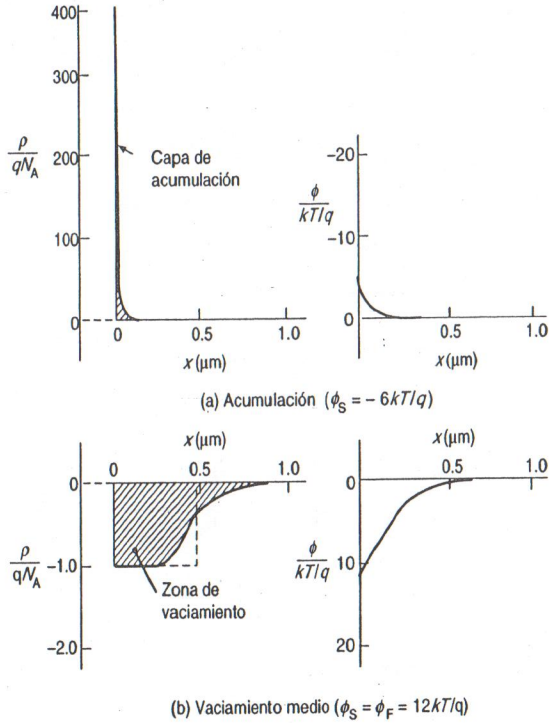
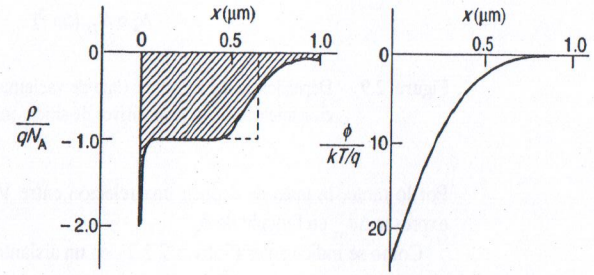
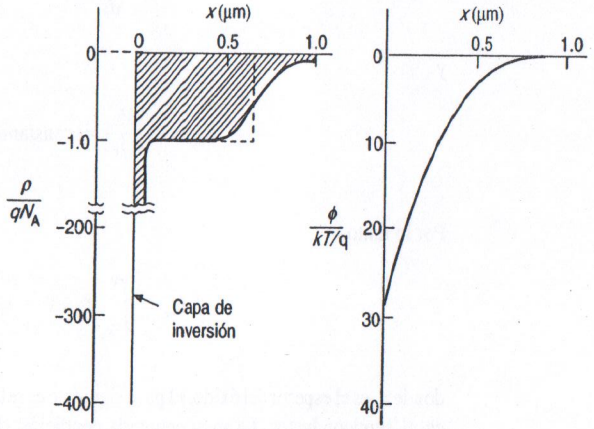


Figura 2.8 Solución exacta de la densidad de carga y del potencial dentro del semiconductor de un MOS-C, suponiendo $\phi_F = 12\,kT/q$ y T = 300 K ($kT/q = 0.259$ V). (a) Acumulación $\phi_S = -6\,kT/q$), (b) vaciamiento medio ($\phi_S = \phi_F = 12\,kT/q$), (c) inicio de la inversión ($\phi_S = 2\phi_F = 24\,kT/q$) y (d) de inversión profunda ($\phi_S = 2\,\phi_F + 6\,kT/q = 30\,kT/q$). Los diagramas ρ se trazaron en una escala lineal y los ejes + ϕ orientados hacia abajo, para destacar la correlación con los diagramas representados en la figura 2.6. Las líneas punteadas de los diagramas ρ de los puntos (b) a (d) delimitan la versión de la aproximación de vaciamiento total de la distribución de carga.

apéndice B. Tras verificar la correlación general entre los diagramas de la figura 2.8 y la parte correspondiente al sustrato semiconductor, de tipo p, de los diagramas trazados en la figura 2.6, obsérvese, en particular, en la figura 2.8(a) que *la carga asociada con la acumulación de portadores mayoritarios reside en una porción extremadamente estrecha del semiconductor e inmediatamente adyacente a la interfaz óxido-semiconductor.* Por comparación, la porción con vaciamiento del semiconductor con polarización de agotamiento moderada, que se ve en la figura 2.8(b), se extiende a mucha mayor profundidad dentro del semiconductor. Dada la angosta extensión de la capa de acumulación, parecería razonable, como aproximación de primer orden, reemplazar la carga de acumulación con una función δ de carga igual, colocada en la interfaz óxido-semiconductor. En realidad, lo que se ha hecho es describir la solución de vaciamiento delta para acumulación. Debido a que se toma una función δ para la carga en $x = 0$, se infiere de manera automática que el campo eléctrico y el potencial electrostático son idénticamente nulos para todo $x > 0$, bajo polarización de acumulación, en la solución de vaciamiento delta. Está claro que esto es en cierto modo inexacto, pero resulta aceptable como aproximación de primer orden.



(c) Inicio de la inversión ($\phi_S = 2\,\phi_F = 24kT/q$)



(d) Inversión profunda ($\phi_S = 2\,\phi_F + 6kT/q = 30kT/q$)

Figura 2.8 continuación

Pasando ahora a la inversión, de la figura 2.8(d) observamos que, como en el caso de la carga de la capa de acumulación, *la carga asociada con la inversión de portadores minoritarios reside en una porción extremadamente angosta del semiconductor, inmediatamente adyacente a la interfaz óxido-semiconductor.* Así mismo, al comparar las regiones de vaciamiento del semiconductor cuando $\phi_S = \phi_F$ (mitad del vaciamiento), $\phi_S = 2\phi_F$ (iniciación de la inversión), y $\phi_S = 2\phi_F + 6kT/q$ (inversión), se encuentra que el ancho de la zona de vaciamiento aumenta en forma sustancial con el incremento de la polarización en vaciamiento, *pero aumenta sólo de manera leve una vez que se produce la inversión del semiconductor.* Con base en la primera de las observaciones anteriores, o sea la solución de vaciamiento delta, la carga de la capa efectiva de inversión se puede modelar aproximadamente por medio de una función δ de igual carga, ubicada en la interfaz óxido-semiconductor. Para considerar la segunda observación, se supone además que la función δ de carga agregada en inversión equilibra *exactamente* la carga agregada a la compuerta del MOS-C. Como consecuencia, en la solución de vaciamiento delta para polarizaciones de inversión, la carga de la región de vaciamiento, el campo eléctrico $x > 0$ y el potencial electrostático $x > 0$ se mantienen fijos en sus valores correspondientes a $\phi_S = 2\phi_F$. En otras palabras, la solución para una polarización de inversión se logra simplemente agregando una función δ de carga superficial a la solución existente al final del vaciamiento.

La región de polarización restante por considerar es el vaciamiento. En la aproximación estándar de vaciamiento, la carga efectiva de vaciamiento se reemplaza por una distribución de forma cuadrada que termina de manera abrupta a cierta distancia $x = W$ dentro del semiconductor. Si se supone un semiconductor tipo p y se utiliza la aproximación de vaciamiento, puede escribirse

$$\rho = q(p - n + N_D - N_A) \cong -qN_A \qquad (0 \le x \le W) \tag{2.10}$$

Entonces la ecuación de Poisson se reduce a

$$\frac{d\mathscr{E}}{dx} = \frac{\rho}{K_S\varepsilon_0} \cong -\frac{qN_A}{K_S\varepsilon_0} \qquad (0 \le x \le W) \tag{2.11}$$

La integración directa de la ecuación (2.11) utilizando la condición de borde $\mathscr{E} = 0$ para $x = W$ da

$$\mathscr{E}(x) = -\frac{d\phi}{dx} = \frac{qN_A}{K_S\varepsilon_0}(W - x) \qquad (0 \le x \le W) \tag{2.12}$$

Una segunda integración con $\phi = 0$ para $x = W$ da

$$\phi(x) = \frac{qN_A}{2K_S\varepsilon_0}(W - x)^2 \qquad (0 \le x \le W) \tag{2.13}$$

La última incógnita entre las relaciones electrostáticas, el ancho de la zona de vaciamiento W, se determina por medio de la ecuación (2.13) aplicando las condiciones de contorno $\phi = \phi_S$ para $x = 0$. Se obtiene

$$\phi_S = \frac{qN_A}{2K_S\varepsilon_0} W^2 \tag{2.14}$$

y por lo tanto,

$$W = \left[\frac{2K_S\varepsilon_0}{qN_A}\phi_S\right]^{1/2} \tag{2.15}$$

Tomadas en conjunto, las ecuaciones (2.10), (2.12), (2.13) y (2.15) constituyen la solución deseada para polarización en vaciamiento. Para un dispositivo de sustrato tipo *n*, se reemplaza N_A de las ecuaciones precedentes por $-N_D$.

Antes de concluir, diremos algo respecto al ancho de la zona de vaciamiento, W_T, que existe en el punto de transición vaciamiento-inversión. En la fórmula de vaciamiento delta, W_T es por supuesto el máximo ancho obtenible en equilibrio. Como $W = W_T$, cuando $\phi_S = 2\phi_F$, reemplazando simplemente en la ecuación (2.15) se tiene

$$\boxed{W_T = \left[\frac{2K_S\varepsilon_0}{qN_A}(2\phi_F)\right]^{1/2}} \tag{2.16}$$

En la figura 2.9 se presenta un diagrama de W_T en función de la contaminación, intencional que cubre la gama típica de concentraciones de contaminación de MOS.

2.3.2 Expresión del voltaje de compuerta

En la subsección 2.3.1 se describió el estado de polarización en función del potencial de superficie del semiconductor, ϕ_S. Los resultados que se obtienen de este modo dependen sólo de las propiedades del semiconductor. Sin embargo, ϕ_S es una restricción *interna* o condición de contorno. Es el voltaje de compuerta V_G, aplicado *externamente*, el que está sujeto a control directo. Entonces, si los resultados de la subsección 2.3.1 se van a utilizar en problemas prácticos, debe establecerse una relación que asocie V_G con ϕ_S. Esta subsección se destina a la deducción de dicha relación.

Hemos de comenzar señalando que en la estructura ideal, V_G cae en parte en el óxido y en parte en el semiconductor, o, de manera simbólica,

$$V_G = \Delta\phi_{semi} + \Delta\phi_{ox} \tag{2.17}$$

Sin embargo, como $\phi = 0$ en el sustrato semiconductor, la caída de voltaje sobre el semiconductor es simplemente

$$\Delta\phi_{semi} = \phi(x = 0) = \phi_S \tag{2.18}$$

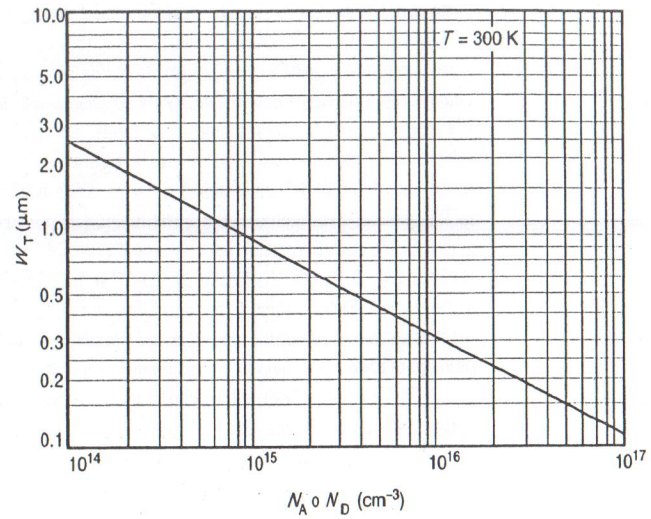


Figura 2.9 Dependencia del ancho máximo de vaciamiento en equilibrio con la contaminación intencional, en dispositivos de silicio mantenidos a 300 K.

Por lo tanto, la tarea de deducir una relación entre V_G y ϕ_S se reduce al problema de expresar $\Delta\phi_{ox}$ en función de ϕ_S.

Como se indicó antes (Subsec. 2.2.2), en un aislante ideal sin portadores o centros de carga,

$$\frac{d\mathscr{E}_{ox}}{dx} = 0 \tag{2.19}$$

y

$$\mathscr{E}_{ox} = -\frac{d\phi_{ox}}{dx} = \text{constante} \tag{2.20}$$

Por lo tanto,

$$\Delta\phi_{ox} = \int_{-x_0}^{0} \mathscr{E}_{ox}\, dx = x_0\mathscr{E}_{ox} \tag{2.21}$$

donde x_0 es el espesor del óxido. El paso siguiente es relacionar $\mathscr{E}_{ox}$ con el campo eléctrico en el semiconductor. La muy conocida condición de contorno sobre la componente normal del campo, en la interfaz entre dos materiales diferentes, requiere que

$$(D_{semi} - D_{ox})|_{O\text{-}S\ interface} = Q_{O\text{-}S} \tag{2.22}$$

donde $D = \varepsilon\mathscr{E}$ es el desplazamiento eléctrico y $Q_{O\text{-}S}$ es la carga por unidad de área colocada en la interfaz. Como $Q_{O\text{-}S} = 0$ en la estructura idealizada (idealización 3),*

$$D_{ox} = D_{semi|x=0} \tag{2.23}$$

$$\mathscr{E}_{ox} = \frac{K_S}{K_O}\mathscr{E}_S \tag{2.24}$$

y

$$\Delta\phi_{ox} = \frac{K_S}{K_O}x_o\mathscr{E}_S \tag{2.25}$$

K_S es la constante dieléctrica del semiconductor; K_O es la constante dieléctrica del óxido; y $\mathscr{E}_S$ es el campo eléctrico en el semiconductor, en la interfaz óxido-semiconductor. Por último, si se reemplazan las ecuaciones (2.18) y (2.25) en la ecuación (2.17) y se tiene en cuenta que $\mathscr{E}_S$ es una función conocida o fácilmente determinable de ϕ_S, se obtiene

$$\boxed{V_G = \phi_S + \frac{K_S}{K_O}x_o\mathscr{E}_S} \tag{2.26}$$

Si se emplean los resultados de la solución de vaciamiento delta, una combinación de las ecuaciones (2.12) y (2.15) da

$$\mathscr{E}_S = \left[\frac{2qN_A}{K_S\varepsilon_0}\phi_S\right]^{1/2} \tag{2.27}$$

y

$$V_G = \phi_S + \frac{K_S}{K_O}x_o\sqrt{\frac{2qN_A}{K_S\varepsilon_0}\phi_S} \qquad (0 \le \phi_S \le 2\phi_F) \tag{2.28}$$

En la figura 2.10 aparece la dependencia $V_G - \phi_S$ calculada de la ecuación (2.28) y que emplea unos valores típicos de los parámetros del dispositivo. También se muestra allí la correspondiente dependencia exacta. La figura ilustra muy bien ciertas características importantes del comportamiento del voltaje de compuerta. Ante todo, ϕ_S es una función rápidamente cambiante de V_G cuando el dispositivo está polarizado en vaciamiento. Sin

* Si se utiliza la formulación del vaciamiento delta, las capas de cargas de portadores de tipo función δ en la interfaz de O–S contribuirían técnicamente a $Q_{O\text{-}S}$ en condiciones de acumulación e inversión. No obstante, $\phi_S = 0$ para todas las polarizaciones de acumulación y $\phi_S = 2\phi_F$ para todas las polarizaciones de inversión en la solución de vaciamiento delta. Entonces, en la formulación citada la relación $V_G - \phi_S$ que se está deduciendo se utilizaría sólo para realizar los cálculos de polarización de vaciamiento.

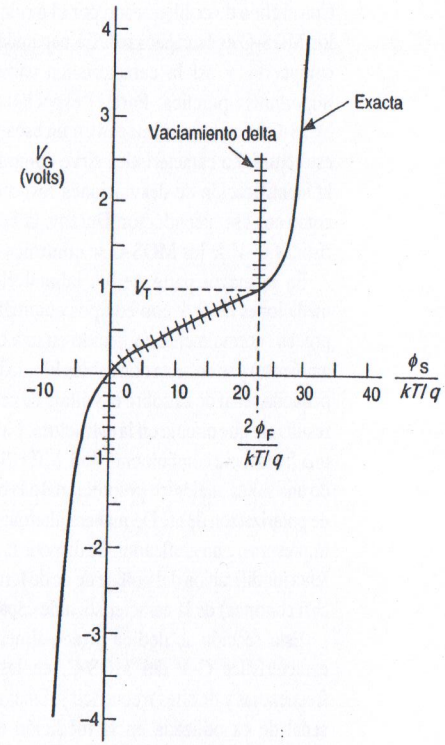


Figura 2.10 Relación típica entre el voltaje aplicado a la compuerta y el potencial de superficie en el semiconductor; ++++++ solución de agotamiento delta; ——— solución exacta ($x_o = 0.1$ µm, $N_A = 10^{15}/\text{cm}^3$, $T = 300$ K).

embargo, cuando el semiconductor se encuentra en acumulación ($\phi_S < 0$) o en inversión ($\phi_S > 2\phi_F$), se requiere una gran variación del voltaje de compuerta para producir un pequeño cambio en ϕ_S. Esto implica que el voltaje de compuerta se divide de manera proporcional entre el óxido y el semiconductor, bajo polarización de vaciamiento. Por otro lado, bajo polarización de acumulación o de inversión, las variaciones del voltaje aplicado caen casi por completo en el óxido. Obsérvese también que la región de polarización de vaciamiento es de apenas poco más de 1 volt de extensión. Como el carácter del semiconductor cambia de manera drástica al ir pasando de un lado de la región de polarización de vaciamiento al otro, podemos intuir que, dentro de un intervalo de voltajes estrecho, se producirá una variación significativa de las características eléctricas.

VÉASE EL EJERCICIO 2.2. APÉNDICE A

2.4 CARACTERÍSTICAS CAPACIDAD-VOLTAJE

Con el flujo de cc bloqueado por el óxido, la característica más destacada que presentan los MOS-C es la capacidad. La capacidad medida es función del voltaje aplicado a la compuerta, y así la característica capacidad-voltaje (C–V) es de una considerable importancia práctica. Para el especialista en dispositivos, la característica C–V del MOS-C es como una imagen en un escaparate, el cual revela la naturaleza interna de la estructura. La característica sirve como una poderosa herramienta de diagnóstico para la identificación de desviaciones respecto al comportamiento ideal, tanto en el óxido como en el semiconductor. Durante la fabricación de los dispositivos MOS, las características C–V de los MOS-C se controlan por rutina.

En la mayor parte de los laboratorios e instalaciones de fabricación se realizan mediciones de C–V con equipos automáticos. El dispositivo se coloca en un soporte de prueba (normalmente contenido en una caja cerrada a la iluminación para excluir la luz ambiente) y se conecta con cables blindados a un puente de C–V. El puente superpone una pequeña señal de ca sobre el voltaje de cc preseleccionado, y se detecta la corriente de ca resultante que circula en la estructura. La señal de ca suele ser inferior a 15 mV rms y con una frecuencia comúnmente de 1 MHz. Se envían entonces a un registrador X–Y calibrado una salida analógica proporcional a la capacidad, determinada por el puente, y el voltaje de polarización de cc. De manera alternativa, la salida de C–V digital puede enviarse a una impresora o a un graficador. Se dispone la experiencia para tener, en forma automática, una lenta modificación del voltaje de cc de forma que se obtiene una representación continua (o casi continua) de la característica de capacidad, en función del voltaje.

Esta sección se dedica principalmente al modelado de la forma observada de la característica C–V del MOS-C, en las situaciones extremas denominadas de bajas frecuencias y de altas frecuencias. Estas denominaciones se refieren a la frecuencia de la señal de ca utilizada en la medición de la capacidad. Por supuesto, el alcance del tratamiento teórico está restringido, a la estructura ideal. No obstante, al final de esta sección se incluyen algunas consideraciones prácticas de medida.

2.4.1 Teoría y análisis

Teoría cualitativa

En la figura 2.11 se presentan datos de C–V de alta y baja frecuencia obtenidos de un capacitor MOS-C típico. Para explicar la forma observada en esas características, consideraremos cómo responde la carga de un MOS-C tipo n ante una señal de ca aplicada, mientras se varía sistemáticamente la polarización de cc desde acumulación hasta inversión, pasando por vaciamiento. Comencemos por la acumulación. En acumulación, el estado de cc se caracteriza por la aglomeración de los portadores mayoritarios precisamente en la interfaz óxido-semiconductor. Además, en condiciones de acumulación, el estado del sistema se puede cambiar con gran rapidez. Para una contaminación de semiconductor típica, los portadores mayoritarios, los únicos portadores comprendidos en el funcionamiento del dispositivo en acumulación, pueden alcanzar el equilibrio con una constante de tiempo del orden de 10^{-10} a 10^{-13} s. En consecuencia, para frecuencias de prueba estándar de 1 MHz o menos, es razonable suponer que el dispositivo puede responder a la señal de ca aplicada en forma casi estática. La pequeña señal de ca suma

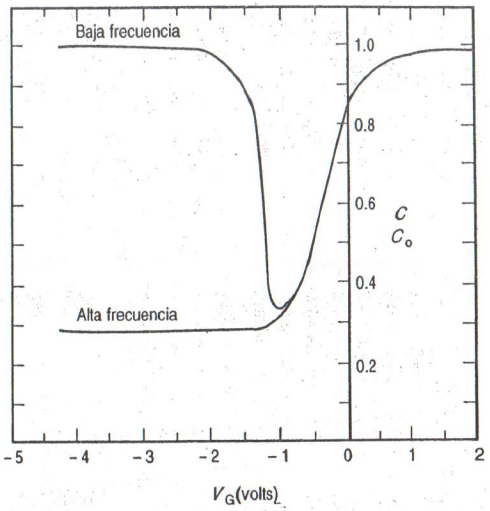


Figura 2.11 Características capacidad-voltaje de un MOS en alta y baja frecuencia. La curva de alta frecuencia se obtuvo con un puente de C–V a una frecuencia de medida de 1 mHz. Para la curva de baja frecuencia se utilizó una técnica de rampa lenta casi estática. El dispositivo se fabricó sobre Silicio (100) con $N_D = 9.1 \times 10^{14}/\text{cm}^3$; $X_o = 0.119\ \mu\text{m}$.

o resta una pequeña ΔQ a ambos lados del óxido, como se ve en la figura 2.12(a). Como la señal de ca sólo suma o resta una carga cerca de los bordes de un aislante, la configuración de cargas dentro del MOS-C de acumulación es en esencia la de un condensador de placas paralelas ordinario. Por lo tanto, se concluye que para la prueba tanto a bajas como a altas frecuencias,

$$C\,(\text{acu}) \simeq C_O = \frac{K_O\,\varepsilon_0 A_G}{x_o} \tag{2.29}$$

donde A_G es el área de la compuerta MOS-C.

Con polarización en vaciamiento, el estado de cc de una estructura MOS-C tipo n se caracteriza por una carga $-Q$ en la compuerta y una carga $+Q$ de vaciamiento en el semiconductor. Por supuesto, la carga de vaciamiento está relacionada en forma directa con el defecto de portadores mayoritarios en una zona de ancho efectivo W, adyacente a la interfaz óxido-semiconductor. Así, de nuevo tan sólo los portadores mayoritarios están comprendidos en el funcionamiento del dispositivo, y el estado de la carga dentro del sistema puede variar con gran rapidez. Como aparece en la figura 2.12(b), cuando la señal de ca incrementa la carga negativa en la compuerta MOS-C, la capa de vaciamiento dentro del semiconductor se ensancha casi de manera instantánea; es decir, el ancho del vaciamiento varía de manera casi estática en torno a su valor de cc, en respuesta a la señal de ca aplicada. Si se elimina en forma conceptual la carga estacionaria en la figura 2.12(b), todo lo que queda es una pequeña carga fluctuante a ambos lados de un aislador de dos capas. Para todas las frecuencias de prueba, esta situación es claramente análoga a dos condensadores de caras paralelas (C_O y C_S) en serie, donde

$$C_O = \frac{K_O \varepsilon_0 A_G}{x_o} \quad \text{(capacidad del óxido)} \tag{2.30a}$$

$$C_S = \frac{K_S \varepsilon_0 A_G}{W} \quad \text{(capacidad del semiconductor)} \tag{2.30b}$$

y

$$C\,(\text{vac}) = \frac{C_O C_S}{C_O + C_S} = \frac{C_O}{1 + \dfrac{K_O W}{K_S x_o}} \tag{2.31}$$

Obsérvese que, según la ecuación (2.31), como W aumenta cuando se incrementa la polarización de vaciamiento, la C(vac) correspondiente disminuye cuando la polarización de cc cambia de banda plana al inicio de inversión.

Una vez alcanzada la inversión, se sabe que una cantidad apreciable de portadores minoritarios se acumula cerca de la interfaz óxido-semiconductor, en respuesta a la polarización de cc aplicada. Así mismo, el ancho de cc de la zona de vaciamiento tiende a su valor máximo en W_T. Sin embargo, la respuesta dinámica de la carga, no es inmediatamente

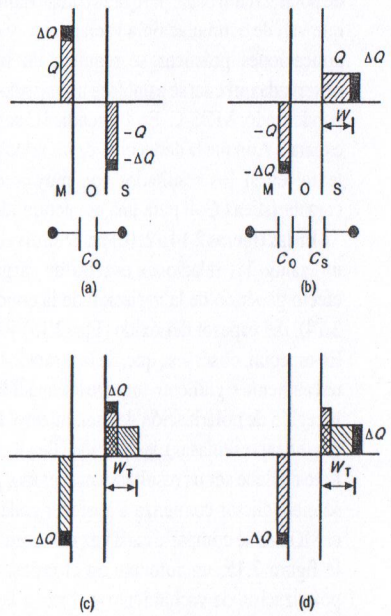


Figura 2.12 Fluctuaciones de ca dentro de un condensador MOS-C tipo *n* en condiciones de polarización de cc correspondientes a (a) acumulación, (b) vaciamiento, (c) inversión cuando $\omega \to 0$ y (d) inversión cuando $\omega \to \infty$. Bajo los diagramas de bloques de carga en los puntos (a) y (b) aparecen los modelos de circuitos equivalentes adecuados para polarizaciones de acumulación y de vaciamiento, respectivamente.

obvia. Podría suponerse que la carga de la capa de inversión fluctuara en respuesta a la señal de ca, como se ilustra en la figura 2.12(c). De manera alternativa, la carga del semiconductor necesaria para equilibrar los cambios de ΔQ en la carga de la compuerta podría ser el resultado de pequeñas variaciones del ancho de vaciamiento, como se observa en la figura 2.12(d). Incluso una combinación de ambos extremos sería una posibilidad lógica. El problema es asegurar qué alternativa describe la fluctuación de carga efectiva dentro de un MOS-C. Finalmente, resulta que la fluctuación de carga observada depende de la frecuencia de la señal de ca usada en la medición de la capacidad.

Antes de nada, si la frecuencia de medición es muy baja ($\omega \to 0$), se pueden generar o recombinar portadores minoritarios en respuesta a la señal de ca aplicada, y así el estado de ca (variable en el tiempo) consiste esencialmente en una sucesión de estados de cc. Igual que en el caso de acumulación, se tiene una situación [Fig. 2.12(c)] en la que la carga se suma o resta cerca de los bordes de un aislador de capa única. Por lo tanto, se concluye que

$$C\,(\text{inv}) \simeq C_O \text{ para } \omega \to 0 \tag{2.32}$$

En cambio, si la frecuencia de medición es muy elevada, ($\omega \to \infty$), el proceso relativamente lento de generación-recombinación no es capaz de proporcionar o eliminar portadores minoritarios en respuesta a la señal de ca aplicada. Por tanto, la cantidad de portadores minoritarios en la capa de inversión permanece fija en su valor de cc, y el ancho de vaciamiento fluctúa simplemente alrededor del valor W_T de cc. En forma similar a la polarización de vaciamiento, esta situación [Fig. 2.12(d)] equivale a dos condensadores de placas paralelas en serie, y

$$C\,(\text{inv}) = \frac{C_o C_s}{C_o + C_s} = \frac{C_o}{1 + K_o W_r} \quad \text{para } \omega \to \infty \tag{2.33}$$

Por supuesto, W_T es una constante independiente de la polarización de cc de inversión, y C(inv) $\omega \to \infty = C(\text{vac})_{\text{mín}}$ = constante para toda polarización en inversión. Por último, si la frecuencia de medición es tal que una *parte* de la carga de la capa de inversión se puede crear o aniquilar en respuesta a la señal de ca, se observará una capacidad de inversión intermedia entre los límites de alta y de baja frecuencia.

Ahora se puede elaborar una teoría global, combinando los resultados de las consideraciones previas de acumulación, vaciamiento e inversión. De manera específica, es de esperar que la capacidad MOS-C sea aproximadamente constante, C_O, bajo polarización en acumulación, que decrezca cuando la polarización de cc avance dentro de la región de polarización en vaciamiento, y que vuelva a ser aproximadamente constante de nuevo bajo polarizaciones de inversión, a un valor igual a ~C_O si $\omega \to 0$ o $C(\text{vac})_{\text{mín}}$ si $\omega \to \infty$. Además, para un dispositivo tipo *n* los voltajes de compuerta en acumulación (cuando $C \simeq C_O$) son positivos, los voltajes de compuerta en inversión son negativos y la región de polarización en vaciamiento, de capacidad decreciente, es del orden de aproximadamente un volt de ancho. Obviamente, esta teoría sobre las características capacidad-voltaje es confirmada por las características experimentales C–V_G del MOS-C, que se presentan en la figura 2.11.

VÉASE EL EJERCICIO 2.3. APÉNDICE A

Análisis del vaciamiento delta

Con base en el desarrollo de la subsección precedente, es relativamente fácil elaborar una teoría cuantitativa de primer orden, asentada en la formulación de vaciamiento delta. De manera específica, en la formulación de vaciamiento delta, los bloques de carga que representan capas de acumulación y de inversión en la figura 2.12 son reemplazados de manera formal por funciones δ de carga *exactamente* en la interfaz óxido-semiconductor. En consecuencia, C en la solución de vaciamiento delta es *precisamente* igual a C_O para polarizaciones de acumulación y de inversión en el límite de baja frecuencia. Por otro lado, la relación de vaciamiento y la relación de inversión de alta frecuencia [Ecs. (2.31) y (2.33) respectivamente] pueden utilizarse sin modificación. El modelado de bloques de carga de las regiones de vaciamiento en la figura 2.12 se ajusta con exactitud a las distribuciones de carga simplificadas supuestas en la aproximación de vaciamiento. Por lo tanto, dentro del marco de la formulación de vaciamiento delta,

$$C = \begin{cases} C_O & \text{acu} \quad (2.34a) \\ \dfrac{C_O}{1 + \dfrac{K_O W}{K_S x_o}} & \text{vac} \quad (2.34b) \\ C_O & \text{inv } (\omega \to 0) \quad (2.34c) \\ \dfrac{C_O}{1 + \dfrac{K_O W_T}{K_S x_o}} & \text{inv } (\omega \to \infty) \quad (2.34d) \end{cases}$$

Dado un conjunto de parámetros de un dispositivo, C_O y W_T se pueden calcular a partir de las relaciones anteriores. Sin embargo, para que la solución analítica sea completa, el ancho W en polarización de vaciamiento de la ecuación (2.34b) se debe expresar en función de V_G. Si se invierte la ecuación (2.28), se obtiene ϕ_S (o más precisamente $\sqrt{\phi_S}$) como función de V_G, y el resultado se reemplaza en la ecuación (2.15), lo que da la expresión buscada. Se encuentra que

$$W = \frac{K_S}{K_O} x_o \left[\sqrt{1 + \frac{V_G}{V_\delta}} - 1 \right] \tag{2.35}$$

donde

$$V_\delta \equiv \frac{q}{2} \frac{K_S x_o^2}{K_O^2 \varepsilon_0} N_A \quad \text{...dispositivo de sustrato } p \quad \text{(para sustrato } n, N_A \to -N_D) \tag{2.36}$$

Nótese que si la ecuación (2.35) se sustituye en la ecuación (2.34b), se obtiene el muy simple resultado

54272

$$C = \frac{C_O}{\sqrt{1 + \dfrac{V_G}{V_\delta}}} \quad \text{(polarizaciones de vaciamiento)} \tag{2.37}$$

MAR 1 6 1990

En la figura 2.13 se presenta como ejemplo un conjunto de características C–V de baja y alta frecuencia, construido utilizando el análisis de vaciamiento delta.

621.317
P623d2

2.4.2 Cálculos y observaciones

Cálculos exactos

Las características de vaciamiento delta, como se tipifican en la figura 2.13, constituyen una representación más bien burda de la realidad. La teoría de primer orden cumple una función verosímil para voltajes de compuerta ubicados claramente dentro de una región de polarización dada, pero falla ostentosamente en la vecindad de los puntos de transición, que van de acumulación a vaciamiento y de vaciamiento a inversión. Es común que en aplicaciones prácticas se requiera un modelado más preciso de las características observadas, el cual se establece trabajando con la distribución exacta de cargas dentro del condensador MOS-C. En el apéndice C se presentan los resultados del análisis de "carga-exacta". Aunque la deducción de las relaciones exactas de carga rebasa el alcance de este texto, en sí los resultados son muy manejables. Se pueden construir con facilidad características C–V para una estructura ideal y con gran exactitud.

En las figuras 2.14 a 2.16 aparecen diversas muestras de características C–V calculadas utilizando las relaciones exactas de carga. Estas figuras exhiben, respectivamente, el efecto genérico de la variación de la concentración de contaminación intencional (Fig. 2.14), del espesor del óxido (Fig. 2.15) y de la temperatura del dispositivo (Fig. 2.16). En especial, obsérvese que, de la figura 2.14, al incrementarse la contaminación intencional aumenta significativamente la capacidad de inversión de alta frecuencia y el ancho de la región de polarización de vaciamiento. De hecho, para contaminaciones es muy elevadas (no representadas), la capacidad tiende a una constante independiente de la polarización. Esto no debe ser un resultado inesperado, porque conforme aumenta la contaminación el semiconductor comienza a aparecer cada vez más como un metal, y es de esperar que el MOS-C se comporte cada vez más como un condensador ordinario. Como se ilustra en la figura 2.15, un aumento en el espesor del óxido también incrementa la región de polarización de vaciamiento y afecta a la capacidad de inversión de alta frecuencia. El incremento del ancho de la región de polarización de vaciamiento, cuando x_0 se incrementa, es una simple consecuencia de un aumento proporcional de la caída de voltaje a través de la parte de óxido de la estructura. Por último, la figura 2.16 presenta con mucha claridad la sensibilidad moderada de la capacidad en polarización de inversión, y la casi

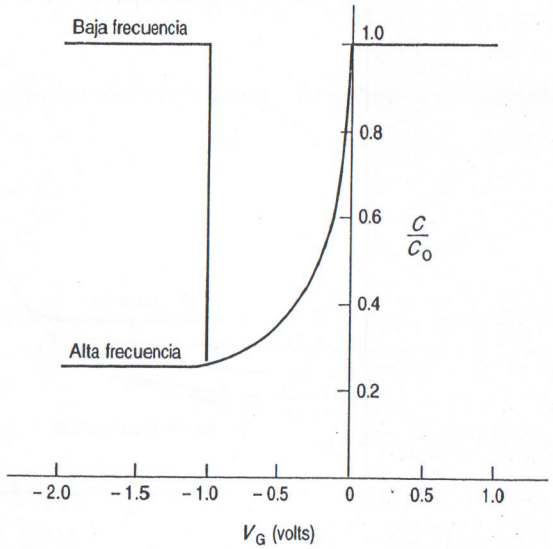


Figura 2.13 Ejemplo de conjunto de características C–V de baja y alta frecuencia obtenido utilizando la teoría de vaciamiento delta ($x_o = 0.1\ \mu m$, $N_D = 10^{15}/cm^3$, $T = 300$ K).

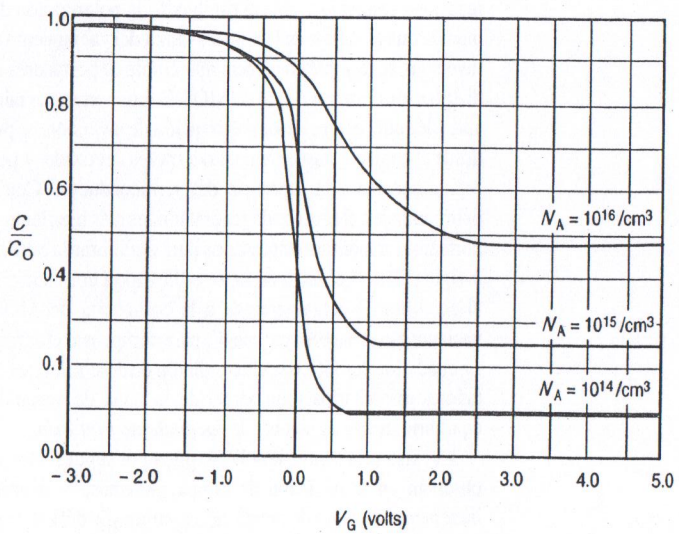


Figura 2.14 Dependencia de las características C–V_G de alta frecuencia respecto a la contaminación intencional. (Teoría de carga exacta $x_o = 0.1\ \mu m$, $T = 300$ K).

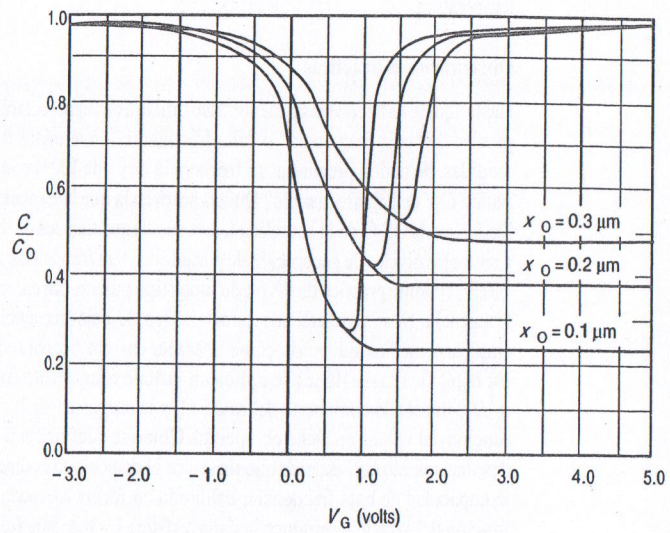


Figura 2.15 Dependencia de las características C–V_G de alta frecuencia respecto al espesor del óxido. (Teoría de carga exacta $N_A = 10^{15}/cm^3$, $T = 300$ K).

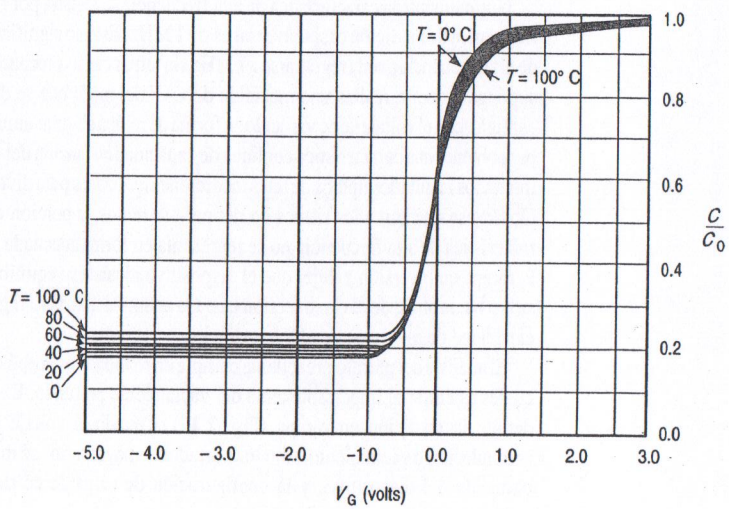


Figura 2.16 Dependencia de las características C–V_G de alta frecuencia respecto a la temperatura. (Teoría de carga exacta, $x_o = 0.1\ \mu m$, $N_A = 5 \times 10^{14}/cm^3$).

insensibilidad de la capacidad en polarización de vaciamiento respecto a cambios en la temperatura.

Observaciones prácticas

Hasta aquí se ha hecho más o menos caso omiso a cualquier aclaración sobre el significado preciso de "baja frecuencia" o "alta frecuencia" en términos de frecuencias realmente medidas. Se podría preguntar: ¿a frecuencia de ca de 100 Hz obtendríamos una característica *C-V* de baja frecuencia? Quizás sorprenda que la respuesta a esa pregunta sea *no*. Dados los MOS-C de la actualidad, con sus largos tiempos de vida media de portadores y sus bajos niveles de generación de portadores, aun frecuencias de prueba tan bajas como 10 Hz, el límite práctico de las mediciones tipo puente, dan características del tipo de alta frecuencia. Si se requiere una característica de baja frecuencia de un MOS-C, deben emplearse medios indirectos, como la técnica casi estática para construir la característica.* En la técnica casi estática se aplica un voltaje rampa lento (por lo general de 10-100 mV/s) lineal a la compuerta del MOS-C, y la *corriente* por la compuerta se controla en función del voltaje en dicha compuerta. Como se confirma con facilidad, la corriente de desplazamiento casi estática que fluye por el dispositivo es directamente proporcional a la capacidad de baja frecuencia; calibrada en forma adecuada, la corriente medida en función del voltaje, reproduce la característica *C–V* de baja frecuencia deseada.

En el extremo de alta frecuencia no se puede, en realidad, hacer $\omega \to \infty$ y esperar la observación de una característica de alta frecuencia. De hecho, las frecuencias de medición rara vez exceden de 1 MHz. A frecuencias más altas, la resistencia del sustrato del semiconductor comienza a tener importancia y reduce la capacidad observada. A frecuencias aún mayores ($\gtrsim$1 GHz) hay que comenzar a preocuparse por los tiempos de respuesta de los portadores mayoritarios.

Normalmente la característica de alta frecuencia se registra por rutina, mientras que la frecuencia de medición casi universal es de 1 MHz. Esto no significa que la característica de alta frecuencia pueda registrarse a 1 MHz sin tomar ciertas precauciones. Como ejemplo, supóngase que se realiza una medición de *C–V* del modo que se describió antes en este capítulo, con el voltaje de cc variando en forma de rampa desde acumulación hasta inversión para obtener una característica continua de capacidad en función del voltaje. La figura 2.17 ilustra los resultados típicos de tales mediciones realizadas para diversos ritmos de rampa. Obsérvese que aun a los ritmos de rampa más lentos, la porción de inversión de la característica de alta frecuencia no se representa en forma adecuada. Es necesario detener la rampa en inversión y dejar que el dispositivo alcance su equilibrio, o barrer el dispositivo hacia atrás, desde la inversión hasta la acumulación, para registrar con exactitud la capacidad de inversión de alta frecuencia.

El análisis del párrafo precedente cumple en realidad dos propósitos, el segundo de los cuales es entrar al importante tema del vaciamiento profundo. Examinemos con mayor detalle la medición en rampa (Fig. 2.17). Cuando el voltaje de la rampa está en acumulación o vaciamiento, sólo los portadores mayoritarios se involucran en el funcionamiento del dispositivo, y la configuración de carga de cc dentro de la estructura

* Véase M. Kuhn, "A Quasi-Static Technique for MOS-C *C–V* and Surface State Measurements", *Solid State Electronics*, **13**, 873, 1970.

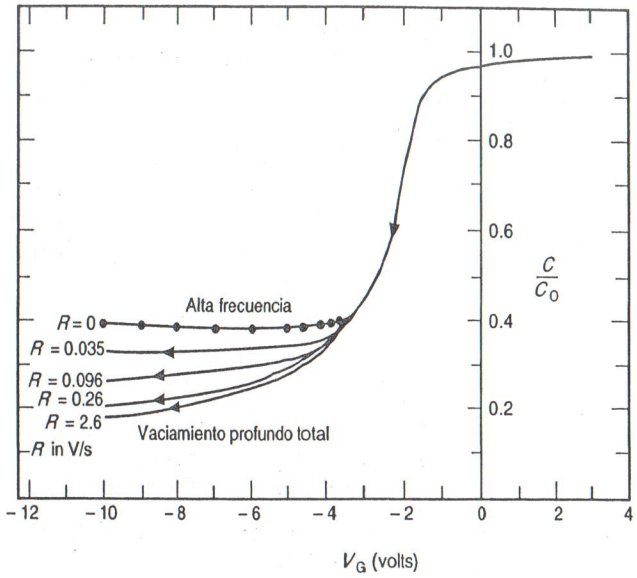


Figura 2.17 Características *C–V* medidas como una función de la velocidad de la rampa (R). En inversión, la capacidad de alta frecuencia se obtuvo deteniendo la rampa para dejar que el dispositivo se equilibrase.

reacciona con rapidez ante el cambio de la polarización de compuerta. Sin embargo, a medida que el voltaje en la rampa avanza del vaciamiento a la región de polarización de inversión, se requiere un número apreciable de portadores minoritarios para equilibrar la distribución de cargas dentro del MOS-C. Los portadores minoritarios no estaban presentes antes de entrar a la región de polarización de inversión, no pueden entrar al semiconductor desde el contacto trasero remoto o a través del óxido, y por lo tanto deben crearse en la región cercana a la superficie del semiconductor. Como se hizo notar en diversas oportunidades, el proceso de generación, es más bien lento y le es difícil proporcionar los portadores minoritarios necesarios para equilibrar la estructura. Así, como se muestra en la figura 2.18(a), el semiconductor es llevado a una condición de *desequilibrio* en la cual, al equilibrar la carga agregada a la compuerta del MOS-C, el ancho de la zona de vaciamiento se hace mayor que W_T para compensar el defecto de portadores minoritarios. La condición descrita, o sea la condición de desequilibrio en la que hay un defecto de portadores minoritarios y un ancho de la zona de vaciamiento mayor que el valor de equilibrio, recibe el nombre de *vaciamiento profundo*.

La existencia de una $W > W_T$ explica por supuesto los valores reducidos de *C* que se observan en la medición de rampa. Además, la disminución de capacidad con el incremento de ritmo de rampa indica un mayor déficit de portadores minoritarios y una mayor extensión del ancho de vaciamiento. Esto es lógico, pues cuanto mayor sea la velocidad de rampa, menor será la cantidad de portadores minoritarios generados antes de alcanzar una polarización de inversión dada.

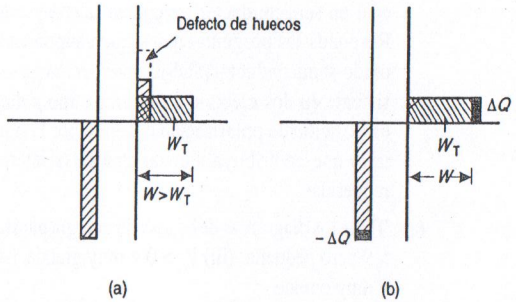


Figura 2.18 Características C–V medidas como una función de la velocidad de la rampa (R). En inversión, la capacidad de alta frecuencia se obtuvo deteniendo la rampa para dejar que el dispositivo se equilibrase.

El caso límite en cuanto a vaciamiento profundo se refiere, ocurre cuando el semiconductor está privado por completo de portadores minoritarios, es decir en vaciamiento profundo total. Excepto por un ancho de la zona de vaciamiento mayor, la situación de vaciamiento profundo total que se ve en la figura 2.18(b) es exactamente igual a la situación de vaciamiento simple que se muestra en la figura 2.12(b). En consecuencia, por analogía y sobre la base de una formulación de vaciamiento delta, la capacidad del caso límite que presenta la estructura en condiciones de vaciamiento profundo debería ser

$$C = \frac{C_O}{\sqrt{1 + \frac{V_G}{V_\delta}}} \qquad \text{vaciamiento profundo total} \quad (V_G > V_T \text{ tipo } p;\ V_G < V_T \text{ tipo } n) \tag{2.38}$$

La ecuación (2.38) concuerda magníficamente con las observaciones experimentales, y en esencia es idéntica al resultado obtenido en el caso del análisis de carga exacto. La curva de la figura 2.17, que corresponde a la rampa de 2.6 V/s, es un ejemplo de características de un vaciamiento profundo total.

Debemos hacer notar que la condición de vaciamiento profundo es fundamental en el funcionamiento de la memoria dinámica de acceso aleatorio (DRAM, *dynamic random access memory*) y de los dispositivos de acoplamiento de cargas (CCD, *charge coupled devices*) mencionados en la introducción general. Las DRAM utilizan condensadores MOS-C de vaciamiento profundo como elementos de almacenamiento. En cámaras CCD se produce ópticamente la carga de portadores, que se almacenan de manera temporal en pozos de potencial con vaciamiento parcialmente profundo, bajo una matriz de compuertas MOS-C.

VÉASE EL EJERCICIO 2.4. APÉNDICE A

2.5 RESUMEN Y COMENTARIOS FINALES

Este capítulo se dedicó a la introducción de la terminología básica, conceptos, ayudas de visualización, procedimientos analíticos, etc., para los MOS. Se comenzó por describir

el condensador MOS-C y definir con claridad lo que se entendía por estructura MOS ideal. El MOS-C ideal sirve no sólo como una herramienta útil para la exposición de fundamentos de los MOS, sino que también brinda un punto de referencia para comprender y analizar el comportamiento más complejo de las estructuras MOS reales. El carácter de referencia de la estructura ideal será más claro en el capítulo 4, en el cual se eliminarán algunas de las idealizaciones y se examinarán con cuidado las consecuentes perturbaciones sobre las características del dispositivo.

El estado interno del MOS-C se describió de manera cualitativa en condiciones de polarización estática, utilizando diagramas de bandas de energía y de bloques de carga. Con ayuda de los diagramas, se dio una interpretación física a los términos acumulación, banda plana, vaciamiento e inversión. La acumulación corresponde a la aglomeración de portadores mayoritarios en la interfaz óxido-semiconductor; la banda plana, a la no distorsión de las bandas del semiconductor o, lo que es equivalente, a la ausencia de cargas en el semiconductor; el vaciamiento, a la evacuación de los portadores mayoritarios de la interfaz, dejando una carga de iones de impureza no compensados; y la inversión, a la acumulación de portadores minoritarios en la interfaz óxido-semiconductor.

Como información, hay que mencionar que en ciertos análisis es conveniente y razonable dividir en dos subregiones la región de polarización de vaciamiento definida antes. Por ello, en algunas publicaciones sobre MOS se encuentra que el término "vaciamiento" se utiliza únicamente para referirse a distorsiones de banda entre $\phi_S = 0$ y $\phi_S = \phi_F$. Se emplea *inversión débil* para describir las distorsiones de banda desde $\phi_S = \phi_F$ hasta $\phi_S = 2\phi_F$. Además, *inversión fuerte* (que implica mayor inversión que la inversión débil) reemplaza la inversión aquí definida.

Resolviendo la ecuación de Poisson se estableció la expresión cuantitativa para la densidad de carga, el campo eléctrico y el potencial electrostático dentro de un MOS-C. En el capítulo se presentaron una solución de primer orden basada en la aproximación de vaciamiento total, y un modelo de función δ de las cargas de portadores. En el apéndice B se puede hallar una solución exacta para las variables electrostáticas.

Las formulaciones cualitativa y cuantitativa que se habían desarrollado se aplicaron al modelado de las características C–V de los MOS-C, dentro de los límites de baja y alta frecuencia. Se presentaron características sobre muestras de estructuras ideales y se examinó su dependencia de los parámetros. Por último, se aclaró el significado práctico de "baja frecuencia" y "alta frecuencia", y se hizo hincapié en que si no se deja equilibrar al MOS-C bajo polarización de inversión, se produce vaciamiento profundo. El vaciamiento profundo es una condición de desequilibrio en la que hay un déficit de portadores minoritarios y un ancho de la zona de vaciamiento excesivo de sus valores de equilibrio.

PROBLEMAS

2.1 Para los conjuntos de parámetros ϕ_F y ϕ_S listados a continuación, indique la condición de polarización especificada y trace el diagrama de bandas de energía y el diagrama de bloques de carga que caracterizan el estado estático del sistema. Suponga que se trata de una estructura MOS ideal.

(a) $\dfrac{\phi_F}{kT/q} = 12.5, \dfrac{\phi_S}{kT/q} = 30$

(b) $\dfrac{\phi_F}{kT/q} = -9, \dfrac{\phi_S}{kT/q} = 0$

(c) $\dfrac{\phi_F}{kT/q} = 12, \dfrac{\phi_S}{kT/q} = -2$

(d) $\dfrac{\phi_F}{kT/q} = 15, \dfrac{\phi_S}{kT/q} = 15$

(e) $\dfrac{\phi_F}{kT/q} = -10, \dfrac{\phi_S}{kT/q} = -20$

2.2 Examine con cuidado la figura 2.8, en especial la figura 2.8(c).

(a) Dibuje un diagrama de bloques de carga que describa la situación de las cargas en el sustrato tipo *p* de un MOS-C ideal, polarizado en el inicio de la inversión.

(b) ¿Su diagrama del punto (a) coincide con el diagrama de ρ/qN_A en función de x de la figura 2.8(c)? Explique por qué ρ/qN_A presenta un "pico" cerca de $x = 0$ y muestra un valor de $\rho/qN_A = -2$ en $x = 0$.

(c) Notando que al construir la figura 2.8 se supuso que $\phi_F/(kT/q) = 12$ y $T = 300$ K, determine W_T. ¿Es el valor deducido de W_T consistente con la distribución aproximada de cargas que aparece en la figura 2.8(c)?

2.3 Un MOS-C se mantiene a $T = 300$ K ($K_S = 11.8$, $K_O = 3.9$, $kT/q = 0.0259$ V, $n_i = 1.18 \times 10^{10}/\text{cm}^3$), $x_o = 0.1$ μm, y la contaminación intencional de Si es $N_D = 10^{15}/\text{cm}^3$. Calcule:

(a) ϕ_F (en unidades kT/q y en volts);

(b) W cuando $\phi_S = 2\phi_F$;

(c) $\mathscr{E}_S$ cuando $\phi_S = 2\phi_F$;

(d) V_G cuando $\phi_S = 2\phi_F$. (¿Cómo se relaciona este resultado con la figura 2.10?)

2.4 (a) Utilice el apéndice B para mostrar que la solución exacta equivalente de la ecuación (2.28) es

$$V_G = \frac{kT}{q}\left[U_S + \hat{U}_S \frac{K_S x_o}{K_O L_D} F(U_S, U_F)\right]$$

(b) Elabore un programa para computador que calcule V_G en función de U_S utilizando la relación del punto (a). Sólo U_F y x_o deben considerarse variables de entrada; haga $T = 300$ K y aumente U_S en incrementos unitarios desde $U_S = U_F - 21$ hasta $U_S = U_F + 21$. Ejecute el programa suponiendo que $x_o = 0.1$ μm y $N_D = 10^{15}/\text{cm}^3$. Compare sus resultados numéricos con la curva de la solución exacta de la figura 2.10.

2.5 Con el estado actual de la tecnología es posible construir un condensador de semiconductor-óxido-semiconductor (SOS, *semiconductor-oxide-semiconductor*) en el cual un semiconductor reemplaza la compuerta metálica en un MOS-C estándar. Responda las preguntas que siguen suponiendo un condensador semiconductor-óxido-semiconductor (SOS-C, *semiconductor-oxide-semiconductor capacitor*) consistente en dos electrodos *idénticos* tipo *p* de silicio, una *estructura ideal* y una disposición de polarización definida por la figura P2.5. Incluya cualquier comentario que contribuya a evitar una falsa interpretación de las respuestas gráficas requeridas.

(a) Trace los diagramas de bandas de energía para la estructura cuando (i) $V_G = 0$, (ii) $V_G > 0$ pero pequeña, (iii) $V_G > 0$ y muy grande, (iv) $V_G < 0$ pero pequeña y (v) $V_G < 0$ y muy grande.

(b) Dibuje los diagramas de bloques de carga correspondientes a las cinco condiciones de polarización consideradas en el punto (a).

(c) Bosqueje la forma esperada de las características C–V_G de alta frecuencia para el SOS-C descrito en este problema. Con fines de referencia, dibuje también, en la misma gráfica, las características C–V_G de alta frecuencia de un MOS-C que supuestamente tiene la misma contaminación intencional del semiconductor e igual espesor de óxido que el SOS-C.

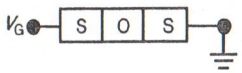


Figura P2.5

2.6 (a) Siguiendo las aproximaciones sugeridas en el texto, deduzca la ecuación (2.35).

(b) Suponiendo $x_o = 0.1$ μm, $N_D = 10^{15}/\text{cm}^3$ y $T = 300$ K, calcule:

(i) W_T;

(ii) C/C_O para inversión ($\omega \to \infty$);

(iii) V_T (teoría de vaciamiento delta).

(iv) Comente la comparación entre sus resultados de C y V con los de la figura 2.13.

2.7 Las características C–V de un MOS-C (que se supone ideal) son las que aparecen en la figura P2.7.

(a) ¿El componente del semiconductor del MOS-C es tipo *n* o tipo *p*? Indique cómo llegó a su respuesta.

(b) Dibuje el diagrama de bandas de energía de un MOS-C correspondiente al punto (2) de las características C–V. (Asegúrese de incluir los diagramas para las tres partes del MOS-C, muestre la distorsión de banda adecuada tanto en el óxido como en el semiconductor, y coloque correctamente el nivel de Fermi para el metal y el semiconductor).

(c) Trace el diagrama de bloques de carga correspondiente al punto (1) de las características C–V.

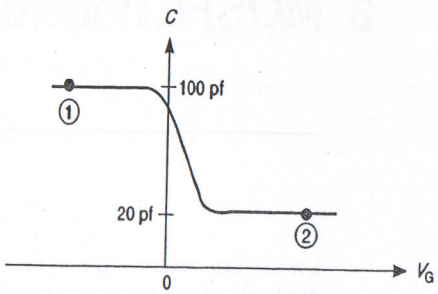


Figura P2.7

(d) Si $K_O = 3.9$ y el área de la compuerta MOS-C es de 3×10^{-3} cm^2, ¿cuál es el espesor del óxido (x_o)?

(e) Determine W_T para el MOS-C dado.

2.8 El estado de cc de un condensador MOS ideal está caracterizado por el diagrama de bloques de carga que aparece en la figura P2.8.

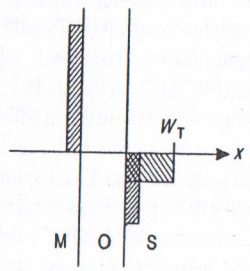


Figura P2.8

(a) ¿El semiconductor es de tipo *n* o de tipo *p*? Razone la respuesta.

(b) ¿El dispositivo está polarizado en acumulación, vaciamiento o inversión? Razone la respuesta.

(c) Dibuje el diagrama de bandas de energía correspondiente al estado de cargas que aparece dibujado en el diagrama de bloques de carga.

(d) Modifique en forma adecuada el diagrama de bloques de carga para indicar cómo cambia el estado de cargas dentro del MOS-C cuando se aplica al dispositivo una señal de ca de alta frecuencia.

(e) Trace la forma general de las características *C–V* de alta frecuencia que pueden esperarse de la estructura. Coloque una x en el punto de las características *C–V* que corresponda al estado de cargas representado en el diagrama de bloques de carga de la figura P2.8.

(f) Mientras está polarizado al mismo voltaje de compuerta que da lugar al diagrama de la figura P2.8, de algún modo el MOS-C queda en *vaciamiento profundo total*. Dibuje el diagrama de bloques de carga que describa el nuevo estado del sistema.

2.9 (a) Mediante el uso de las relaciones de carga exactas que aparecen en el apéndice C, escriba un programa de computador que pueda utilizarse para construir las características C/C_O de *baja frecuencia* en función de V_G. El programa debe calcular C/C_O y la correspondiente V_G para incrementos unitarios de U_S, desde $U_S = U_F - 21$ hasta $U_S = U_F + 21$. Sean $T = 300$ K, $kT/q = 0.0259$ V, $L_D = 2.68 \times 10^{-3}$ cm, $K_S = 11.8$ y $K_O = 3.9$. Sólo U_F (o N_A, N_D) y x_o deben considerarse como variables de entrada.

(b) Haga $U_F = 11.35$ ($N_A = 10^{15}$/cm^3) y utilice el programa del punto (a) para calcular C/C_O (de baja frecuencia) en función de V_G para $x_0 = 0.1$ μm, 0.2 μm y 0.3 μm. Compare los resultados de su programa con la figura 2.15.

(c) Utilice las relaciones de carga exactas incluidas en el apéndice C para escribir un programa de computador que obtenga las características de C/C_O de *alta frecuencia* en función de V_G. Siga los mismos procedimientos de cálculo que los indicados en el punto (a). *Precaución:* Los cálculos de alta frecuencia son mucho más complejos y el procedimiento mucho más elaborado que para baja frecuencia.

(d) Estableciendo $x_0 = 0.1$ μm, use el programa del punto (c) y calcule C/C_O (alta frecuencia) en función de V_G, para $N_A = 10^{14}$/cm^3, 10^{15}/cm^3 y 10^{16}/cm^3. Compare los resultados de su programa con la figura 2.14.

2.10 La concentración de contaminación intencional (N_A o N_D) necesaria para lograr una característica *C–V* teórica que se identifique con una característica experimental dada, con frecuencia se deduce directamente de los datos experimentales de *C-V* de alta frecuencia. Analizaremos el procedimiento para esa determinación.

(a) El dispositivo que brinda las características *C–V* de alta frecuencia que aparecen en la figura 2.17 presenta una capacidad máxima (C_O) de 82 pF. El área de compuerta del MOS-C era igual a 4.75×10^{-3} cm^2 y $K_O = 3.9$. Con estos datos, determine x_0.

(b) Con referencia a la figura 2.17, note el valor mínimo de C/C_O de alta frecuencia observado en condiciones de polarización de alta inversión ($V_G < -4$ V). De la ecuación (C.1) que aparece en el apéndice C, se puede asociar una W_{ef} con la C/C_O observada. Calcule la W_{ef}(alta inv), utilizando $K_S = 11.8$, $K_O = 3.9$ y el x_0 obtenido en el punto (a). Divida W_{ef}(alta inv) entre $L_D = 2.68 \times 10^{-3}$ cm para obtener el valor experimental de W_{ef}(alta inv)/L_D. (La longitud Debye intrínseca, L_D, define en los apéndices B y C. El valor que aquí aparece es adecuado para $T = 300$ K).

(c) U. Hartmann y P. Schley, *Phys. Stat. Sol. (a)*, **42**, 667, 1977, establecieron que

$$\frac{W_{\text{eff}}\,(\text{alta inv})}{L_D} = 2e^{-|U_F|/2}\left[17.28 + 99.48\tanh\left(\frac{|U_F| - 7.936}{47.13}\right)\right]^{1/2}$$

donde

$$U_F = \frac{\phi_F}{kT/q}$$

Se informa que la exactitud de la relación que aparece antes es mejor que ± 0.1% dentro del intervalo de $4 \leq |U_F| \leq 16$. Si se representa la relación W_{ef}(alta inv)/L_D en función de U_F, con técnicas iterativas que requieren un computador o por simple método de prueba y error, determine el valor de U_F necesario para alcanzar el resultado experimental del punto (b) para W_{ef}(alta inv)/L_D. Determine U_F con cuatro dígitos significativos y calcule el valor de N_D correspondiente, para $T = 300$ K. [*Nota:* Con base en la figura 2.9 se puede deducir con rapidez un valor inicial muy adecuado para N_D igualando W_{ef}(alta inv) con W_T. A su vez, el valor deducido de N_D se utiliza para calcular un primer valor de U_F].

3 MOSFET: Introducción

Los circuitos integrados que se basan en MOSFET han pasado a ser la tecnología dominante en la industria de los semiconductores. En la actualidad hay literalmente centenares de tipos de circuitos con transistor MOS en producción, que van desde compuertas lógicas más bien simples, utilizadas en el procesamiento de señales digitales, hasta diseños adaptados a funciones tanto de lógica como de memoria en el mismo chip de silicio. Se encuentran productos MOS en cantidades impresionantes de sistemas electrónicos, incluyendo el hoy común microcomputador. Al principio, el transistor MOS fue identificado por varios acrónimos que rivalizaban entre sí; por ejemplo, MOST (*metal-oxide-semiconductor-transistor,* transistor de metal-óxido-semiconductor), IGFET (*insulated gate field effect transistor*, transistor de efecto de campo de compuerta aislada) y MOSFET (*metal-oxide-semiconductor field effect transistor*, transistor de efecto de campo de metal-óxido-semiconductor). (Alguna vez se sugirieron, inclusive con una sonrisa, nombres como PIGFET y MISFET). Sin embargo, con el tiempo la estructura del transistor terminó con el nombre de MOSFET. En este capítulo se describen el funcionamiento del MOSFET y el modelado de las características de ese dispositivo. Se mantiene la suposición de que la estructura MOS es ideal. Así mismo, el desarrollo se centra en la configuración de transistor básica, el MOSFET de canal largo (o de gran dimensión) en modo de enriquecimiento. En el capítulo 5 se aborda el examen de los efectos de pequeña dimensión y de las variaciones estructurales. Aquí se comienza con un estudio cualitativo del funcionamiento del MOSFET y del flujo de cc dentro de la estructura, se continúa con un análisis cuantitativo de las características (I_D–V_D) de cc y se concluye con un estudio de la respuesta a la ca.

3.1 TEORÍA CUALITATIVA DE FUNCIONAMIENTO

En la figura 3.1 puede verse una sección transversal, de la configuración básica de un transistor MOS. Físicamente, el MOSFET no es otra cosa que un condensador MOS-C con dos uniones *pn* ubicadas en forma inmediatamente adyacente a la región del semiconductor controlada por la compuerta MOS. El sustrato de Si puede ser tanto de tipo *p* (que es el de la figura) como de tipo *n*. Por supuesto, en los dispositivos de sustrato *n* debe haber islas de unión p^+. En la figura 3.1 también se ven los símbolos para los terminales y los voltajes de cc. La primera variable que se observa es la corriente de drenaje (I_D), que fluye como consecuencia de los voltajes aplicados a los terminales. En forma coherente con el nombre dado a los electrodos del dispositivo, el flujo de corriente siempre es tal que los portadores (electrones en este caso) entran a la estructura a través de la fuente (S), salen de ella por el drenaje (D) y están sujetos al control o acción de regulación de la compuerta (G). El voltaje aplicado a la compuerta con respecto a tierra se denomina V_G, mientras que

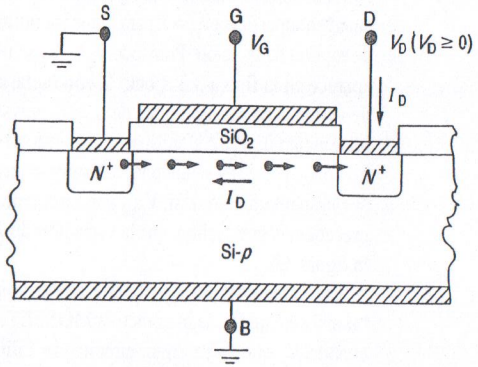


Figura 3.1 Vista de la sección transversal de una estructura MOSFET básica de sustrato *p* (canal *n*), que muestra las denominaciones de los terminales, las direcciones del flujo de corriente y de los portadores así como las condiciones de polarización estándar.

el voltaje del drenaje respecto a tierra se llama V_D. A menos que se indique otra cosa, se supone que la fuente y el sustrato (B) están conectados a tierra. Nótese que, en condiciones normales de funcionamiento, la polarización del drenaje es siempre tal que la unión *pn* de drenaje está polarizada inversamente ($V_D \geq 0$ para el dispositivo de la Fig. 3.1). Por último, reflejando el flujo normal de electrones dentro de la estructura, la corriente de drenaje en el dispositivo de sustrato p se toma como positiva cuando fluye del circuito externo al terminal de drenaje.

Para determinar cómo se espera que varíe la corriente de drenaje en función de los voltajes aplicados a los terminales, comenzamos por hacer $V_D = 0$ para examinar la situación dentro de la estructura en función del voltaje de compuerta. Cuando V_G está polarizada en acumulación o en vaciamiento ($V_G \leq V_T$, donde V_T es el voltaje del punto de transición de vaciamiento a inversión o voltaje umbral), la región controlada entre las islas de fuente y drenaje contiene ya sea un exceso o bien un déficit de huecos, y muy pocos electrones. Así, mirando a lo largo de la superficie ubicada entre las islas n^+ en las condiciones citadas, se ve efectivamente un circuito abierto. Sin embargo, cuando V_G está polarizada en inversión ($V_G > V_T$), junto a la superficie de Si–SiO_2 se forma una capa de inversión que contiene electrones móviles. Ahora, si se mira a lo largo de la superficie localizada entre las islas n^+, se ve [como aparece en la Fig. 3.2(a)] una región inducida "tipo *n*" (la capa de inversión) o *canal* conductor que conecta las islas de fuente y drenaje. Naturalmente, cuanto mayor sea la polarización de inversión, mayor será la cantidad de electrones presentes en la superficie de Si y mayor la conductancia de la capa de inversión. Por lo tanto, una polarización de inversión de compuerta crea o induce un canal de fuente a drenaje y determina la máxima conductancia del canal.

Pasando ahora a la acción de la polarización del drenaje, supongamos que una polarización de inversión $V_G > V_T$ se aplica a la compuerta y que el voltaje de drenaje se incrementa poco a poco a partir de $V_D = 0$. Para $V_D = 0$, la situación dentro del dispositivo es como se presenta en la figura 3.2(a); prevalece el equilibrio térmico y la corriente de drenaje es idénticamente cero. Cuando V_D se incrementa poco a poco hasta alcanzar pequeños valores positivos, el canal superficial actúa como una resistencia simple y comienza a fluir una corriente de drenaje proporcional a V_D que entra al terminal de

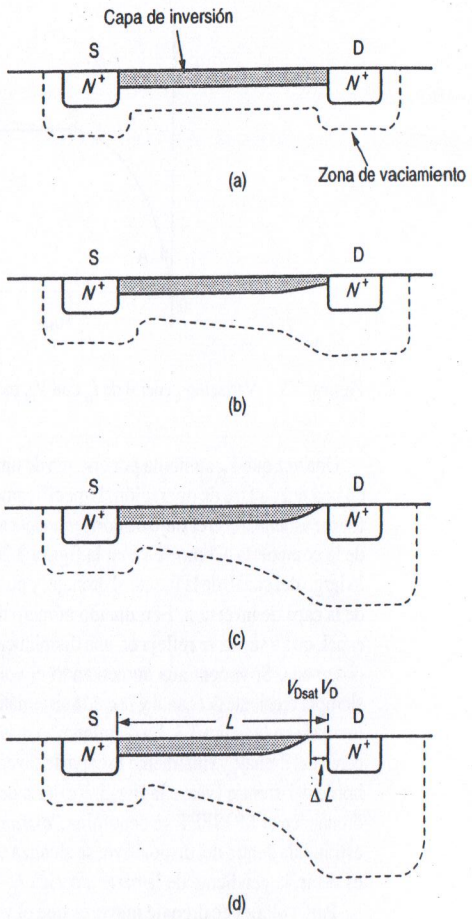


Figura 3.2 Vista de diversas fases del funcionamiento del MOSFET con $V_G > V_T$. (a) $V_D = 0$; (b) canal (capa de inversión) estrechado bajo polarización V_D moderada; (c) estrangulamiento y (d) postestrangulamiento ($V_D > V_{Dsat}$). (Se hace notar que los anchos de la capa de inversión, los de vaciamiento, etc., no están representados a escala.)

drenaje. En la figura 3.3 se muestra una línea recta desde el origen hasta el punto A, que es la porción de la característica I_D–V_D que corresponde a pequeñas polarizaciones V_D. Se podría argumentar que cualquier polarización $V_D > 0$ polariza simultáneamente y en forma inversa la unión *pn* de drenaje, y que como resultado de esto hay una corriente de polarización inversa de unión que entra al sustrato de Si y contribuye a la corriente I_D. Sin embargo, en dispositivos bien hechos la corriente de fugas de unión es totalmente despreciable frente a la corriente del canal, siempre que V_D sea inferior al voltaje de ruptura de la unión.

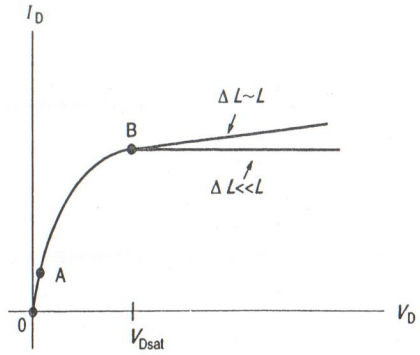


Figura. 3.3 Variación general de I_D con V_D, para un valor dado de $V_G > V_T$.

Una vez que V_D aumenta por encima de una pocas décimas de volt, el dispositivo entra en una nueva fase de operación. Específicamente, la caída de voltaje del drenaje hacia la fuente asociada con el flujo de corriente del canal comienza a anular el efecto de inversión de la compuerta. Como se ve en la figura 3.2(b), la región de vaciamiento se ensancha a lo largo del canal, de la fuente al drenaje, y por lo tanto disminuye la cantidad de portadores de la capa de inversión. El reducido número de portadores disminuye la conductancia del canal, que a su vez se refleja en una disminución de la pendiente de la característica I_D–V_D observada. Si se continúa aumentando el voltaje de drenaje, se produce un vaciamiento siempre creciente del canal y la caída sistemática de la pendiente de la característica I_D–V_D, marcada en la figura 3.3. La disminución más marcada de portadores del canal se produce cerca del drenaje y finalmente la capa de inversión desaparece por completo del canal en el borde del drenaje [véase la Fig. 3.2(c)]. La desaparición del canal conductor adyacente al drenaje en el MOSFET se denomina "*estrangulamiento*" o "cierre". Cuando el canal se estrangula dentro del dispositivo, se alcanza el punto B de la característica de la figura 3.3; es decir, la pendiente de la característica I_D–V_D se hace aproximadamente cero.

Para voltajes de drenaje mayores que el voltaje de estrangulamiento, V_{Dsat}, la porción estrangulada del canal se ensancha desde apenas un punto hasta una sección del canal en vaciamiento de extensión ΔL [véase la Fig. 3.2(d)]. Al ser una región de vaciamiento, la sección estrangulada ΔL absorbe la mayor parte de la caída de voltaje que excede de V_{Dsat}. Dado un dispositivo de canal largo, donde $\Delta L \ll L$, la zona del MOSFET desde la fuente hasta la región de estrangulamiento, para todo $V_D \geq V_{Dsat}$, es exactamente de la misma forma y tiene los mismos voltajes extremos. Cuando la forma de una región de conducción y el potencial sobre ésta no cambian, la corriente que atraviesa esa región debe mantenerse invariable. Entonces, I_D se mantiene aproximadamente constante para voltajes de drenaje mayores que V_{Dsat} siempre que $\Delta L \ll L$. Si ΔL es comparable a L, se desarrolla la misma caída de voltaje (V_{Dsat}) sobre un canal más corto ($L - \Delta L$) y, como se observó en la figura 3.3, en esos dispositivos la I_D de postestrangulamiento aumenta algo con el incremento de $V_D > V_{Dsat}$.

Hasta ahora se ha examinado la respuesta del MOSFET a la acción, por separado, de las polarizaciones de compuerta y de drenaje. Para establecer un conjunto completo de características I_D–V_D es necesario combinar los resultados obtenidos de las consideraciones anteriores. Está claro que para $V_G \leq V_T$, la polarización de compuerta no crea un canal en superficie e $I_D \simeq 0$ para todas las polarizaciones de drenaje por debajo del voltaje de ruptura de la unión. Para todo $V_G > V_T$ se observará una característica de la forma que aparece en la figura 3.3. Como la conductancia del canal aumenta con V_G creciente, se tiene que la pendiente inicial de la característica $I_D - V_D$ también debe aumentar con el incremento de V_G. Así mismo, cuanto mayor sea la cantidad de portadores de la capa de inversión presentes cuando $V_D = 0$, mayor será el voltaje de drenaje requerido para lograr el estrangulamiento. Así, V_{Dsat} debe aumentar al incrementarse V_G. De los argumentos precedentes se concluye que la variación de I_D con V_D debe ser de la forma mostrada en la figura 3.4.

Las características I_D– V_D que acabamos de establecer confirman la naturaleza de "transistor" que tiene la estructura MOSFET. Por supuesto, la acción de transistor resulta cuando I_D, que fluye en un circuito de salida, es modulada por un voltaje de entrada aplicado a la compuerta. Respecto a la terminología asociada, debe notarse que la porción de características en que $V_D > V_{Dsat}$ para un valor dado de V_G se conoce como región de *saturación* de operación; la porción de las características donde $V_D < V_{Dsat}$ se denomina región *lineal* de funcionamiento (en ocasiones *triodo*). De igual manera, el MOSFET se conoce como dispositivo de *canal n* cuando los portadores del canal son electrones y dispositivo de *canal p* cuando los portadores del canal son huecos.

3.2 RELACIONES CUANTITATIVAS I_D–V_D

A lo largo del desarrollo de los MOSFET se ha ido desarrollando en forma progresiva un conjunto de formulaciones para las relaciones $I_D - V_D$ en dispositivos de canal largo, cada vez más precisas y consecuentemente más complejas. Analizaremos dos de estas formulaciones: las que corresponden a las teorías de ley "cuadrática" y de "carga masiva". La primera proporciona relaciones muy simples, mientras que la segunda constituye una representación mucho más precisa de la realidad. Es interesante notar que, con excepción de los pasos finales de deducción, ambas teorías son idénticas. Al final de esta sección hay comentarios respecto a teorías de canal largo más rigurosas.

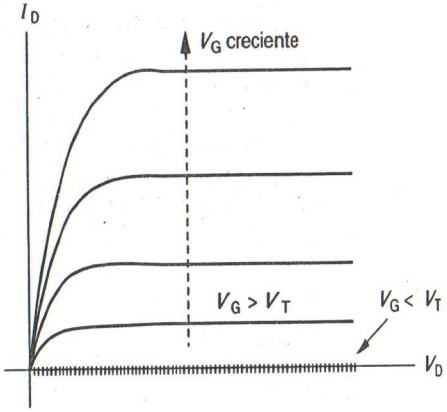


Figura 3.4 Forma general de las caracterísitcas I_D–V_D esperadas para un MOSFET de canal largo ($\Delta L \ll L$).

3.2.1 Consideraciones previas

Voltaje umbral

De la descripción cualitativa del funcionamiento del MOSFET debería resultar obvio que el parámetro V_T cumple un papel muy importante en la determinación de la naturaleza precisa de las características del dispositivo. En análisis de MOSFET, V_T se designa habitualmente como voltaje *umbral* o de *encendido*. El transistor comienza a llevar corriente (se enciende) en el inicio de la inversión. Utilizando los resultados de la subsección 2.3.2 y el hecho de que $V_G = V_T$ cuando $\phi_S = 2\phi_F$, se establece con facilidad una expresión analítica para el importante parámetro V_T. De manera específica, dado un dispositivo ideal de canal *n* (o sustrato *p*), una sustitución simple en la ecuación (2.28) da

$$\boxed{V_T = 2\phi_F + \frac{K_S x_o}{K_O}\sqrt{\frac{4qN_A}{K_S\varepsilon_0}\phi_F} \quad \text{... dispositivos ideales de canal } n \text{ (sustrato } p\text{)}} \tag{3.1a}$$

Análogamente,

$$\boxed{V_T = 2\phi_F - \frac{K_S x_o}{K_O}\sqrt{\frac{4qN_D}{K_S\varepsilon_0}(-\phi_F)} \quad \text{... dispositivos ideales de canal } p \text{ (sustrato } n\text{)}} \tag{3.1b}$$

Movilidad efectiva

Al deducir las expresiones cuantitativas de las características de cc del MOSFET se encuentra un parámetro nuevo, conocido como "movilidad efectiva". En la sección 3.1 del libro Pierret, R.F., *Semiconductor Fundamentals*, se describieron por primera vez las movilidades de los portadores μ_n y μ_p, y se indicó que constituían una medida de la facilidad de movimiento de los portadores dentro de un cristal semiconductor. En el sustrato del semiconductor, es decir, en un punto muy alejado de la superficie del semiconductor, las movilidades de los portadores suelen estar determinadas por la magnitud de la interacción con la red y por la interacción con las impurezas ionizadas, que tienen lugar dentro del material. Para una temperatura y una contaminación intencional de semiconductor dadas, estas movilidades "en volumen" (μ_n y μ_p) se definen con claridad y son constantes físicas bien determinadas. En cambio, el movimiento de portadores en un MOSFET tiene lugar en una capa de inversión superficial donde el campo eléctrico inducido por la compuerta actúa de manera que acelera los portadores hacia la superficie. Por lo tanto, los portadores de la capa de inversión están sujetos a colisiones con la superficie de Si, que dificultan su movimiento (véase la Fig. 3.5), además de las colisiones con la red y con las impurezas ionizadas. El mecanismo de interacción superficial adicional disminuye la movilidad de los portadores, experimentando los que están más cerca de la superficie de Si la mayor reducción de la movilidad. La movilidad media resultante de los portadores de la capa de inversión se denomina *movilidad efectiva* y se representa con el símbolo $\bar{\mu}_n$ o $\bar{\mu}_p$.

Con el fin de establecer una expresión matemática formal de la movilidad efectiva, se considera un dispositivo de canal *n* con la estructura y las dimensiones especificadas en la figura 3.6. Sea *x* la profundidad dentro del semiconductor medida desde la interfaz óxido-semiconductor, *y* la distancia a lo largo del canal medida desde la fuente, $x_c(y)$ la profundidad del canal, $n(x, y)$ la concentración de electrones en el punto (x, y) del canal, y $\mu_n(x, y)$ la movilidad de portadores en el punto (x, y) del canal. Si se recurre al procedimiento estándar para el valor medio, la movilidad efectiva de portadores a una distancia *y* desde la fuente está dada simplemente por

$$\bar{\mu}_n = \frac{\int_0^{x_c(y)} \mu_n(x, y)n(x, y)\,dx}{\int_0^{x_c(y)} n(x, y)\,dx} \tag{3.2}$$

Sin embargo, la carga electrónica total/cm^2 en el canal a un valor de *y* dado es

$$Q_N(y) = -q\int_0^{x_c(y)} n(x, y)\,dx \tag{3.3}$$

En consecuencia se puede escribir, de manera alternativa,

$$\bar{\mu}_n = -\frac{q}{Q_N(y)}\int_0^{x_c(y)} \mu_n(x, y)n(x, y)\,dx \tag{3.4}$$

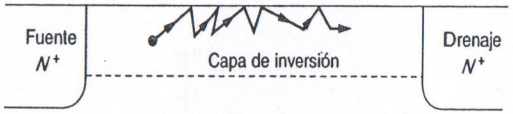


Figura 3.5 Visualización de las colisiones superficiales en la interfaz Si–SiO_2.

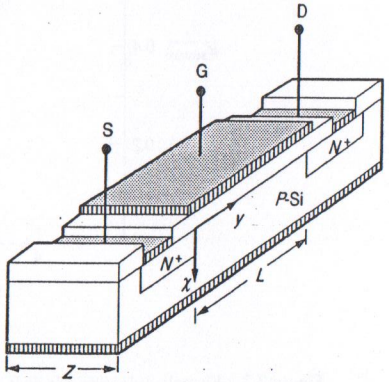


Figura 3.6 Estructura, dimensiones y orientaciones de coordenadas del dispositivo supuestas para el análisis cuantitativo.

Si el voltaje de drenaje es pequeño, la profundidad del canal y la carga de portadores serán más o menos uniformes desde la fuente hasta el drenaje, y la movilidad efectiva será esencialmente igual para todos los valores de y. Por otro lado, cuando el voltaje del drenaje se hace elevado, x_c y Q_N varían con la posición y es razonable esperar que $\bar{\mu}_n$ varíe también un poco a lo largo del canal, desde la fuente hasta el drenaje. Por fortuna, la dependencia de y citada se puede despreciar, sin introducir un error significativo. Entonces, *a partir de ahora $\bar{\mu}_n$ se ha de considerar como un parámetro del dispositivo que es independiente de y, así como del voltaje V_D aplicado al drenaje.*

En relación con la dependencia de $\bar{\mu}_n$ respecto al voltaje aplicado a la *compuerta,* el aumento de la polarización de inversión coloca más portadores cerca de la interfaz óxido-semiconductor e incrementa el campo eléctrico que actúa sobre los portadores. Esta combinación de efectos realza la interacción con la superficie y, por lo tanto, reduce la movilidad media de los portadores; así, $\bar{\mu}_n$ disminuye cuando aumenta la polarización de inversión, una dependencia que no puede ignorarse. La dependencia precisa de $\bar{\mu}_n$ respecto a V_G varía de dispositivo a dispositivo, pero por lo general sigue la forma presentada en la figura 3.7. De la figura 3.7 se puede ver también que el fenómeno de interacción superficial puede ser bastante significativo, lo que da lugar a movilidades efectivas considerablemente inferiores a la μ_n del sustrato.

3.2.2 Teoría de la ley cuadrática

El MOSFET en análisis se toma como un dispositivo de canal largo con la estructura y las dimensiones especificadas en la figura 3.6. Esta figura indica también las orientaciones de coordenadas elegidas.

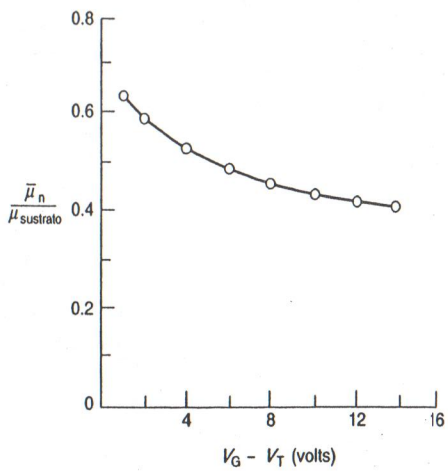


Figura 3.7 Ejemplo de la variación de $\bar{\mu}_n$ respecto al voltaje aplicado a la compuerta ($V_D \cong 0$). [Información de S.C. Sun y J.D. Plummer, *IEEE Trans. on E.D.*, **ED-27,** 1497, agosto de 1980.]

Para los voltajes de compuerta mayores que el de umbral ($V_G \geq V_T$) y para voltajes de drenaje inferiores al estrangulamiento ($0 \leq V_D \leq V_{Dsat}$), la deducción de la ley cuadrática de relación I_D–V_D se hace del modo siguiente: en general, se puede escribir

$$\mathbf{J}_N = q\mu_n n\mathscr{E} + qD_N\nabla n \tag{3.5}$$

Dentro del canal conductor, la corriente fluye casi exclusivamente en la dirección y. Además, por lo general se halla que la componente de difusión de la corriente es despreciable dada la gran cantidad de portadores que existen en un punto dado del interior de un semiconductor. Entonces, con base en el precedente establecido en problemas similares, es razonable desechar la componente de difusión de la corriente ($qD_N\nabla n$) en la ecuación (3.5). Si se aplican las simplificaciones sugeridas se obtiene

$$J_N \cong J_{Ny} \cong q\mu_n n\mathscr{E}_y = -q\mu_n n\frac{d\phi}{dy} \quad \text{(en el canal conductor)} \tag{3.6}$$

Todas las magnitudes de la ecuación (3.6): μ_n, n y J_{Ny}, dependen, por supuesto, de la posición x y. Como n, se espera que J_{NY} sea bastante elevada para $x = 0^+$ y que caiga con rapidez al ir desplazándose hacia la parte neutra del sustrato semiconductor ($x > 0$).

Como el flujo de corriente está restringido al canal superficial, la corriente que pasa por cualquier plano transversal dentro del canal debe ser igual a I_D. Es decir,*

$$I_D = -\iint J_{Ny}\,dx\,dz = -Z\int_0^{x_c(y)} J_{Ny}\,dx \tag{3.7a}$$

$$= \left(-Z\frac{d\phi}{dy}\right)\left(-q\int_0^{x_c(y)} \mu_n(x,y)n(x,y)\,dx\right) \tag{3.7b}$$

Si se examina la ecuación (3.7b), se halla que el segundo paréntesis del segundo miembro de la ecuación es justamente $\bar{\mu}_n Q_N$ [véase la Ec. (3.4)]. Entonces la ecuación (3.7b) se simplifica a

$$I_D = -Z\bar{\mu}_n Q_N\frac{d\phi}{dy} \tag{3.8}$$

Luego, al ver que I_D es independiente de y, la ecuación (3.8) se puede replantear en forma más útil, integrando I_D sobre la longitud del canal. Exactamente,

$$\int_0^L I_D\,dy = I_D L = -Z\int_0^{V_D} \bar{\mu}_n Q_N\,d\phi \tag{3.9}$$

* (a) El signo menos aparece en la fórmula general de I_D porque I_D se define como positiva en la dirección –y. (b) En términos generales, ϕ y $d\phi/dy$ son funciones de x. Sin embargo, la muy angosta extensión de la capa de inversión indica que ϕ es una función muy débil de x ($\phi \approx \phi_s$) en la región del canal. Por lo tanto, al completar la forma final de la ecuación (3.7) se tomó $d\phi/dy$ como constante dentro del ancho x del canal.

o, con $\bar{\mu}_n$ independiente de la posición,

$$I_D = -\frac{Z\bar{\mu}_n}{L}\int_0^{V_D} Q_N\, d\phi \tag{3.10}$$

Para completar el desarrollo se requiere una expresión analítica que relacione Q_N con el potencial ϕ del canal en un punto arbitrario y. Al buscar la expresión deseada recordamos que la carga de equilibrio de la capa de inversión en un MOS-C equilibra casi exactamente al exceso de carga añadida a la compuerta del MOS-C cuando V_G excede a V_T. En otros términos,

$$\Delta Q_{\text{compuerta}}\left(\frac{\text{carga}}{\text{cm}^2}\right) = -\Delta Q_{\text{semi}}\left(\frac{\text{carga}}{\text{cm}^2}\right) \cong -Q_N \quad \ldots V_G \geq V_T \tag{3.11}$$

Como las cargas se agregan de inmediato a los bordes del óxido, también se puede afirmar que

$$\Delta Q_{\text{compuerta}}\left(\frac{\text{carga}}{\text{cm}^2}\right) \cong C_o\,\Delta V_G = C_o(V_G - V_T) \quad \ldots V_G \geq V_T \tag{3.12}$$

y, por lo tanto,

$$Q_N \cong -C_o(V_G - V_T) \quad \ldots V_G \geq V_T \tag{3.13}$$

donde

$$\boxed{C_o \equiv \frac{C_O}{A_G} = \frac{K_O\varepsilon_0}{x_o}}$$

es la capacidad del óxido por unidad de área de la compuerta.

Mientras que toda la armadura posterior de un condensador MOS-C está al potencial de tierra, el potencial de la armadura inferior en un MOSFET varía desde cero en la fuente hasta V_D en el drenaje. Como se ve en la figura 3.8, el MOSFET puede parecerse a un condensador con una armadura resistiva en el cual la diferencia de potencial de armadura a armadura es V_G en la fuente, $V_G - V_D$ en el drenaje, y $V_G - \phi$ en un punto arbitrario y. Está claro que la caída de potencial $V_G - \phi$ en un punto arbitrario y del MOSFET reemplaza funcionalmente la caída de potencial V_G uniforme de un MOS-C. Se utiliza la ecuación (3.13) para concluir que

$$Q_N(y) \cong -C_o(V_G - V_T - \phi) \tag{3.14}$$

Ahora se puede establecer una relación I_D–V_D explícita reemplazando simplemente Q_N de la ecuación (3.14) en la ecuación (3.10) e integrando. El resultado es

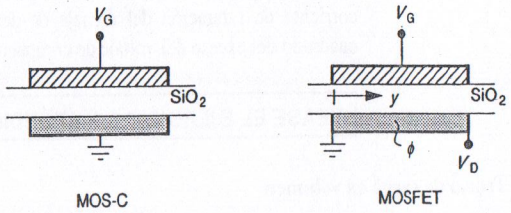


Figura 3.8 Modelo capacitivo, para determinar la carga en el canal de un MOSFET.

$$\boxed{I_D = \frac{Z\bar{\mu}_n C_o}{L}\left[(V_G - V_T)V_D - \frac{V_D^2}{2}\right] \quad \begin{pmatrix} 0 \leq V_D \leq V_{Dsat} \\ V_G \geq V_T \end{pmatrix}} \tag{3.15}$$

Debe hacerse hincapié en que el desarrollo precedente y en particular la ecuación (3.15), sólo tienen validez antes del estrangulamiento. De hecho, el valor calculado de I_D en función de V_D para un valor dado de V_G en realidad comienza a disminuir si se colocan por error valores de V_D mayores que V_{Dsat} en la ecuación (3.15). No obstante, como se indicó en el análisis cualitativo, I_D es aproximadamente constante si V_D excede a V_{Dsat}. Entonces, para un primer orden, la región de saturación de las características se puede modelar haciendo sólo

$$I_{D|VD>VDsat} = I_{D|VD = VDsat} \equiv I_{Dsat} \tag{3.16}$$

o

$$I_{Dsat} = \frac{Z\bar{\mu}_n C_o}{L}\left[(V_G - V_T)V_{Dsat} - \frac{V_{Dsat}^2}{2}\right] \tag{3.17}$$

La relación I_{Dsat} se puede simplificar un poco notando que el estrangulamiento en el extremo del drenaje del canal implica que $Q_N(L) \to 0$ cuando $\phi(L) = V_D \to V_{Dsat}$. Así, de la ecuación (3.14),

$$Q_N(L) = -C_o(V_G - V_T - V_{Dsat}) = 0 \tag{3.18}$$

o

$$\boxed{V_{Dsat} = V_G - V_T} \tag{3.19}$$

y

$$\boxed{I_{Dsat} = \frac{Z\bar{\mu}_n C_o}{2L}(V_G - V_T)^2} \tag{3.20}$$

Si se desprecia la dependencia de $\bar{\mu}_n$ respecto a V_G, la ecuación (3.20) predice una corriente de saturación del drenaje de dependencia "cuadrática", que varía con el cuadrado del exceso del voltaje de compuerta por encima del voltaje umbral.

VÉASE EL EJERCICIO 3.1. APÉNDICE A

3.2.3 Teoría de carga en volumen

Aun cuando en una primera inspección la teoría de la ley cuadrática puede resultar muy razonable y válida, una revisión cuidadosa revela que contiene una falla importante. El modelo semejante a un condensador utilizado en el análisis de la ley cuadrática suponía que los cambios en la carga de la compuerta, a lo largo del canal del MOSFET, eran compensados sólo por los cambios en Q_N. Esto equivaldría a suponer de manera implícita que el ancho de vaciamiento en todos los puntos del canal, de la fuente al drenaje, permanece fijo en W_T, aun bajo polarización $V_D \neq 0$. En realidad, como se puede ver en las figuras 3.2(b) a (d), el ancho de la zona de vaciamiento se amplía al avanzar de la fuente al drenaje cuando $V_D \neq 0$. Esta variación punto a punto en la capa de vaciamiento, o carga "en volumen" o del sustrato, debe incluirse en cualquier relación de variación de cargas.

Si se tienen en cuenta los cambios en el ancho de vaciamiento, $W(y)$, se deduce con más precisión

$$Q_N(y) = -C_o(V_G - V_T - \phi) + qN_A[W(y) - W_T] \tag{3.21}$$

donde, si se hace uso del vaciamiento delta obtenido en el capítulo 2,

$$W(y) = \left[\frac{2K_S\varepsilon_0}{qN_A}(2\phi_F + \phi)\right]^{1/2} \tag{3.22}$$

$$W_T = \left[\frac{2K_S\varepsilon_0}{qN_A}(2\phi_F)\right]^{1/2} \tag{3.23}$$

Así, si se combinan las ecuaciones (3.21) a (3.23) y se introduce

$$V_W \equiv \frac{qN_A W_T}{C_o} \tag{3.24}$$

se obtiene una "teoría de carga en volumen" análoga a la ecuación (3.14), o sea

$$Q_N(y) = -C_o\left[V_G - V_T - \phi - V_W\left(\sqrt{1 + \frac{\phi}{2\phi_F}} - 1\right)\right] \tag{3.25}$$

La relación I_D–V_D, predicha basada en las formulaciones de carga en el volumen del sustrato, puede entonces obtenerse con facilidad, reemplazando la ecuación (3.25) en la ecuación (3.10) e integrando. El resultado final es

$$\boxed{I_D = \frac{Z\bar{\mu}_n C_o}{L}\left\{(V_G - V_T)V_D - \frac{V_D^2}{2} - \frac{4}{3}V_W\phi_F\left[\left(1 + \frac{V_D}{2\phi_F}\right)^{3/2} - \left(1 + \frac{3V_D}{4\phi_F}\right)\right]\right\}}$$

$$\text{para } 0 \leq V_D \leq V_{Dsat} \quad \text{y} \quad V_G \geq V_T \tag{3.26}$$

Como en el caso del análisis cuadrático, la porción postestrangulamiento o saturación de las características se puede modelar aproximadamente haciendo que I_D calculada para $V_D > V_{Dsat}$ sea igual a I_D para $V_D = V_{Dsat}$. Del mismo modo, se puede obtener una expresión para V_{Dsat} notando que $Q_N(y)|_{y=L} \to 0$ en la ecuación (3.25) cuando $\phi(L) = V_D \to V_{Dsat}$. Se halla

$$\boxed{V_{Dsat} = V_G - V_T - V_W\left\{\left[\frac{V_G - V_T}{2\phi_F} + \left(1 + \frac{V_W}{4\phi_F}\right)^2\right]^{1/2} - \left(1 + \frac{V_W}{4\phi_F}\right)\right\}} \tag{3.27}$$

Una vez concluido el desarrollo matemático, examinaremos los resultados y haremos los comentarios apropiados. Ante todo, hay que reconocer que el mayor mérito de la teoría cuadrática es su sencillez. Con ayuda de la formulación cuadrática se pueden establecer tendencias generales, interrelaciones básicas y otras dependencias sin una complicación matemática excesiva. Por otro lado, la teoría de cargas en el volumen del sustrato concuerda bastante bien con las características experimentales deducidas del MOSFET de canal largo. Hay que notar también que, aunque las ecuaciones (3.26) y (3.27) son sin

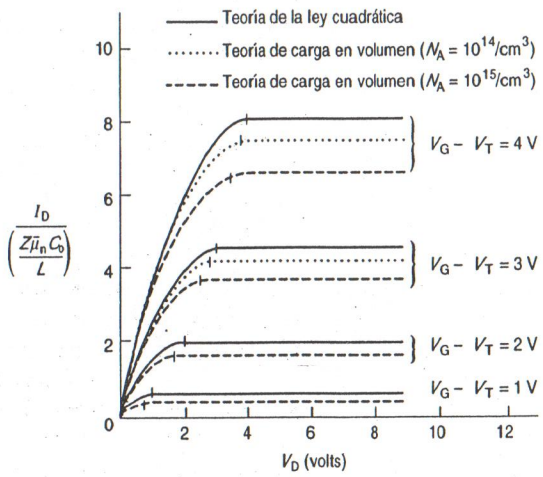


Figura 3.9 Comparación entre las características I_D–V_D deducidas a partir de la teoría de la ley cuadrática y de la teoría de cargas en volumen. Las curvas de cargas en volumen se calcularon suponiendo que $x_o = 0.1$ μm y $T = 300$ K.

duda más complejas que sus análogas de la ley cuadrática, los términos agregados, aquellos que no aparecen en las ecuaciones (3.15) y (3.19) respectivamente, son siempre negativos y actúan más que nada para reducir I_D y V_{Dsat} ante un conjunto de condiciones de funcionamiento. La figura 3.9, que compara las dos teorías, confirma la observación anterior e ilustra también otra propiedad muy conocida: la exactitud de la teoría de la ley cuadrática mejora cuando la contaminación intencional del sustrato disminuye. De hecho, la teoría de carga en volumen se reduce matemáticamente a la teoría de la ley cuadrática cuando N_A (o N_D) $\rightarrow 0$ y $x_o \rightarrow 0$.

Respecto a las teorías de mayor exactitud para canal largo, debe observarse que tanto la teoría de la ley cuadrática como la de cargas en volumen adolecen de dos importantes limitaciones inherentes. La primera consiste en la suposición de que la corriente de drenaje es idénticamente cero para polarizaciones de compuerta por debajo del umbral. Aunque pequeña, la corriente de drenaje "subumbral" no es idénticamente nula, y su valor preciso en ocasiones puede ser de interés. Segundo, las relaciones de la ley cuadrática y de la carga del sustrato no son autosaturantes; hay que establecer de manera artificial la porción de saturación de las características. Ambas fallas desaparecen en las formulaciones de *carga superficial* y de *carga exacta*; cualquiera de esas teorías puede utilizarse para calcular la corriente de subumbral y ambas son autosaturantes. Las relaciones I_D–V_D computacionales que resultan de los modelos de carga superficial y de carga exacta se reproducen en el apéndice D. Por supuesto que los resultados de carga exacta se establecen trabajando con la distribución de cargas exactas dentro del MOSFET. Aun cuando no son excesivamente complejos, los resultados de carga exacta comprenden integrales. El modelo de carga superficial se puede concebir como una versión simplificada de la formulación exacta. De las teorías analizadas, la formulación de carga superficial brinda el mejor balance entre exactitud y complejidad. En las figuras 3.10 y 3.11 se muestran, respectivamente, ejemplos de características corriente-voltaje y de subumbral obtenidas utilizando estas teorías más rigurosas.

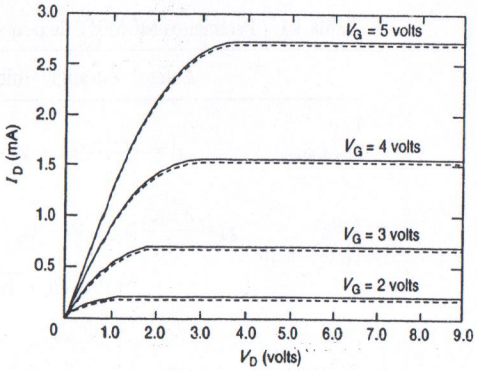


Figura 3.10 Características corriente–voltaje teóricas de un MOSFET de canal n con $x_o = 0.05$ μm, $N_A = 10^{15}/\text{cm}^3$, $\bar{\mu}_n = 550\ \text{cm}^2/\text{V–s}$, $L = 7\ \mu$m, $Z = 70\ \mu$m y $T = 23°$C. Las líneas continuas se determinaron a partir del resultado de carga exacta, mientras que las líneas discontinuas se calcularon utilizando la teoría de la carga superficial (Reproducido con autorización de *Solid-State Electronics*, R.F. Pierret y J.A. Shields, **26**, 143, ©1983, Pergamon Press plc.)

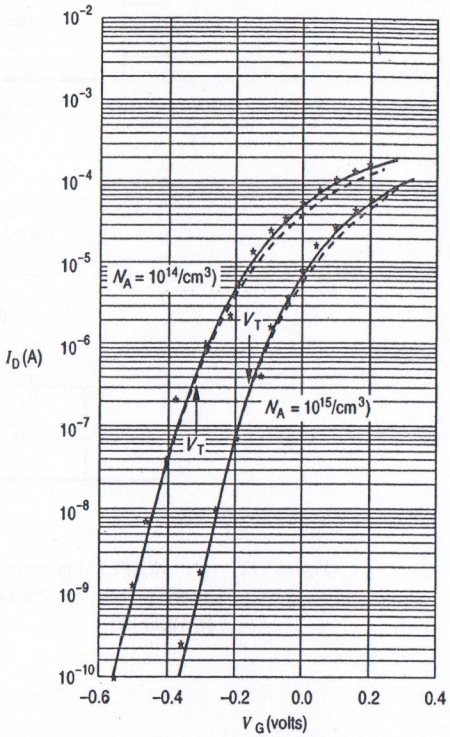


Figura 3.11 Características subumbrales de transferencia de MOSFET de canal n, con los mismos parámetros de la figura 3.10 excepto $N_A = 10^{14}/\text{cm}^3$ o $N_A = 10^{15}/\text{cm}^3$ y $x_o = 0.013\ \mu$m. Las líneas continuas y discontinuas se calcularon respectivamente a partir de resultados de carga exacta y de la carga superficial, con $V_D = 1$ V. Los asteriscos (*) indican resultados experimentales. (Reproducido con autorización de *Solid-State Electronics*, **26**, R.F. Pierret y J.A. Shields, 1983, © Pergamon Press plc.)

3.3 RESPUESTA A LA FRECUENCIA

3.3.1 Circuitos equivalentes de pequeña señal

Para establecer la respuesta a una señal armónica (ca) en el MOSFET, por lo general expresada en términos de un circuito equivalente de pequeña señal, lo más adecuado es considerarla como un cuadripolo semejante al que se ve en la figura 3.12(a). En principio, nuestras consideraciones se restringen a frecuencias bajas de operación, en las cuales pueden ignorarse los efectos capacitivos. Se hace notar que el desarrollo siguiente y sus resultados son muy similares a los considerados para el J-FET en la sección 1.4.

Se comienza por analizar la entrada del dispositivo. Mirando hacia las terminales de entrada entre la compuerta y la fuente/sustrato conectada a tierra, se ve un condensador. Sin embargo, un condensador se comporta (en primer orden) como un circuito abierto a bajas frecuencias. Por lo tanto, es una práctica habitual modelar como un circuito abierto la entrada del MOSFET en baja frecuencia.

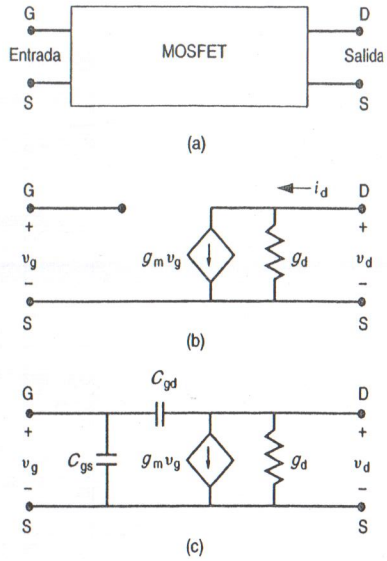


Figura 3.12 (a) El MOSFET visto como un cuadripolo. Circuitos equivalentes de (b) baja frecuencia y (c) alta frecuencia de pequeña señal, que caracterizan la respuesta de ca del MOSFET.

Para las terminales de salida se ha establecido que la corriente de cc de drenaje es una función de V_D y V_G; es decir, $I_D = I_D(V_D, V_G)$. Cuando se superponen potenciales de ca de drenaje y compuerta, v_d y v_g, respectivamente a los voltajes cc de los terminales de drenaje y de compuerta, V_D y V_G, la corriente de drenaje a través de la estructura se convierte, por supuesto, en $I_D(V_D, V_G) + i_d$, donde i_d es la componente de ca de la corriente de drenaje. Siempre y cuando el dispositivo pueda seguir las variaciones de ca del potencial, lo que sucede con toda certeza a frecuencias operacionales bajas, se puede establecer

$$i_d + I_D(V_D, V_G) = I_D(V_D + v_d, V_G + v_g) \tag{3.28a}$$

y

$$i_d = I_D(V_D + v_d, V_G + v_g) - I_D(V_D, V_G) \tag{3.28b}$$

Si se desarrolla el primer término del segundo miembro de la ecuación (3.28b) en serie de Taylor y se retienen sólo los términos de primer orden del desarrollo (los términos de orden superior son despreciables), se obtiene

$$i_d = \left.\frac{\partial I_D}{\partial V_D}\right|_{V_G} v_d + \left.\frac{\partial I_D}{\partial V_G}\right|_{V_D} v_g \tag{3.29a}$$

o

$$i_d = g_d v_d + g_m v_g \tag{3.29b}$$

donde

$$g_d \equiv \left.\frac{\partial I_D}{\partial V_D}\right|_{V_G = \text{constante}} \quad \text{conductancia de drenaje o de canal} \tag{3.30a}$$

$$g_m \equiv \left.\frac{\partial I_D}{\partial V_G}\right|_{V_D = \text{constante}} \quad \text{transconductancia o conductancia mutua} \tag{3.30b}$$

La ecuación (3.29b) se puede ver como una ecuación de nodo en ca para el terminal de drenaje, y, por inspección, lleva a la porción de salida del circuito que aparece en la figura 3.12(b). Como, según se concluyó antes, la de entrada de compuerta a fuente del dispositivo es simplemente un circuito abierto, entonces la figura 3.12(b) es el circuito equivalente de pequeña señal buscado, que caracteriza la respuesta de ca del MOSFET a bajas frecuencias.

En los transistores de efecto de campo, el parámetro g_m cumple un papel análogo al de α y β en el modelado de los transistores bipolares de unión. Como su nombre lo indica, g_d se puede ver como la admitancia de salida del dispositivo o como la conductancia de ca del canal entre la fuente y el drenaje. En la tabla 3.1 se dan las relaciones explícitas entre g_d y g_m obtenidas por diferenciación directa de las ecuaciones (3.15), (3.20) y (3.26) utilizando las definiciones de la ecuación (3.30).

A las frecuencias superiores de operación, que se encuentran a menudo en las aplicaciones prácticas, debe modificarse el circuito de la figura 3.12(b) para tener en cuenta el acoplamiento capacitivo entre los terminales del dispositivo. En la figura 3.12(c)

Tabla 3.1 Parámetros MOSFET de pequeña señal.*

	Antes de estrangulamiento ($V_D \le V_{Dsat}$)	Saturación ($V_D > V_{Dsat}$)
Ley cuadrática	$g_d = \frac{Z\bar{\mu}_n C_o}{L}(V_G - V_T - V_D)$	$g_d = 0$
Carga en volumen	$g_d = \frac{Z\bar{\mu}_n C_o}{L}[V_G - V_T - V_D - V_W(\sqrt{1 + V_D/2\phi_F} - 1)]$	$g_d = 0$
Ley cuadrática	$g_m = \frac{Z\bar{\mu}_n C_o}{L}V_D$	$g_m = \frac{Z\bar{\mu}_n C_o}{L}(V_G - V_T)$
Carga en volumen	$g_m = \frac{Z\bar{\mu}_n C_o}{L}V_D$	$g_m = \frac{Z\mu_n C_o}{L} V_{Dsat}$ con V_{Dsat} según la ecuación (3.27)

* Los valores de la tabla se obtuvieron por diferenciación directa de las ecuaciones (3.15), (3.20) y (3.26). Se despreció la variación de $\bar{\mu}_n$ con V_G al establecer las expresiones de g_m.

aparece la modificación requerida. En la figura 3.12 (c) se omitió un condensador entre los terminales del drenaje y de la fuente en la salida, porque la capacidad de drenaje a fuente suele ser despreciable. C_{gd}, que produce una retroalimentación indeseable entre la entrada y la salida, está asociada en gran parte con la denominada capacidad de superposición, que es la capacidad resultante de la porción de compuerta que se superpone a la isla del drenaje. La capacidad de superposición se puede reducir, formando un óxido más grueso en la región de superposición, o mejor utilizando técnicas o procedimientos de autoalineación de la compuerta. En el proceso de fabricación de autoalineación de compuerta para MOSFET, se deposita inicialmente un material de compuerta que pueda soportar los procesos de alta temperatura; por lo general, este material es el polisilicio. Tras definir la compuerta, se forman las islas de drenaje y de fuente, utilizando la compuerta como máscara para la difusión o la implantación iónica. El condensador restante mostrado en la figura 3.12(c), C_{gs}, por supuesto está asociado en principio con la capacidad de la compuerta MOS.

3.3.2 Frecuencia de corte

Dado el circuito equivalente de pequeña señal de la figura 3.12(c), es posible calcular la frecuencia de operación máxima o frecuencia de corte de un transistor MOS. Sea $f_{máx}$ definida como la frecuencia a la cual el MOSFET ya no amplifica la señal de entrada en condiciones óptimas; es decir, la frecuencia a la cual el valor absoluto de la relación entre la corriente de salida y la corriente de entrada es la unidad cuando la salida del transistor está en cortocircuito. Por inspección, la corriente de entrada con la salida en cortocircuito es

$$i_{\text{entrada}} = j\omega(C_{gs} + C_{gd})v_g \simeq j(2\pi f)C_O v_g \qquad (j = \sqrt{-1}) \tag{3.31}$$

donde se supone que C_{gd} es pequeño y $C_{gs} \simeq C_O$. Así mismo, la corriente de salida es

$$i_{\text{salida}} \simeq g_m v_g \tag{3.32}$$

Entonces, si se hace $|i_{sal}/i_{ent}| = 1$ y se resuelve para $f = f_{máx}$, se obtiene

$$f_{máx} = \frac{g_m}{2\pi C_o} = \frac{\bar{\mu}_n V_m}{2\pi L^2} \quad \text{si } V_D \leq V_{Dsat} \tag{3.33}$$

La última forma de la ecuación (3.33) se estableció utilizando el valor de g_m para antes del estrangulamiento, que aparece en la tabla 3.1. Lo que es importante notar aquí es que la longitud del canal L es el parámetro clave en la determinación de $f_{máx}$; disminuyendo la longitud del canal se logran frecuencias de operación superiores del MOSFET.

3.3.3 Características de pequeña señal

En la figura 3.13 aparecen diagramas representativos de características de pequeña señal, en la forma en que habitualmente aparecen en la literatura sobre estos dispositivos. Se ha

utilizado la gráfica de g_d en función de V_G, con $V_D = 0$, para obtener una estimación razonablemente exacta de V_T. Esto se consigue extrapolando la porción lineal de las características g_d–V_G en el eje V_G e igualando el voltaje leído a V_T. El fundamento de este procedimiento se puede entender recurriendo a los valores de g_d por debajo del estrangulamiento que aparecen en la tabla 3.1. Con $V_D = 0$, la conductancia de drenaje tanto para la teoría de la ley cuadrática como para la de carga en volumen se reduce a

$$g_d = \frac{Z\bar{\mu}_n C_o}{L}(V_G - V_T) \qquad (V_D = 0) \tag{3.34}$$

Entonces, en una aproximación al primer orden, se predice que g_d debe ser una función lineal de V_G que tiende a cero cuando $V_G = V_T$. La característica experimental no se anula por completo cuando $V_G = V_T$ porque hay una pequeña concentración de portadores minoritarios en la superficie del canal, en el punto de transición de vaciamiento a inversión. Esta concentración residual se desprecia en las dos teorías. Se ha utilizado también la característica g_d en función de V_G con $V_D = 0$ para deducir la movilidad efectiva. Como g_d es directamente proporcional a $\bar{\mu}_n$ de acuerdo con la ecuación (3.34), $\bar{\mu}_n$ en función de V_G se puede obtener con facilidad a partir de la pendiente de la característica g_d–V_G. Este método de medición de la movilidad es seguro, siempre que el dispositivo contenga una densidad baja de trampas interfaciales (véase la Subsec. 4.2.4). Una densidad entre moderada y alta de trampas interfaciales dispersaría las características g_d–V_G, dando un valor anómalamente bajo de $\bar{\mu}_n$.

La segunda característica de la figura 3.13 tipifica la dependencia de la capacidad de compuerta en función de V_G, deducida del MOSFET cuando el drenaje está conectado a tierra. Se ha utilizado la característica C_G–V_G ($V_D = 0$) del MOSFET con fines de diagnóstico, en forma muy similar a la característica C–V_G del MOS-C. De hecho, es posible modelar la característica MOSFET, en primera aproximación, con la teoría de baja

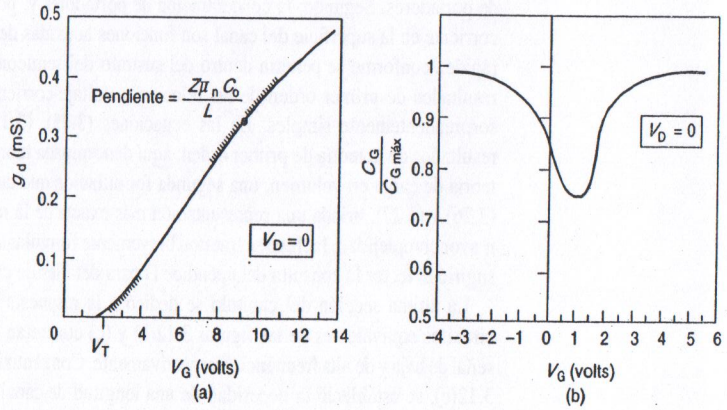


Figura 3.13 Características de MOSFET para pequeña señal. (a) g_d en función de V_G con $V_D = 0$; (b) C_G en función de V_G con $V_D = 0$.

frecuencia C–V_G del MOS-C. Sin embargo, a diferencia del MOS-C, se observa una característica del tipo de baja frecuencia aun cuando el MOSFET se prueba a frecuencias que exceden a 1 MHz. Se obtiene una característica de baja frecuencia porque las islas de fuente y de drenaje proporcionan los portadores minoritarios requeridos por la estructura, para seguir las fluctuaciones de ca en el potencial de compuerta cuando el dispositivo está polarizado en inversión. Los portadores minoritarios simplemente utilizan la superficie del canal para fluir de manera lateral, entrando y saliendo del área de compuerta MOS en respuesta a la señal de ca aplicada.

VÉASE EL EJERCICIO 3.2. APÉNDICE A

3.4 RESUMEN

El objetivo de este capítulo fue brindar una introducción a la terminología, el funcionamiento y el análisis del MOSFET. Se supuso una estructura MOS ideal, y las consideraciones se limitaron a la configuración básica del transistor. Se comenzó con un análisis cualitativo de la operación del MOSFET y del flujo de cc a través de la estructura. Al ser llevada a polarización en inversión, la capa de inversión superficial inducida forma un canal conductor entre los contactos de fuente y de drenaje. Cuanto mayor sea el voltaje de compuerta aplicado, por encima del voltaje umbral, mayor será la conductancia del canal interno a un determinado voltaje del drenaje. A su vez, un voltaje de drenaje no nulo establece un flujo de corriente entre la fuente y el drenaje. El flujo de corriente es proporcional a V_D a bajos voltajes de drenaje, disminuye su pendiente debido al estrechamiento del canal al aumentar V_D y finalmente satura una vez que el canal desaparece o se estrangula cerca del drenaje.

A continuación se consideró el análisis cuantitativo de las características de cc del MOSFET, con dos complicaciones notorias. Primero, los portadores en el canal superficial sufren colisiones con la superficie del Si que perturban su movimiento, lo cual disminuye la movilidad de esos portadores y obliga a introducir una movilidad efectiva de portadores. Segundo, la concentración de portadores y, por lo tanto, la densidad de corriente en la superficie del canal son funciones acusadas de la posición que caen con rapidez conforme se penetra dentro del sustrato del semiconductor. Sin embargo, los resultados de primer orden de las relaciones voltaje-corriente para el MOSFET son sorprendentemente simples. En las ecuaciones (3.15), (3.19) y (3.20) aparecen los resultados de la teoría de primer orden, aquí denominada teoría de la ley cuadrática. La teoría de carga en volumen, una segunda formulación que culmina con las ecuaciones (3.26) y (3.27), brinda una representación más exacta de la realidad a expensas de una mayor complejidad. Incluso se trataron brevemente formulaciones aún más exactas, y se sugirió al lector la consulta del apéndice D para detalles de cálculo.

La última sección del capítulo se dedicó a la respuesta de ca del MOSFET. Los circuitos equivalentes de las figuras 3.12(b) y (c) concretan la respuesta para pequeña señal de baja y de alta frecuencia, respectivamente. Con el auxilio del circuito de la figura 3.12(c), se estableció la necesidad de una longitud de canal corta para lograr un funcionamiento a alta frecuencia y con alta velocidad de respuesta. Se puntualizó también que a menudo es posible obtener información útil de los parámetros de pequeña señal (g_d, g_m y C_G), representados como una función de los voltajes de cc de los terminales.

En este capítulo, el desarrollo del MOSFET es muy similar al realizado en el capítulo 1, en la presentación del J-FET, aunque se elaboró para uso independiente. Un buen ejercicio para el lector consiste en hallar las similitudes y diferencias en el funcionamiento y análisis de ambos dispositivos. En el capítulo 4 se examinará la incidencia de las no idealidades en el funcionamiento del MOSFET. Como se indicó antes, en el capítulo 5 se aborda un examen de los efectos de pequeña dimensión, así como de las variaciones estructurales.

PROBLEMAS

3.1 Responda las siguientes preguntas de la manera más concisa posible.

(a) ¿Por qué los contactos de corriente del MOSFET se conocen como "fuente" y "drenaje"?

(b) ¿Qué es exactamente el "canal" en la terminología del MOSFET?

(c) ¿Cuál es la relación entre el voltaje del punto de transición agotamiento-inversión introducido en el análisis del MOS-C, y el voltaje umbral (encendido) introducido en el estudio del MOSFET?

(d) ¿Cuál es la movilidad del canal superficial de un MOSFET, a diferencia de la movilidad de portadores en el sustrato del semiconductor?

(e) ¿Cuál es el probable origen de los nombres "ley cuadrática" y "carga en volumen" utilizados para identificar las teorías sobre I_D–V_D?

(f) ¿Cuáles son las definiciones matemáticas de conductancia de drenaje y transconductancia?

(g) ¿Por qué la curva observada de C_G–V_G de un MOSFET para $V_D = 0$ es una característica típica de baja frecuencia, aun a frecuencias de medición de 1 MHz?

3.2 Suponga que se deben reescribir las secciones 3.1 y 3.2 utilizando un MOSFET de canal *p* en lugar del dispositivo de canal *n* que hemos supuesto.

(a) Indique cómo deben variar las figuras de la sección 3.1 si el MOSFET utilizado como ilustración es un dispositivo de canal *p*.

(b) Indique cómo deben modificarse las ecuaciones de la subsección 3.2.2 si se efectúa el análisis de la ley cuadrática en un dispositivo de canal *p*.

3.3 Dado un MOSFET de canal *p* ideal mantenido a temperatura ambiente:

(a) Trace el diagrama de bandas de energía MOS para la región de compuerta del transistor dado, en el umbral, suponiendo que $V_D = 0$.

(b) Trace el diagrama de bloques de carga MOS para la región de compuerta del transistor dado, en el umbral, suponiendo que $V_D = 0$.

(c) Trace la capa de inversión y la zona de vaciamiento dentro del MOSFET en estrangulamiento. Muestre y rotule todas las partes del transistor.

3.4 Un MOSFET de canal *n*, mantenido a $T = 300$ K, está caracterizado por los siguientes parámetros: $Z = 50\ \mu m$, $L = 5\ \mu m$, $x_o = 0.05\ \mu m$, $N_A = 10^{15}/cm^3$ y $\bar{\mu}_n = 800\ cm^2/V\text{–}s$

(supuestamente independiente de V_G). Utilizando $K_O = 3.9$, $K_S = 11.8$, $kT/q = 0.0259$ V y $n_i = 1.18 \times 10^{10}/\text{cm}^3$, determine

(a) V_T;

(b) I_{Dsat} (teoría de la ley cuadrática) si $V_G = 2$ V;

(c) I_{Dsat} (teoría de carga en volumen) si $V_G = 2$ V;

(d) g_d si $V_G = 2$ V y $V_D = 0$;

(e) g_m (teoría de la ley cuadrática) si $V_G = 2$ V y $V_D = 2$ V;

(f) g_m (teoría de carga en volumen) si $V_G = 2$ V y $V_D = 2$ V;

(g) $f_{máx}$ si $V_G = 2$ V y $V_D = 1$ V.

3.5 Si se utiliza la ecuación (3.15) para calcular I_D en función de V_D para un valor de V_G dado, y si se admite que V_D rebase V_{Dsat}, se encuentra que se trata de una función de V_D con máximo en V_{Dsat}. Lo anterior sugiere una segunda forma de establecer la relación de la ecuación (3.19) para V_{Dsat}. Específicamente, muestre que es posible utilizar el procedimiento matemático estándar que determina los puntos extremos de una función, para deducir la ecuación (3.19) a partir de la ecuación (3.15).

3.6 Suponga que hay una batería $V_B \geq 0$ conectada entre la compuerta y el drenaje de un MOSFET de canal *n* ideal, como se muestra en la figura P3.6. Utilizando los resultados de la ley cuadrática,

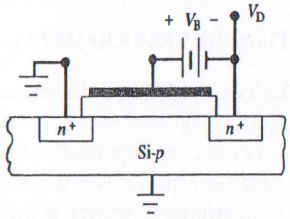


Figura P3.6

(a) trace I_D en función de V_D ($V_D \geq 0$) si $V_B = V_T/2$;

(b) trace I_D en función de V_D ($V_D \geq 0$) si $V_B = 2V_T$.

3.7 En este problema se desea analizar la dependencia de las características de cc del MOSFET con respecto a la temperatura. Suponga un MOSFET de canal *n* con $x_o = 0.1\ \mu$m y $N_A = 10^{16}/\text{cm}^3$. Suponga también que $\bar{\mu}_n$ tiene la misma dependencia de la temperatura que μ_n. Utilice libremente los diagramas del libro Pierret, R.F., *Semiconductor Fundamentals*.

(a) Calcule V_T a $T = 300$ K y a intervalos de 50° C, entre −50° C y 200° C.

(b) Haga uso de la ley cuadrática para calcular $I_{Dsat}(T)/I_{Dsat}(300\text{ K})$ a intervalos de 50° C, entre −50° C y 200° C. Comience con $V_G = 3$ V; repita los cálculos para $V_G = 10$ V.

(c) Analice sus resultados.

3.8 Deduzca la ecuación (3.27).

3.9 En las deducciones de las relaciones I_D–V_D del texto, se supuso explícitamente una geometría lineal del dispositivo y una compuerta rectangular de longitud *L* y ancho *Z*. Sin embargo, se han construido MOSFET con una geometría circular como la que se ve en la vista superior de la figura P3.9.

(a) Si r_1 y r_2 son los radios interior y exterior del área de compuerta, muestre que en la formulación de la ley cuadrática se obtiene

$$I_D = \frac{2\pi}{\ln(r_2/r_1)}\bar{\mu}_n C_o\left[(V_G - V_T)V_D - \frac{V_D^2}{2}\right]$$

para funcionamiento, antes del estrangulamiento, de un MOSFET con geometría circular. Para deducir el resultado anterior, utilice coordenadas cilíndricas (r, θ, z) y modifique en forma adecuada las ecuaciones (3.6) a (3.15).

(b) Pruebe que si se hace $r_2 = r_1 + L$ y $Z = 2\pi r_1$, el resultado obtenido en el punto (a) se reduce al resultado geométrico lineal [Ec. (3.15)] en el límite en que $L/r_1 \ll 1$.

3.10 Utilice libremente los valores correspondientes a la ley cuadrática de la tabla 3.1 e ignore la variación de $\bar{\mu}_n$ con V_G; *empleando sólo un conjunto de coordenadas por cada parte del problema*, dibuje

(a) $g_d/(Z\bar{\mu}_n C_o/L)$ en función de V_G ($0 \leq V_G \leq 5$ V) si $V_T = 1$ V y $V_D = 0$, 1 y 2 V.

(b) $g_d/(Z\bar{\mu}_n C_o/L)$ en función de V_D ($0 \leq V_D \leq 5$ V) si $V_G - V_T = 1$, 2 y 3 V.

(c) $g_m/(Z\bar{\mu}_n C_o/L)$ en función de V_G ($0 \leq V_G \leq 5$ V) si $V_T = 1$ V y $V_D = 1$, 2 y 3 V.

(d) $g_m/(Z\bar{\mu}_n C_o/L)$ en función de V_D ($0 \leq V_D \leq 5$ V) si $V_G - V_T = 1$, 2 y 3 V.

3.11 Compare el J-FET con el MOSFET y describa de manera concisa las similitudes y diferencias en estructura, funcionamiento y análisis.

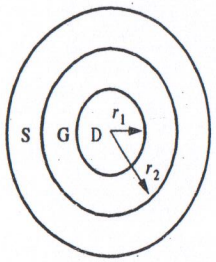


Figura P3.9

3.12 Con los computadores actuales y los programas de representación disponibles para uso en microcomputadores, es una tarea relativamente sencilla dibujar las características I_D–V_D basadas en cualquiera de las teorías citadas aquí. Sería útil, como información general, que completara uno o más de los siguientes ejercicios:

(a) y (b) Escriba un programa para calcular y representar las características I_D–V_D con base en (a) la teoría de la ley cuadrática y (b) la teoría de carga en volumen. A fin de verificar el programa, ejecútelo para obtener resultados que puedan compararse con las características que aparecen en la figura 3.9.

(c) y (d) Utilice las relaciones del apéndice D para construir un programa que calcule y represente gráficamente las características I_D–V_D, con base en (c) la teoría de carga superficial y (d) la teoría de carga exacta. A fin de verificar su programa, ejecútelo para obtener resultados que puedan compararse con las características que aparecen en las figuras 3.10 y 3.11.

4 El MOS no ideal

La estructura ideal brinda un vehículo muy adecuado para establecer los principios básicos de la teoría del MOS en forma clara y simple. Sin embargo, las estructuras de dispositivos MOS reales nunca son perfectamente ideales. En este capítulo se analizan las desviaciones bien documentadas respecto al ideal, que se han encontrado en las estructuras de dispositivos MOS. Se describen los efectos de una no idealidad en las características de un dispositivo, su origen físico identificado o presunto, y los métodos utilizados para disminuir la importancia de las desviaciones respecto a lo ideal. Por su facilidad de fabricación y su sencillez funcional, desde hace mucho tiempo se utiliza el condensador MOS-C como estructura de prueba para verificar las no idealidades. Por lo tanto, es comprensible que la mayor parte de los efectos de desviaciones respecto al ideal se ilustre con datos de C–V de los MOS-C. La descripción que se hace descansa en buena medida en la comparación entre las características reales y las ideales de los datos de C–V de los MOS-C. Sin embargo, cualquier desviación respecto a la situación ideal tiene una repercusión comparable en el transistor MOS. Para resaltar este hecho, el capítulo concluye con una sección que trata exclusivamente de los MOSFET. Se estudia cómo pueden afectar las no idealidades al voltaje umbral del MOSFET y las consecuencias prácticas, así como los métodos en uso para ajustar el voltaje de umbral.

4.1 DIFERENCIA DE FUNCIÓN TRABAJO METAL-SEMICONDUCTOR

En la figura 4.1(a) se pueden ver, más o menos a escala, los diagramas de bandas de energía para los componentes aislados de un sistema Al–SiO_2–Si(tipo p). Al examinar esta figura, se ve que en un dispositivo real es poco probable que la diferencia de energía entre la energía de Fermi y el nivel de vacío sea igual en el metal aislado y en los componentes de semiconductor del sistema; es decir, a diferencia de la estructura ideal, $\Phi_M \neq \Phi_S = \chi + (E_c - E_F)_\infty$. Entonces, para describir en forma correcta los sistemas reales hay que modificar la estructura ideal, a fin de tener en cuenta esta diferencia de función trabajo entre metal y semiconductor.

Al trabajar en la modificación requerida, hemos de comenzar por construir el diagrama de bandas de energía de equilibrio ($V_G = 0$) adecuado para el sistema del ejemplo de la figura 4.1(a). Se comienza por conectar conceptualmente un conductor entre los extremos exteriores del metal y del semiconductor. Ambos materiales se aproximan después en el vacío hasta que se encuentren separados una distancia x_o. El conductor que los conecta facilita la transferencia de cargas entre el metal y el semiconductor, y ayuda a mantener el sistema en un estado de equilibrio, donde los niveles de Fermi respectivos se "alinean" a medida que se reúnen los componentes. Con el metal E_F y el semiconductor E_F al mismo nivel de energía, y $\Phi_M \neq \chi + (E_c - E_F)_\infty$, los niveles de vacío en los dos materiales deben hallarse a diferentes energías. Entonces aparece un campo eléctrico, $\mathscr{E}_{vac}$, en los componentes, con el nivel de vacío del Si por encima del nivel de vacío del Al, dada la

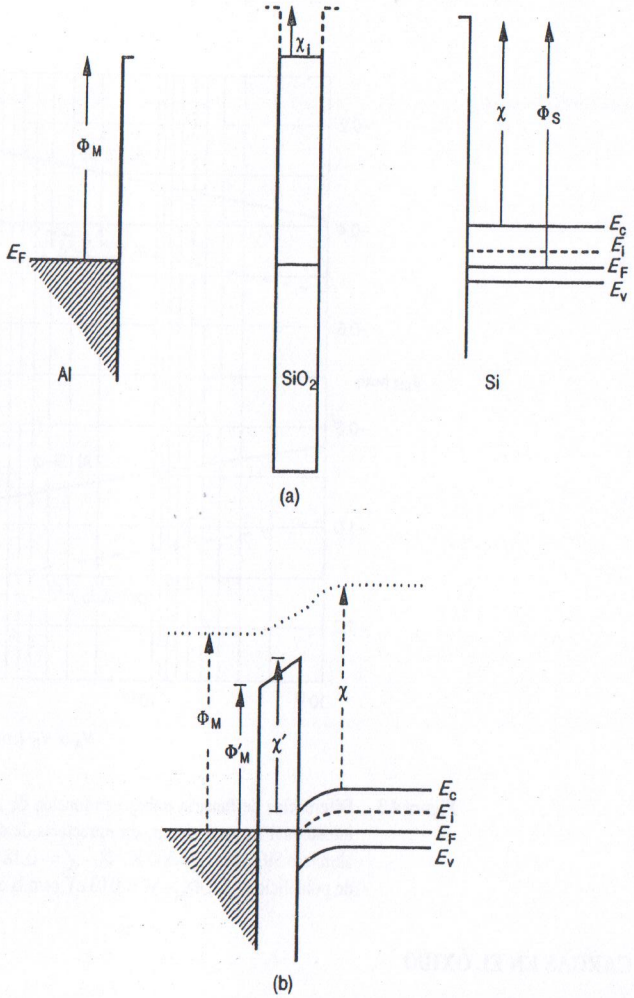


Figura 4.1 (a) Diagramas de bandas de energía a escala, correspondientes a los componentes aislados del sistema Al–SiO_2–Si. (b) Diagrama de bandas de energía en equilibrio ($V_G = 0$), típico de las estructuras MOS reales.

situación que se muestra en la figura 4.1(a), y se produce una distorsión de banda dentro del semiconductor: $K_S\mathscr{E}_S$ debe ser igual a $\mathscr{E}_{vac}$. Por supuesto, $\mathscr{E}_{vac}$ y la distorsión de banda del semiconductor aumentan al ir aproximándose entre sí los componentes. Una vez que el metal y el semiconductor están a una distancia x_o, se inserta el aislante en el espacio entre los otros dos componentes. La adición del aislante simplemente rebaja las barreras superficiales efectivas ($\Phi_M \rightarrow \Phi_M - \chi_i = \Phi'_M$ y $\chi \rightarrow \chi - \chi_i = \chi'$) y reduce el campo eléctrico en la región x_o ($K_O > 1$). El diagrama de bandas de energía de equilibrio resultante que se ve en la figura 4.1(b) es típico de los sistemas de MOS reales.

Lo que se desea determinar del análisis precedente, así como de la figura 4.1(b), es que la diferencia de funciones de trabajo modifica la relación entre el potencial de la superficie del semiconductor y el voltaje aplicado a la compuerta. Específicamente, si se hace $V_G = 0$, ello no da lugar a las condiciones de banda plana dentro del semiconductor. Como en el caso de una unión *pn* o de un diodo MS (metal-semiconductor), hay un potencial interno. El valor preciso del potencial interno, V_{bi}, se puede determinar igualando las energías del nivel de Fermi en el tope del diagrama de bandas de energía, visto desde ambos lados del aislador en la figura 4.1(b). Se obtiene

$$\underbrace{\Phi'_M + q\Delta\phi_{ox}}_{\text{lado del metal}} = \underbrace{(E_c - E_F)_\infty - q\phi_S + \chi'}_{\text{lado del semiconductor}} \tag{4.1}$$

Así, si se toma al metal como punto de referencia de potencial cero (el procedimiento habitual al definir potenciales internos), se halla

$$V_{bi} = -(\phi_S + \Delta\phi_{ox}) = \phi_{MS} \tag{4.2}$$

donde

$$\boxed{\phi_{MS} \equiv \frac{1}{q}(\Phi_M - \Phi_S) = \frac{1}{q}[\Phi'_M - \chi' - (E_c - E_F)_\infty]} \tag{4.3}$$

Quizás el resultado aquí debió ser evidente de manera intuitiva: el potencial interno dentro de una estructura MOS con $\Phi_M \neq \Phi_S$, pero por lo demás ideal, es simplemente la diferencia de las funciones de trabajo de metal a semiconductor, expresada en volts.

Al tratar con cualquier no idealidad, el efecto de la no idealidad en las características del dispositivo es de la mayor importancia. Hablando en forma general, se desearía saber cómo la no idealidad dada perturba las características del dispositivo ideal. Para ilustrar el procedimiento general y determinar de manera específica el efecto de una $\phi_{MS} \neq 0$, supongamos que la figura 4.1(b) es el diagrama de bandas de energía para un MOS-C. Sea también la línea discontinua de la figura 4.2 la forma esperada de la característica *C–V* de alta frecuencia presentada por una versión ideal de este MOS-C de sustrato *p*. Por supuesto, ante una polarización de compuerta de cero volts se produce banda plana para el dispositivo ideal. Por otro lado, de una inspección sencilla a la figura 4.1(b) se infiere que para lograr las condiciones de banda plana hay que aplicar una polarización negativa al dispositivo no ideal. De hecho, debe aplicarse una tensión de compuerta $V_G = \phi_{MS}$ (donde $\phi_{MS} < 0$ para el dispositivo dado) para contrarrestar la diferencia de potencial interna, y lograr un $\phi_S = 0$. Como ambos dispositivos deben presentar la misma capacidad en condiciones de banda plana, se concluye que el punto de banda plana para el dispositivo real estará desplazado lateralmente ϕ_{MS} volts a lo largo del eje de voltajes.

La argumentación que acaba de presentarse puede comenzar en cualquier punto de las características del dispositivo ideal. Hay una correspondencia biunívoca entre el grado de deformación de la banda o ϕ_S y la capacidad observada. Entonces, con independencia del punto de referencia sobre la característica *C–V* del dispositivo ideal, siempre hay que

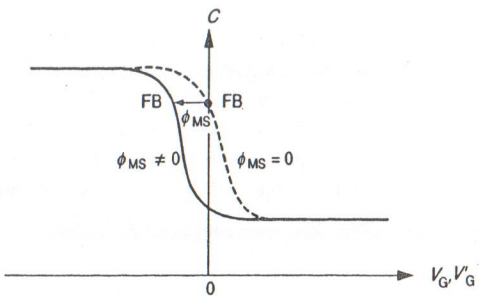


Figura 4.2 Efecto de una $\phi_{MS} \neq 0$ en las características $C - V$ de alta frecuencia.

añadir ϕ_{MS} volts a la compuerta del dispositivo real para lograr el mismo grado de distorsión de banda y, por lo tanto, presentar la misma capacidad. En otras palabras, como se muestra en la figura 4.2, toda la característica C–V del dispositivo real se desplaza ϕ_{MS} volts a lo largo del eje de voltajes en relación con las características del dispositivo ideal.

En el análisis precedente se ha descrito el efecto de la no idealidad $\phi_{MS} \neq 0$ en términos gráficos. De manera alternativa, se puede generar una expresión matemática para el desplazamiento de voltaje ΔV_G, entre las curvas C–V ideal y real. Si V'_G es el voltaje aplicado a la compuerta del dispositivo ideal para lograr una capacidad dada, y V_G es el voltaje de compuerta requerido para alcanzar la misma capacidad, entonces el análisis sobre las curvas $C - V$, se puede convertir simplemente a términos matemáticos:

$$\boxed{\Delta V_G = (V_G - V'_G)\Big|_{\substack{\text{el mismo } \phi S \\ \text{(lo mismo } C)}} = \phi_{MS}} \tag{4.4}$$

Puede argumentarse que es muy común utilizar la designación V'_G para el voltaje de compuerta en la estructura ideal. Por claridad de presentación, en este capítulo nos hemos limitado a utilizar V'_G cuando se hace referencia simultánea a los dispositivos real e ideal.

El valor efectivo $\Delta V_G = \phi_{MS}$ se calcula habitualmente a partir de la ecuación (4.3) para una estructura de MOS dada, usando la $\Phi'_M - \chi'$ adecuada para el sistema y la $(E_c - E_F)_\infty$ deducida del conocimiento de la concentración de contaminación intencional dentro del semiconductor. En la figura 4.3 se representan los valores de $\phi_{MS}(T = 300\text{ K})$ en función de la concentración de contaminación intencional para estructuras con compuertas de polisilicio n^+ y de aluminio, que son comercialmente muy importantes. En la tabla 4.1 aparecen los valores de $\Phi'_M - \chi'$ determinados en forma experimental para diferentes combinaciones de metal y silicio. Nótese de la figura 4.3 y de los valores de $\Phi'_M - \chi'$ listados en la tabla 4.1 que muy a menudo ϕ_{MS} toma valores negativos, en especial para los dispositivos tipo p, y suelen ser muy pequeños, del orden de un volt o menos.

VÉASE EL EJERCICIO 4.1. APÉNDICE A

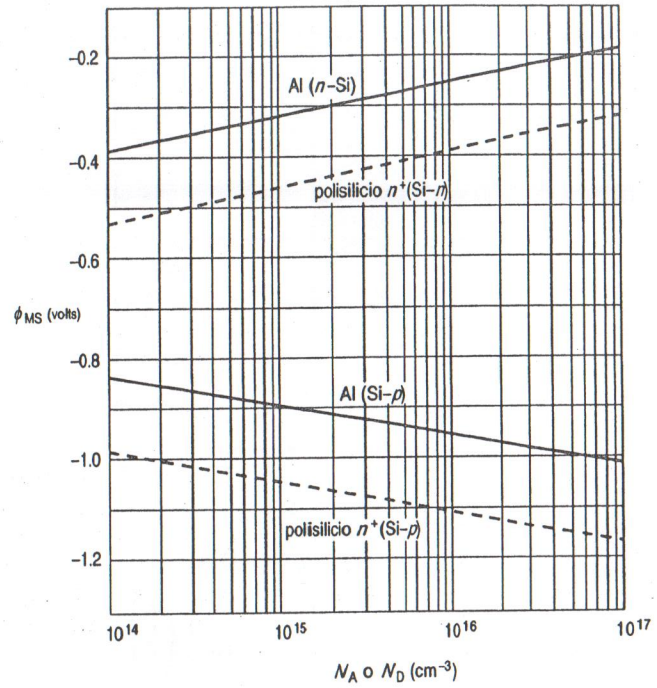


Figura 4.3 Diferencias de función trabajo en función de la concentración de contaminación intencional tipo n y tipo p, en estructuras de compuerta de polisilicio n^+-Si y de aluminio SiO_2–Si. ($T = 300$ K. $\Phi'_M - \chi' = -0.18$ eV para la estructura de compuerta de polisilicio n^+-Si; $\Phi'_M - \chi' = 0.03$ eV para la estructura de compuerta de Al).

4.2 CARGAS EN EL ÓXIDO

4.2.1 Información general

Como se podría inferir de los comentarios que aparecen al final de la sección 4.1, $\phi_{MS} \neq 0$ es una no idealidad de importancia relativamente menor. El desplazamiento de voltaje asociado con $\phi_{MS} \neq 0$ es pequeño, por completo predecible e incapaz de producir inestabilidades en el dispositivo. En cambio, las cargas en el óxido producen efectos mucho más significativos, que comprenden grandes desplazamientos de voltajes e inestabilidades. Tras una extensa investigación se identificaron muchos centros de cargas dentro del óxido o en la interfaz Si–SiO_2. En la figura 4.4 se resumen la naturaleza y la posición de las cargas en el óxido.

Para establecer el efecto general de las cargas en el óxido, postulemos la existencia de una distribución de cargas $\rho_{ox}(x)$, que varía en forma arbitraria a lo largo de la capa de óxido. Se hace hincapié en que, por conveniencia en este análisis particular, *el origen*

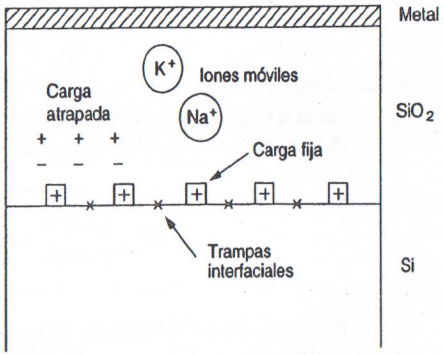


Figura 4.4 Naturaleza y ubicación de centros de carga en estructuras de SiO_2–Si producidas térmicamente. [Adaptado de B.E. Deal, *IEEE Trans. on Electron Devices*, **Ed-27**, 606, © 1980 IEEE.]

de la coordenada x se reubica en la interfaz metal-óxido, como se ve en la figura 4.5. Con la presencia de los centros de carga, parte del desarrollo de $V_G - \phi_S$ que se introdujo en la subsección 2.3.2 ya no es válido, y debe revisarse. De manera específica, en lugar de las ecuaciones (2.19) a (2.21) se tiene, respectivamente,

$$\frac{d\mathscr{E}_{ox}}{dx} = \frac{\rho_{ox}(x)}{K_O\varepsilon_0} \tag{4.5}$$

$$\mathscr{E}_{ox}(x) = -\frac{d\phi_{ox}}{dx} = \mathscr{E}_{ox}(x_o) - \frac{1}{K_O\varepsilon_0}\int_x^{x_o} \rho_{ox}(x')\,dx' \tag{4.6}$$

Tabla 4.1 Diferencias de altura de barrera en algunas estructuras de METAL–SiO_2- Si.

Metal de compuerta	$\Phi_M - \chi = \Phi'_M - \chi'$ (eV)
Ag	0.73
Au	0.82
Cr	–0.06
Cu	0.63
Mg	–1.05
Sn	–0.83

Los datos de la tabla se tomaron de S. Kar, *Solid-State Electronics*, **18**, 169, 1975.

y

$$\Delta\phi_{ox} = x_o\mathscr{E}_{ox}(x_o) - \frac{1}{K_O\varepsilon_0}\int_0^{x_o}\int_x^{x_o} \rho_{ox}(x')\,dx'\,dx \tag{4.7}$$

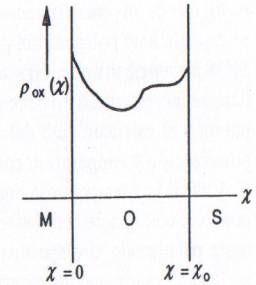


Figura 4.5 Distribución arbitraria de cargas en el óxido.

La integral doble de la ecuación (4.7) se puede reducir a una integral simple si se realiza integración por partes. Así mismo, $\mathscr{E}_{ox}(x_o) = K_S\mathscr{E}_S/K_O$ si excluimos distribuciones superficiales de carga en la interfaz óxido-semiconductor [aparte de las posiblemente incluidas en $\rho_{ox}(x)$]. Si se realizan las modificaciones indicadas, se obtiene

$$\Delta\phi_{ox} = \frac{K_S}{K_O}x_o\mathscr{E}_S - \frac{1}{K_O\varepsilon_0}\int_0^{x_o} x\rho_{ox}(x)\,dx \tag{4.8}$$

Como $V_G = \phi_S + \Delta\phi_{ox}$, para una estructura que es ideal excepto por los centros de carga en el óxido se llega a

$$V_G = \phi_S + \frac{K_S}{K_O}x_o\mathscr{E}_S - \frac{1}{K_O\varepsilon_0}\int_0^{x_o} x\rho_{ox}(x)\,dx \tag{4.9}$$

Sin embargo, para un dispositivo ideal

$$V'_G = \phi_S + \frac{K_S}{K_O}x_o\mathscr{E}_S \tag{4.10}$$

Así,

$$\boxed{\Delta V_G\begin{pmatrix}\text{cargas en}\\ \text{el óxido}\end{pmatrix} = (V_G - V'_G)\ \text{la misma}\ \phi_S = \frac{2}{K_O\varepsilon_0}\int_0^{x_o} x\rho_{ox}(x)dx} \tag{4.11}$$

Como se destacó en el desarrollo, el desplazamiento de voltaje especificado por la ecuación (4.11) es válido para una distribución arbitraria de cargas y se añade al traslado de voltaje de la ecuación (4.4), debida a ϕ_{MS}. En las subsecciones siguientes, se repasa de manera sistemática la información conocida sobre los diversos tipos de centros de carga y se examinan sus efectos específicos en las características de los dispositivos MOS.

4.2.2 Iones móviles

Durante el desarrollo de los dispositivos MOS apareció un problema serio y desconcertante. Se puede describir del siguiente modo: primero, los dispositivos fabricados al principio (alrededor de 1960) presentaban características *C–V* que en ocasiones se desplazaban negativamente por *decenas* de volts con respecto a sus características teóricas. Segundo,

cuando se les sometía a condiciones de polarización y temperatura, BT (*bias-temperature*), que es un procedimiento habitual de prueba de fiabilidad en el cual el dispositivo se calienta bajo polarización para acelerar sus procesos de degradación, las estructuras MOS presentaban una severa inestabilidad. El desplazamiento negativo en las características se incrementaba en decenas de volts adicionales tras la polarización positiva de la puerta y el calentamiento del dispositivo hasta unos 150° C. Una situación similar de polarización y temperatura con polarización negativa tenía un efecto inverso; la curva *C–V* medida a temperatura ambiente tras la experiencia presentaba un desplazamiento positivo, o sea hacia la curva teórica. En casos extremos la inestabilidad se podía observar hasta polarizando el dispositivo simplemente a temperatura ambiente. Podía llegarse incluso a determinar las características *C–V* de un dispositivo dado, ir a tomar algún alimento dejando al dispositivo conectado con polarización positiva, y volver para repetir las mediciones y encontrar que las características se habían desplazado aproximadamente un volt hacia polarizaciones negativas. Nótese que las características siempre se desplazaban en dirección opuesta a la polaridad aplicada a la compuerta y que las curvas observadas siempre se hallaban a la izquierda de las curvas teóricas. En la figura 4.6 se resumen en forma adecuada la naturaleza y la extensión del problema.

Desde un punto de vista práctico, debía identificarse y suprimirse la no idealidad que producía el desplazamiento de las características del dispositivo MOS respecto a las de fabricación, así como su inestabilidad. Un dispositivo cuyo punto de operación efectivo se modifica sin control en función del tiempo resulta bastante inútil. En la actualidad ya se ha establecido que el pronunciado desplazamiento y la inestabilidad se deben a iones móviles dentro del óxido, en particular iones de Na^+.

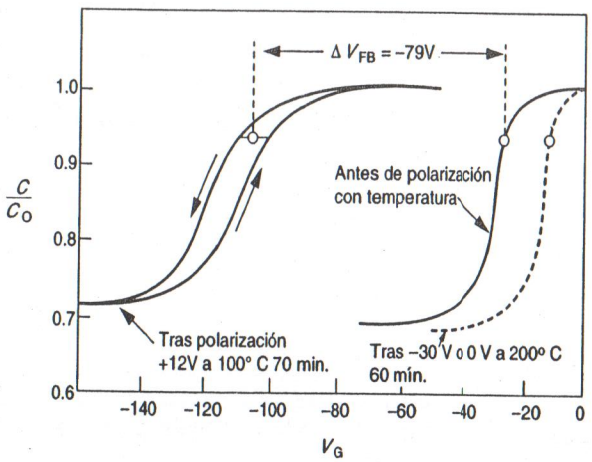


Figura 4.6 Ilustración del pronunciado desplazamiento de las curvas *C–V* e inestabilidad por polarización-temperatura, observados en los primeros dispositivos MOS. Todas las curvas *C–V* se determinaron a temperatura ambiente; x_0 = 0.68 μm. Las flechas adyacentes a las curvas de +BT indican la dirección del barrido de voltaje. [De D.R. Kerr *et al.*, *IBM J. Res. & Dev.*, **8**, 376, 1964. © 1964 por International Business Machines Coporation. Reproducido con autorización.]

Si se supone que la distribución de cargas iónicas es $\rho_{ion}(x)$, con

$$Q_M \equiv \int_0^{x_0} \rho_{ion}(x)\, dx \tag{4.12}$$

que es la carga iónica total dentro del óxido por unidad de área de la compuerta, entonces de la ecuación (4.11) se deduce con claridad que

$$\boxed{\Delta V_G \begin{pmatrix} \text{iones} \\ \text{móviles} \end{pmatrix} = -\frac{1}{K_O \varepsilon_0} \int_0^{x_0} x \rho_{ion}(x)\, dx} \tag{4.13}$$

Nótese, de la ecuación (4.13), que los iones positivos en el óxido darían lugar a un desplazamiento negativo en las características *C–V* observadas en forma experimental, mientras que los iones negativos lo harían en un desplazamiento positivo, en desacuerdo con las observaciones experimentales. Además, como el integrando de la ecuación (4.13) varía según $x\rho_{ion}(x)$, ΔV_G *depende de la posición exacta de los iones dentro del óxido.* Por ejemplo, si la misma carga por unidad de área de compuerta Q_M se coloca (a) cerca del metal y (b) cerca del semiconductor, como se ve en la figura 4.7(a), se calcula $\Delta V_G(a) = -(0.05)Q_M/C_o$ y $\Delta V_G(b) = -(0.95)Q_M/C_o$, donde $C_o = K_O\epsilon_0/x_0$. Para el ejemplo citado, se

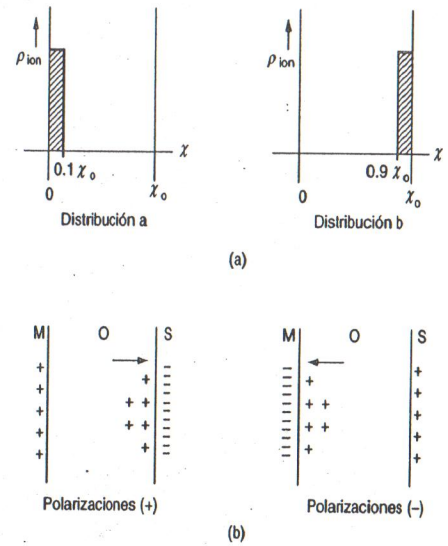


Figura 4.7 (a) Dos distribuciones hipotéticas de carga iónica que abarcan la misma cantidad total de iones situados cerca del metal (distribución a) y cerca del semiconductor (distribución b). (b) Movimiento esperado de iones móviles positivos dentro del óxido, bajo excitación de polarización-temperatura (+) y (–).

predice que el desplazamiento ¡es unas 19 veces mayor cuando los iones están ubicados cerca de la interfaz óxido-semiconductor! En realidad, con base en las observaciones precedentes, es razonable especular que un desplazamiento negativo grande en las características *C–V* medidas, y su inestabilidad asociada, son producidos por iones positivos en el óxido que *se mueven o se redistribuyen* bajo la excitación de polarización-temperatura. El necesario movimiento de los iones, alejándose del metal para esfuerzo +BT y desplazándose hacia el metal para esfuerzo –BT, de hecho es coherente con la dirección de movimiento iónico esperado globalmente, por acción de atracción y repulsión de otras cargas dentro de la estructura [véase la Fig. 4.7(b)].

La verificación efectiva del modelo de ion móvil y la identificación del culpable (la especie iónica) rivaliza con los más elaborados dramas de investigación judicial. Los sospechosos fueron primeramente señalados por su historia anterior y su presencia en la escena del crimen. Mucho antes de la fabricación del primer dispositivo MOS, en el lejano 1888, los investigadores habían demostrado que los iones de Na^+, Li^+ y K^+ podían desplazarse dentro de cuarzo o SiO_2 cristalino a temperaturas por debajo de 250° C. Además, los iones alcalinos, en especial los de sodio, eran abundantes en los reactivos químicos, en los equipos de vidrio, en las manos del personal de laboratorio y en los botes de evaporación de tungsteno utilizados para formar la compuerta metálica. Con el culpable identificado, se tomaron grandes precauciones para evitar la contaminación por iones alcalinos en la formación de la estructura del MOS. El resultado neto fueron dispositivos que, en esencia, no mostraban variación en sus características *C–V* tras ser sometidos a polarizaciones, ya sea positivas o negativas, durante muchas horas y a temperaturas de hasta 200° C. Después, otros dispositivos cuidadosamente confeccionados se contaminaron en forma deliberada, enjuagando las obleas de Si oxidadas en una solución diluida de NaCl (o LiCl), antes de la metalización. Como se esperaba, los dispositivos contaminados a propósito presentaron graves inestabilidades en condiciones de polarización-temperatura. Por último, el sodio se identificó en forma positiva en los óxidos de dispositivos fabricados normalmente (sin contaminación deliberada), a través del uso de una técnica de activación neutrónica; es decir, los óxidos se bombardearon con suficiente cantidad de neutrones como para crear una especie radioactiva de sodio. El análisis de la radioactividad resultante confirmó directamente la presencia de sodio dentro del óxido.

Aun cuando el cuidado para eliminar la contaminación por iones alcalinos durante el proceso de fabricación permitió lograr dispositivos MOS estables, los fabricantes de MOSFET tuvieron dificultades para alcanzar y mantener el grado de control de calidad requerido en las instalaciones de producción. Así, además de los esfuerzos por reducir los iones alcalinos, se desarrollaron y aplicaron procedimientos de fabricación especiales para minimizar los efectos de la contaminación por iones alcalinos residuales. Dos procedimientos diferentes encontraron amplia aplicación: la estabilización por fósforo y la neutralización por cloro.

En el caso de la estabilización por fósforo, simplemente se coloca la oblea de Si oxidada en un horno de difusión fosfórico durante un corto lapso de tiempo. Como se ilustra en la figura 4.8(a), durante la difusión el fósforo penetra en la parte externa de la película de SiO_2 y se incorpora a la estructura de enlace, formando así una nueva capa delgada que recibe la denominación de vidrio de fosfosilicato. A la temperatura de difusión, los iones de sodio son extremadamente móviles y siempre emigran introduciéndose en la región fuertemente fosfórica del óxido. Una vez en el vidrio de fosfosilicato, los iones son atrapados y así permanecen cuando el sistema se enfría a la temperatura

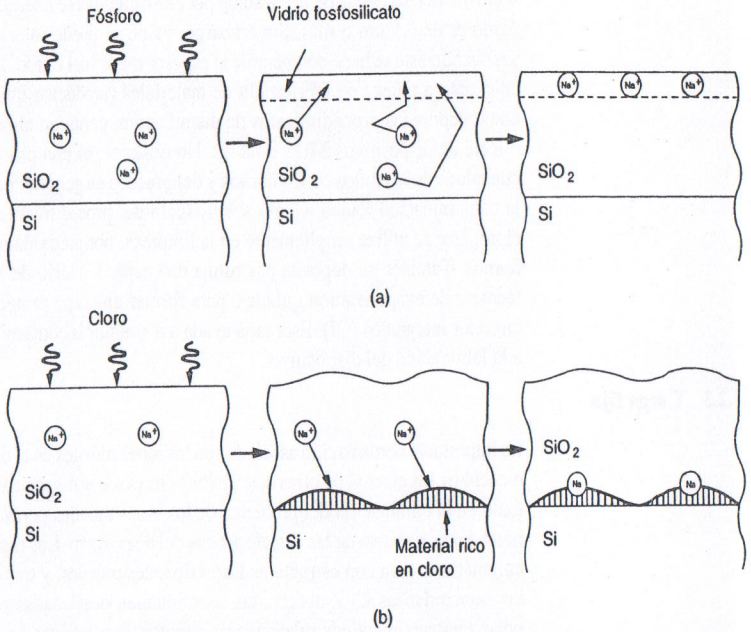


Figura 4.8 Descripción gráfica de procedimientos de estabilización de MOS: (a) estabilización por fósforo; (b) neutralización por cloro.

ambiente. De este modo, los iones alcalinos se "recolectan" o sacan de la mayor parte del óxido, se colocan cerca de la interfaz externa, donde dan lugar a un mínimo desplazamiento de las curvas *C–V* de los dispositivos fabricados, y se mantienen firmemente en su lugar durante las condiciones de funcionamiento normal. La capa de vidrio fosfosilicato también bloquea cualquier contaminación subsecuente asociada con la metalización de la compuerta o con otros pasos posteriores de estabilización.

La neutralización por cloro constituye un procedimiento totalmente diferente. Se introduce una pequeña cantidad de cloro en forma de HCl, Cl_2 o tricloroetano en la atmósfera del horno durante el crecimiento de la capa de SiO_2. Como se ve en la figura 4.8(b), el cloro penetra en el óxido y reacciona para formar un nuevo material, que se supone es un clorosiloxano, localizado en la interfaz óxido-silicio. El nuevo material ocupa regiones en forma de botón, de aproximadamente 1 μm de extensión y algunos centenares de angstroms de espesor. La estabilización se logra cuando el sodio iónico emigra hacia la vecindad de la interfaz óxido-silicio y es atrapado y *neutralizado* por el cloro del material rico en cloro, cercano a la interfaz. Por supuesto, el sodio neutro no tiene efecto en las características del dispositivo MOS.

En las estructuras actuales, la permanente disminución de tamaño de los dispositivos MOS, que exige espesores de óxido de 0.025 μm = 250 Å o menos, limita el uso de los procedimientos de estabilización citados. Por problemas de potencial de polarización, el vidrio de fosfosilicato puede ser tan sólo una pequeña fracción del espesor total del óxido. Con el óxido reducido a 250 Å o menos, el volumen de fosfosilicato aceptable se hace

pequeño y difícil de controlar. Así mismo, la irregularidad de la superficie [véase la Fig. 4.8(b)] asociada con la neutralización por cloro efectiva se puede ignorar si el espesor del óxido es de 0.1 μm o más. Sin embargo, ya no se puede tolerar la variación de espesor cuando éste se hace comparable al espesor medio del óxido. Por fortuna, las mejoras en cuanto a pureza de fabricación de materiales (productos químicos, gases, etc.), así como depurados procedimientos de manufactura, permiten ahora lograr la fabricación directa de dispositivos MOS estables. No obstante, es una práctica habitual el control cuidadoso de los tubos de los hornos y del proceso en general, para detectar el inicio de la contaminación iónica. Como subproducto del procedimiento de neutralización por cloro, éste se utiliza ampliamente en la limpieza, por preoxidación, de los tubos de los hornos. También se deposita por rutina una capa de vidrio de fosfosilicato utilizando técnicas de evaporización química, para formar una capa protectora exterior sobre los circuitos integrados (CI). Esta capa ayuda a disminuir la contaminación iónica posterior a la fabricación del dispositivo.

4.2.3 Carga fija

La importante perturbación asociada con los iones móviles en el óxido tendió a disimular o encubrir los efectos de otras desviaciones respecto al dispositivo ideal. En realidad, el éxito en la eliminación del problema de los iones móviles permitió realizar un examen mucho más riguroso de las características del dispositivo. Los resultados fueron un poco enigmáticos. Aun con estructuras libres de iones móviles, y tras corregir para $\phi_{MS} \neq 0$, las características C–V observadas se mantenían desplazadas algunos volts hacia las polarizaciones *negativas*, relativas a las características teóricas. La posibilidad de contaminación por iones móviles se había eliminado debido a que las estructuras eran estables en condiciones de polarización-temperatura. Además, para un conjunto dado de condiciones de fabricación, la ΔV_G observada era *totalmente reproducible*. Se obtuvieron datos semejantes de dispositivos fabricados en forma independiente por muchos investigadores en diversos lugares. Posteriores verificaciones (atacando poco a poco el óxido y realizando mediciones ópticas) revelaron que el inexplicado desplazamiento de ΔV_G se debía a una carga residente dentro del óxido, muy cerca de la interfaz óxido-semiconductor. Como esta carga interfacial podía fabricarse de manera reproducible en la estructura, y quedaba fija en posición bajo estimulación de polarización-temperatura, esta no idealidad llegó a conocerse como carga de óxido "interna" o "fija".

Al modelar el efecto cuantitativo de la carga fija en las características C–V, suele suponerse que la carga está ubicada en la cercanía inmediata de la interfaz óxido-semiconductor. A partir de esta suposición, se tiene que

$$\rho_{ox}(x) = Q_F\,\delta(x_o) \tag{4.14}$$

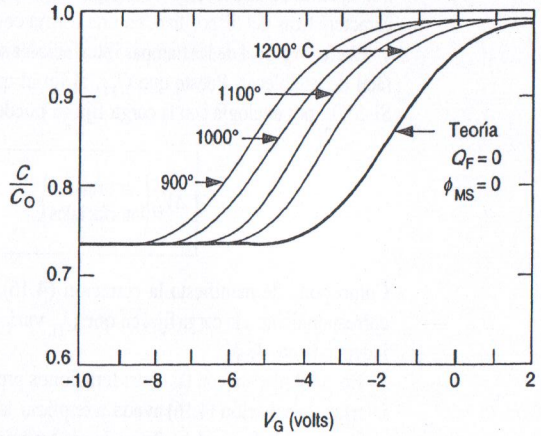
donde $\delta(x_o)$ es una función delta colocada en la interfaz óxido-semiconductor, y Q_F es la carga fija del óxido por unidad de área de la compuerta. Si la ecuación (4.14) de "distribución" de carga se reemplaza en la ecuación (4.11) y se simplifica, se tiene

$$\boxed{\Delta V_G\left(\begin{matrix}\text{carga}\\ \text{fija}\end{matrix}\right) = -\frac{Q_F}{C_o}} \tag{4.15}$$

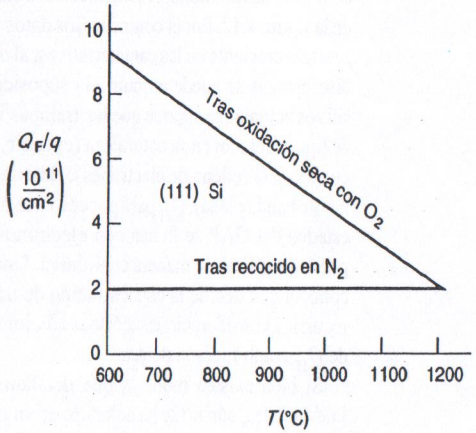
De la ecuación (4.15) resulta obvio que, al igual que la carga iónica móvil, la carga de óxido fija debe ser *positiva* para explicar los valores de ΔV_G observados de manera experimental. Otra información relevante sobre carga fija de óxido se puede resumir como sigue:

1. La carga fija es independiente del espesor del óxido, de la concentración de contamincación del semiconductor y del tipo de contaminación del semiconductor (n o p).
2. La carga fija varía en función de la orientación de la superficie del Si; Q_F es más grande en las superficies {111}, menor en las superficies {100} y la relación de carga fija para las dos superficies es de aproximadamente 3:1.
3. Q_F es una función fuertemente dependiente de las condiciones de oxidación, tales como la atmósfera oxidante y la temperatura del horno. Como se muestra en la figura 4.9, la carga fija disminuye más o menos linealmente con las temperaturas de oxidación. Sin embargo, hay que poner énfasis en que sólo son importantes las condiciones *finales* de oxidación. Por ejemplo, si se oxida primero una oblea de Si con vapor de agua a 1000° C durante una hora y luego se expone a un ambiente de O_2 seco a 1200° C, durante un tiempo suficiente como para que se alcance una condición de estado estacionario (~5 min), el valor de Q_F sólo reflejará el proceso de oxidación seca a 1200° C.
4. Si se recuece (es decir, se calienta) una oblea de Si en una atmósfera de Ar o N_2 el tiempo suficiente como para alcanzar un estado estacionario, el valor de Q_F observado se reduce al de la oxidación seca a 1200° C. En otras palabras, independientemente de las condiciones de oxidación, la carga fija se puede reducir siempre a un mínimo, recociendo en una atmósfera inerte.

Los anteriores hechos experimentales brindan pistas con respecto al origen físico de la carga fija de óxido. Ante todo, aunque las impurezas provenientes del semiconductor se difunden dentro del óxido durante el proceso de oxidación a altas temperaturas, se notó que la carga fija era independiente de la concentración y del tipo de contaminación en el semiconductor. Por lo tanto, la existencia de impurezas procedentes del semiconductor dentro del óxido se puede eliminar como posible fuente de Q_F. Segundo, la combinación de la posición interfacial de la carga fija, la dependencia de la orientación de la superficie de Si y la sensibilidad de Q_F respecto a las condiciones finales de oxidación sugieren que la carga fija está íntimamente relacionada con la reacción oxidante en la interfaz Si-SiO_2. En este sentido, debe entenderse que durante la formación térmica de la capa de SiO_2, la especie oxidante se difunde por el óxido y reacciona en la interfaz Si–SiO_2 para formar más SiO_2. Así, el último óxido formado –la porción de óxido controlada por las condiciones finales de oxidación– queda más próximo a la interfaz Si–SiO_2 y contiene la carga fija de óxido. Por consideraciones como éstas, se ha postulado que la carga fija de óxido se debe a un *exceso de silicio iónico* que se desprende del silicio en sí y queda en espera para reaccionar en la vecindad de la interfaz Si–SiO_2, cuando el proceso de oxidación termina en forma abrupta. De hecho, se ha determinado experimentalmente que la monocapa de óxido adyacente a la superficie de Si es de $x < 2$ SiO_x, lo que es consistente con la hipótesis de exceso de Si. Al parecer el recocido en una atmósfera inerte,



(a)



(b)

Figura 4.9 Efecto de la temperatura de oxidación y de recocido sobre la carga fija en estructuras MOS. (a) Características *C–V* medidas después de oxidaciones secas en O_2 a diversas temperaturas [x_o = 0.2 μm, N_D = 1.4 × 10^{16}/cm^3, orientación de Si superficial (111)]. (b) Concentraciones de carga fija, el denominado *triángulo de oxidación* que especifica Q_F/q esperada tras oxidación seca en O_2 y luego de recocido en ambiente inerte. [De B.E. Deal *et al.*, *J. Electrochem. Soc.*, **114**, 266, 1967. Reproducido con autorización del editor, The Electrochemical Society, Inc.]

procedimiento estándar para hacer mínima la carga fija de óxido, reduce los componentes excedentes de la reacción y, por lo tanto, reduce Q_F.

VÉASE EL EJERCICIO 4.2. APÉNDICE A

4.2.4 Trampas interfaciales

Si se juzga por la amplia incidencia y los efectos de degradación del comportamiento de los dispositivos MIS, hay que considerar a las trampas en la interfaz aislador-semiconductor como la no idealidad más importante hallada en las estructuras MIS. La naturaleza distorsionada o tendida de las características *C–V* es una manifestación común de la concentración no despreciable de trampas interfaciales en un MOS-C. Esto se indica con claridad en la figura 4.10, que presenta dos curvas *C–V* obtenidas del mismo dispositivo, antes y después de hacer mínima la cantidad de trampas interfaciales Si–SiO_2 dentro de la estructura.

Si el lector ha visto ya los libros antes citados, estará familiarizado con los conceptos de donadores, aceptadores y centros de recombinación-generación (R–G) que introducen estados electrónicos localizados en el volumen de un semiconductor. Las trampas interfaciales (a las que se llama también estados de superficie o estados de interfaz) son estados de energía permitidos, en los cuales los electrones se localizan en la vecindad de la *superficie* de un material. Se ha encontrado que todos los centros de carga agregan niveles al diagrama de bandas de energía dentro de la banda prohibida. Los donadores, aceptadores y centros de R–G introducen, respectivamente, niveles próximos a E_c, E_v y E_i en todo el volumen del semiconductor. En forma similar, como se modela en la figura 4.11, las trampas interfaciales introducen niveles de energía en la banda prohibida (GAP)

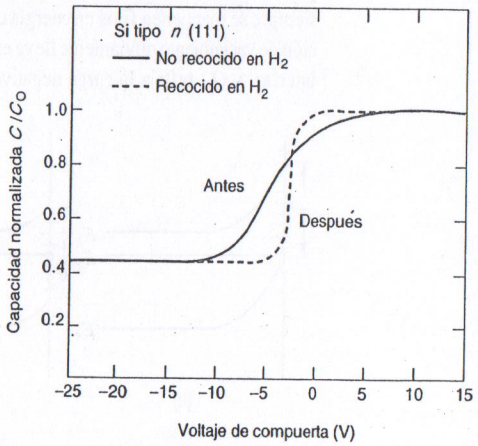


Figura 4.10 Características *C–V* deducidas del mismo MOS-C antes (——) y después (– – –), de minimizar la cantidad de trampas interfaciales de Si–SiO_2 dentro de la estructura. [De R.R. Razouk y B.E. Deal, *J. Electrochem. Soc.*, **126**, 1573, 1979. Reproducido con autorización del editor, The Electrochemical Society, Inc.]

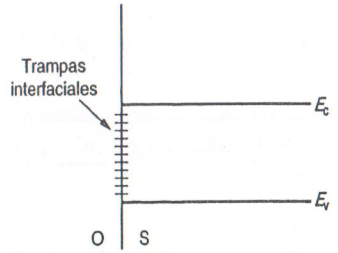


Figura 4.11 Modelado eléctrico de las trampas interfaciales, como niveles electrónicos permitidos en la región de la interfaz óxido-semiconductor.

en la interfaz Si–SiO_2. Sin embargo, nótese que los estados de interfaz pueden, y de hecho lo hacen, introducir niveles distribuidos dentro del GAP. Pueden producirse también niveles de interfaz a energías mayores que E_c o menores que E_v, pero tales niveles generalmente quedan ocultos por la muy superior densidad de concentración o estados de banda de valencia.

La figura 4.12 pone de manifiesto algunos apectos del comportamiento y significado de dichos niveles. Cuando se polariza un MOS-C de sustrato *n*, llevándolo a inversión como se ve en la figura 4.12(a), el nivel de Fermi en la superficie queda cerca de E_v. Para la situación dada, esencialmente todas las trampas interfaciales estarán vacías, porque en una aproximación de primer orden todos los niveles de energía por arriba de E_F están vacíos y todos los niveles de energía por debajo de E_F están llenos. Además, si se supone que los estados son de tipo donador (es decir, de carga positiva cuando están vacíos y neutra cuando se ocupan con un electrón), la carga neta por unidad de área asociada con las trampas interfaciales, Q_{IT}, será positiva. Si se modifica la polarización de compuerta para lograr condiciones de vaciamiento [Fig. 4.12(b)], el nivel de Fermi se ubica en alguna posición cerca de la mitad de la banda en la superficie. Como los niveles de interfaz siempre se mantienen fijos en energía con respecto a E_c y E_v en la superficie, la polarización de vaciamiento obviamente lleva electrones a los niveles inferiores de los estados de interfaz, y Q_{IT} refleja la carga negativa agregada: Q_{IT}(vaciamiento) < Q_{IT} (inversión).

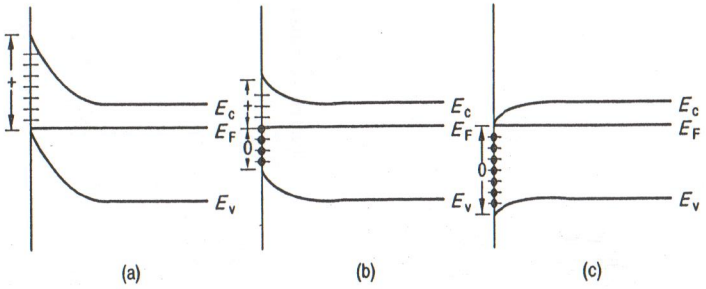


Figura 4.12 Llenado de los niveles interfaciales bajo polarizaciones de: (a) inversión, (b) vaciamiento y (c) acumulación en un dispositivo tipo *n*. El estado de carga que presentan las trampas interfaciales similares a donadores ["+" (más) o "0" (neutro)] aparece indicado a la izquierda, en los diagramas respectivos.

Finalmente, con el MOS-C polarizado en acumulación [Fig. 4.12(c)], los electrones llenan la mayor parte de las trampas interfaciales y Q_{IT} tiende a su valor mínimo. La cuestión es que las trampas interfaciales se cargan y descargan en función de la polarización, con lo que afectan la distribución de cargas dentro del dispositivo, la relación V_G–ϕ_S y las características del dispositivo, en una forma comprensible pero un tanto compleja.

El efecto global de las trampas interfaciales sobre la relación V_G–ϕ_S es realmente muy fácil de establecer. Puesto que Q_{IT}, al igual que Q_F, está ubicado justo en la interfaz Si–SiO_2, por analogía con la carga fija se puede escribir

$$\boxed{\Delta V_G\left(\begin{matrix}\text{trampas}\\ \text{interfaciales}\end{matrix}\right) = -\frac{Q_{IT}(\phi_S)}{C_o}} \qquad (4.16)$$

Como pone de manifiesto la ecuación (4.16), el resultado aquí difiere del resultado correspondiente a la carga fija, en que Q_{IT} varía con ϕ_S mientras que Q_F es una constante, independiente de ϕ_S.

En combinación con las consideraciones previas sobre la ocupación de los niveles de interfaz, la ecuación (4.16) ayuda a explicar la forma de las características *C–V* que se presentan en la figura 4.10. Suponiendo trampas interfaciales tipo donador, Q_{IT} toma su valor positivo más elevado en condiciones de inversión y da lugar a un desplazamiento negativo moderadamente grande de las características *C–V*. Al avanzar hacia la acumulación a través del vaciamiento, Q_{IT} disminuye y la traslación en la curva *C–V* también disminuye, como se observa de manera experimental. Una vez en acumulación, ΔV_G debe continuar descendiendo, manteniéndose sin embargo negativo, de acuerdo con el modelo de la figura 4.12. Por el contrario, los datos de la figura 4.10 presentan un desplazamiento *positivo* creciente en las características, al aumentar la polarización de acumulación. Esta discrepancia se puede atribuir a la suposición de que son de tipo donador. En los dispositivos actuales se supone que las trampas interfaciales de la mitad superior del GAP son de tipo aceptador en su naturaleza (es decir, neutras cuando la banda está vacía y negativas cuando está rellena de electrones). Entonces, al alcanzar la banda plana (o aproximadamente banda plana), Q_{IT} pasa por cero y se hace crecientemente negativa a medida que más estados del GAP se llenan con electrones. Entonces, las características observadas se pueden explicar de manera cualitativa. Una descripción cuantitativa completa requeriría conocer con detalle la concentración de trampas interfaciales en función de la energía y recurrir a consideraciones teóricas adicionales para establecer una presentación explícita de Q_{IT} como función de ϕ_S.

Si bien existen modelos que detallan el comportamiento eléctrico de las trampas interfaciales, aún no se ha aclarado en su totalidad el *origen físico* de éstas. No obstante, el peso de la evidencia experimental parece apoyar la idea de que las trampas interfaciales surgen en principio de enlaces químicos incompletos, o de los denominados "enlaces colgantes", en la superficie del semiconductor. Cuando la red de silicio finaliza de manera abrupta a lo largo de un plano dado para formar una superficie, uno de los cuatro enlaces de átomos en la superficie queda libre, como se ve en la figura 4.13(a). Lógicamente, la formación térmica de la capa de SiO_2 une algunos pero no todos esos enlaces de Si de la superficie. Los "enlaces colgantes" remanentes son los que se convierten en trampas interfaciales [véase la Fig. 4.13(b)].

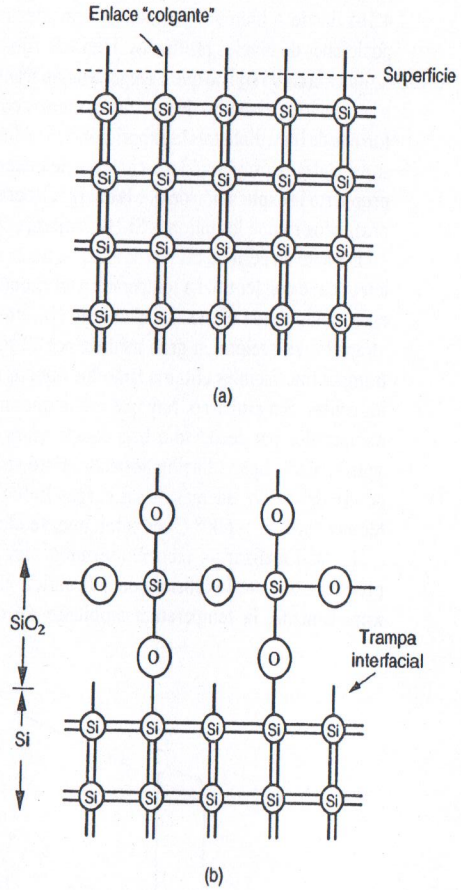


Figura 4.13 Modelo físico de las trampas interfaciales. (a) Enlaces "colgantes" que se producen cuando la red de Si finaliza bruscamente a lo largo de un plano dado, para formar una superficie. (b) "Enlaces colgantes" después de oxidación (la cantidad relativa está muy exagerada) que se convierten en trampas interfaciales. [El punto (b) está adaptado de B.E. Deal, *J. Electrochem. Soc.*, **121**, 198C, 1974.]

Para apoyar el modelo físico precedente, podemos realizar un pequeño cálculo de viabilidad. En una superficie (100) hay 6.8×10^{14} átomos de Si por cm^2. Si 1/1000 de éstos constituyen trampas interfaciales y se asocia una carga electrónica con cada trampa, la estructura habría de contener una $Q_{IT}/q = 6.8 \times 10^{11}/cm^2$. Si tomamos $x_o = 0.2\ \mu m$ y sustituimos en la ecuación (4.16), se obtiene ΔV_G (trampas interfaciales) = 6.3 V. Está claro que una cantidad relativamente pequeña de enlaces incompletos residuales puede perturbar de manera significativa las características del dispositivo, y dan cuenta de las concentraciones de trampas interfaciales observadas.

La concentración global de trampas interfaciales y la distribución o densidad de estados en función de la energía en la banda prohibida (que se da con el símbolo D_{IT} en

unidades de estados/cm^2-eV), son en extremo sensibles a los más mínimos detalles de fabricación y varían en forma significativa de dispositivo a dispositivo. Sin embargo, se han detectado algunas tendencias generales reproducibles. La densidad de trampas interfaciales, como la carga fija de óxido, es mayor en superficies Si{111}, menor en superficies {100} y la relación entre estados ubicados a la mitad de la banda prohibida (GAP) en las dos superficies es de aproximadamente 3:1. Tras la oxidación en un ambiente de O_2 seco, D_{IT} es relativamente alta, ~10^{11} a 10^{12} estados/cm^2-eV en la mitad del GAP, decreciendo la densidad para temperaturas de oxidación crecientes, en forma similar a la carga fija de óxido. En cambio, el recocido a temperaturas elevadas ($\gtrsim$ 600° C) en un ambiente inerte *no* hace que disminuya D_{IT}. Más bien, como se verá pronto, D_{IT} se minimiza con un recocido en presencia de hidrógeno a temperaturas relativamente bajas ($\lesssim$ 500° C). Tras un recocido ideal, D_{IT}, a mitad del GAP, por lo general vale $\lesssim 10^{10}/cm^2$-eV, y la distribución de estados como función de la energía es de la forma trazada en la figura 4.14. Como se ve en esta figura, la densidad de trampas interfaciales es más o menos constante en la zona próxima a la mitad de la banda prohibida, y aumenta con rapidez al ir hacia los extremos de banda. Por último, los estados cercanos a los dos bordes de banda son en general aproximadamente iguales en cantidad y opuestos en su carácter de carga; es decir, se supone que los estados cercanos a la banda de conducción y a la banda de valencia tienen una naturaleza de tipo aceptador y de tipo donador, respectivamente.

El muy importante proceso de recocido de las estructuras MOS se realiza habitualmente para hacer mínima la concentración de trampas interfaciales de una de estas dos maneras: por recocido con posmetalización o por recocido en ambiente de hidrógeno (H_2). En el proceso de posmetalización, que requiere un material de compuerta químicamente activo como el Al o el Cr, la estructura metalizada simplemente se coloca en una atmósfera de nitrógeno a ~450° C de 5 a 10 min. Durante la formación de las estructuras MOS, es inevitable que se absorban ínfimas cantidades de vapor de agua en la superficie de SiO_2. A la temperatura de recocido de posmetalización, el material activo de la compuerta reacciona con el vapor de agua del óxido de la superficie para liberar alguna especie química de hidrógeno, que se supone es hidrógeno atómico. Como se muestra en la figura 4.15, este hidrógeno a continuación emigra, a través de la capa de SiO_2, hacia la interfaz

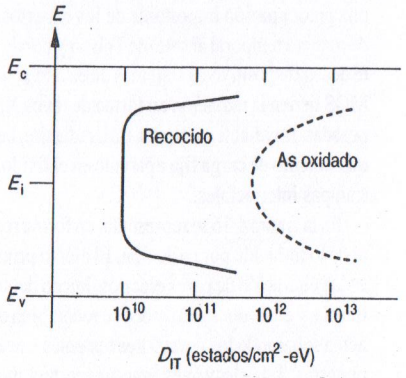


Figura 4.14 Distribución de energías de los estados de interfaz dentro de la banda prohibida (GAP). Forma general y magnitud aproximada de las densidades de trampas interfaciales observadas antes y después de un recocido de estado interfacial.

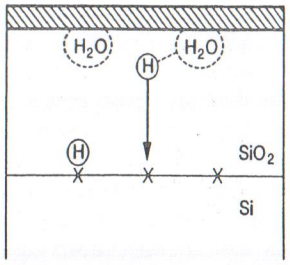


Figura 4.15 Modelo para aniquilación de estados de interfaz durante el proceso de recocido de posmetalización. Las Ⓗ representan la especie de hidrógeno activo que interviene en el proceso; las X representan los estados interfaciales.

de Si-SiO_2, donde se adosa a un enlace incompleto de Si, con lo que el enlace queda eléctricamente inactivo. El proceso en atmósfera de hidrógeno opera en forma similar, excepto que el hidrógeno se proporciona directamente y la estructura no necesita estar metalizada.

Aunque al principio se indicó que el problema de las trampas interfaciales era de máxima importancia, evaluar el verdadero significado y alcance del problema constituye un desafío. Presentado en forma simple, si el óxido térmico no enlaza la mayor parte de los enlaces de Si incompletos, y si no se dispusiera de un proceso de recocido para reducir los enlaces restantes o las trampas interfaciales a un nivel aceptable, los dispositivos MOS serían una mera curiosidad de laboratorio. De hecho, las concentraciones elevadas de trampas interfaciales han restringido severamente el desarrollo de otros sistemas con aislador-semiconductor.

4.2.5 Cargas inducidas

Efectos de la radiación

Desde el lanzamiento del primer satélite Telstar a principios de la década de los 60, el daño por radiación en dispositivos de estado sólido al pasar por el cinturón de Van Allen fue una preocupación importante de los expertos espaciales y militares. La radiación afectó de manera temporal al satélite Telstar y puede tener efectos perjudiciales en la mayor parte de los dispositivos y sistemas de estado sólido. Similares efectos sobre los dispositivos MOS tienen la radiación en forma de rayos X, electrones, protones y partículas ionizadas pesadas. Invariablemente, tras la irradiación las estructuras de dispositivos MOS presentan un aumento de carga fija aparente en el óxido, así como un aumento de concentración de trampas interfaciales.

En la figura 4.16 se representa, en forma resumida, la secuencia de procesos que llevan al daño inducido por radiación. El efecto primario relacionado con la radiación ionizante es la generación de pares electrón-hueco dentro de todo el óxido. Cierto porcentaje de los huecos y electrones generados se recombina de inmediato. El campo eléctrico en el óxido actúa separando los portadores restantes y acelerando electrones y huecos en direcciones opuestas. Los electrones, que tienen una movilidad relativamente alta en el SiO_2, son evacuados con rapidez (en ns) del óxido. En cambio, los huecos tienden a quedar atrapados cerca de su punto de origen. Tras un periodo de tiempo, los huecos emigran

hacia la interfaz Si-SiO_2 (suponiendo que $\mathscr{E}_{ox}$ sea positivo, como se muestra en la figura 4.16) donde o bien se recombinan con electrones del silicio o quedan atrapados en posiciones de niveles profundos. Una vez fijos en la cercanía de la interfaz, los huecos imitan a la carga fija, lo que da lugar a un aparente incremento de Q_F. El proceso que lleva a la creación de estados de interfaz es menos conocido. Algunas trampas interfaciales se forman de inmediato tras la exposición a la radiación ionizante, mientras que las restantes son creadas en proporción a la cantidad de huecos que alcanzan la interfaz Si-SiO_2. Se ha propuesto la explicación de que la energía liberada en la captura de huecos por los niveles profundos rompe las uniones Si-H asociadas con trampas interfaciales inactivas.

Durante un periodo que va desde días hasta años, la carga de huecos atrapados tiende a reducirse con lentitud a temperatura ambiente por la captura de electrones inyectados en el óxido desde el metal o el silicio. Naturalmente, la remoción de cargas de huecos atrapados se acelera en gran medida por el recocido térmico; el recocido estándar de trampas interfaciales elimina tanto los huecos atrapados como las trampas interfaciales inducidas. Sin embargo, hay que notar que una vez sujetos a la radiación ionizante y recuperados por recocido a baja temperatura, los dispositivos MOS presentan mayor sensibilidad a una radiación posterior. Esto se atribuye a la creación de trampas neutras dentro del óxido, además de las cargas inducidas. Se encontró que el recocido a altas temperaturas ($T > 600°$ C) es parcialmente efectivo en eliminar las trampas neutras.

Es fácil realizar un recocido térmico para eliminar los daños por radiación que se producen durante la fabricación.* También es viable incrementar, hasta 100° C aproximadamente, la temperatura ambiente de dispositivos terminados para acelerar la

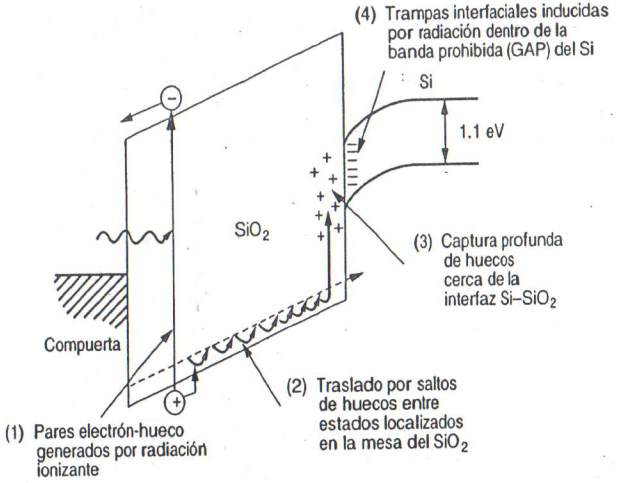


Figura 4.16 Respuesta a la radiación ionizante y daño resultante en estructuras MOS. [De J.R. Srour y J.M. McGarrity, *Proc. IEEE*, **76**, 1443, © 1988 IEEE.]

* La implantación iónica, la evaporación de metal por haz de electrones, el depósito de películas delgadas especiales sobre la capa de SiO_2, en un entorno hostil de plasma (chisporroteo: *sputtering*), el haz de electrones y la litografía de rayos X, así como muchos otros procesos de fabricación, pueden provocar diversos grados de daño por radiación.

supresión de los huecos atrapados que la radiación ionizante produce. Sin embargo, la recuperación de dispositivos completos una vez realizados es relativamente limitada. Es preferible "endurecer" los dispositivos. El óxido se endurece (es decir, se reduce su sensibilidad a la radiación) empleando condiciones de desarrollo óptimo establecidas de manera empírica, como la oxidación a temperaturas por debajo de 1000° C. Otros procedimientos de endurecimiento abarcan el blindaje con Al, que detiene la mayor parte de los electrones energéticos que se encuentran en el espacio, así como el aumento del voltaje umbral de MOSFET de modo que se reduzca la sensibilidad ante modificaciones de ΔV_G producidas por radiación. (El tema general de ajuste del umbral del MOSFET se trata en la sección 4.3). De manera un tanto fortuita, la reducción en espesor de óxido que acompaña las reducciones de dimensiones del dispositivo también lleva al logro de dispositivos MOS más duros. El valor de ΔV_G, tanto para carga fija como para trampas interfaciales, es proporcional a $1/C_o = x_o/K_O\varepsilon_o$, y por lo tanto disminuye en forma automática cuando x_o disminuye. La mejora también puede deberse, en parte, a los menores valores de las secciones eficaces de captura de las trampas de huecos con campos en el óxido más elevados, que se dan en los óxidos de espesores menores. Extrapolando, la captura de huecos y la producción de trampas interfaciales asociada podrían, de hecho, desaparecer cuando el espesor del óxido se acercara a los 100 Å. Se estima que los electrones del metal y del semiconductor podrían llegar a pasar, por efecto túnel, a todas las partes de un óxido muy delgado y recombinar con rapidez los huecos atrapados.

Inestabilidad por polarización negativa

La inestabilidad por polarización negativa es una perturbación importante de las características de dispositivos MOS, que se produce como consecuencia directa de someter la estructura a una polarización negativa grande a temperaturas elevadas. Las condiciones de excitación típicas podrían ser una polarización negativa grande de compuerta, suficiente para producir un campo de 2×10^6 V/cm en el óxido, y $T > 250°$ C. La inestabilidad se caracteriza por un gran desplazamiento *negativo* a lo largo del eje de voltaje y una distorsión de las curvas *C–V* del MOS-C. En forma similar a la radiación ionizante, la excitación produce claramente un aumento en la carga fija aparente dentro del óxido y un aumento en la concentración de trampas interfaciales. La aparición de un pico superpuesto a D_{IT} cerca del centro del GAP puede considerarse como una confirmación de la inestabilidad. Nótese que el desplazamiento de la curva *C–V* producida por la inestabilidad de polarización negativa es opuesta a la causada por la contaminación por iones alcalinos.

No se estableció el mecanismo exacto que produce la inestabilidad por polarización negativa. Sin embargo, como en condiciones de polarización negativa hay grandes concentraciones de huecos en forma adyacente al óxido, se ha propuesto que la inestabilidad puede ser el resultado de la inyección de huecos desde el Si y hacia el óxido, con la consiguiente captura de los huecos en niveles profundos cercanos a la interfaz Si–SiO_2. De ser así, los daños inducidos por radiación y los inducidos por esta situación tendrían un origen común. De hecho, se ha encontrado que la inestabilidad por polarización negativa se realza si la estructura MOS se expone primero a una radiación ionizante. La sensibilidad ante la inestabilidad se puede hacer mínima recociendo la estructura del dispositivo en hidrógeno a 800° C – 900° C antes de depositar la compuerta.

4.2.6 Resumen ΔV_G

En las primeras dos secciones de este capítulo se mencionaron y examinaron cuatro de las desviaciones respecto al ideal que se encuentran con más frecuencia: la diferencia de función trabajo metal-semiconductor, los iones móviles en el óxido, la carga fija en el óxido y las trampas interfaciales. También se hizo notar que la radiación ionizante y las excitaciones con polarizaciones negativas grandes y temperaturas elevadas daban lugar a cargas adicionales en el óxido. En ambos casos se da un incremento de Q_{IT} y de la Q_F aparente.

El efecto combinado de las no idealidades analizadas sobre la relación V_G–ϕ_S se describe como

$$\boxed{\Delta V_G = (V_G - V'_G)\big|_{\text{el mismo } \phi_S} = \phi_{MS} - \frac{Q_F}{C_o} - \frac{Q_M \gamma_M}{C_o} - \frac{Q_{IT}(\phi_S)}{C_o}} \tag{4.17}$$

donde

$$\gamma_M \equiv \frac{\int_0^{x_o} x\rho_{ion}(x)\,dx}{x_o \int_0^{x_o} \rho_{ion}(x)\,dx} \tag{4.18}$$

Al escribir la ecuación (4.17) se replantea la contribución de iones móviles [Ec. (4.13)] para poner énfasis en la similitud entre los tres términos asociados con las cargas de óxido. Hay un valor, γ_M, el cual es una magnitud adimensional que representa el "centroide" de carga de iones móviles en el óxido, normalizado al ancho de la capa de óxido; $\gamma_M = 0$ si todos los iones móviles se hallan en la interfaz metal-óxido, mientras que $\gamma_M = 1$ si todos los iones móviles se encuentran apilados en la interfaz Si–SiO_2. Como regla general, Q_M, Q_F y ϕ_{MS} llevan a un desplazamiento de las características *C–V* negativo y paralelo a lo largo del eje de voltaje con respecto al valor teórico ideal. En cambio, ΔV_G debida a Q_{IT} puede ser ya sea positiva o negativa, dependiendo de la polarización aplicada, y tiende a distorsionar o esparcir las características.

Del estudio sobre no idealidades se puede concluir con seguridad que los dispositivos MOS reales no son intrínsecamente perfectos; estos dispositivos son, de hecho, instrínsecamente imperfectos. Sin embargo, a través de un intenso esfuerzo de investigación, se han desarrollado procedimientos para disminuir al mínimo los efectos netos de las no idealidades de las estructuras MOS. Aún cuando deben realizarse verificaciones permanentes para mantener el control sobre la calidad, en la actualidad los fabricantes logran manufacturar dispositivos casi ideales. Debemos mencionar que, si bien las no idealidades descritas u otras similares se refieren a todas las estructuras MIS, los procedimientos de reducción al mínimo tratados aquí se aplican sólo al sistema de SiO_2–Si de crecimiento térmico.

VÉASE EL EJERCICIO 4.3. APÉNDICE A

4.3 MOSFET: CONSIDERACIONES SOBRE EL VOLTAJE UMBRAL

Hasta ahora se ha descrito el efecto de las no idealidades en su expresión como desplazamiento y distorsión de las curvas C–V de los MOS-C. El punto V_T sobre la curva C–V, que corresponde al voltaje umbral de un MOSFET, resulta afectado directamente por cualquier desplazamiento de ΔV_G. En la figura 4.17(a) se ilustra de manera gráfica el efecto general de los cambios en el voltaje umbral sobre las características I_D–V_D del MOSFET. Al construir la figura se supuso un MOSFET de canal p, con un voltaje ideal $V'_T = -1$ V. Se supone que la ΔV_G que lleva a las características perturbadas de la figura 4.17(a) se debe a ϕ_{MS}, la carga fija, y a los iones alcalinos en el óxido. Debe notarse que, de manera similar al desplazamiento paralelo de las características C–V de MOS-C, la forma de las características MOSFET perturbadas permanece sin alteración, pero se requieren valores de $|V_G|$ más elevados para lograr niveles de corriente I_D comparables. Si se encuentran en densidades grandes, las trampas interfaciales pueden adicionalmente disminuir el cambio de corriente resultante de un incremento escalonado del voltaje de compuerta. Este efecto equivale a una reducción de la g_m del transistor, como se ve en la figura 4.17(b).

Si bien es cierto que los problemas debidos tanto a la movilidad de los iones como a las trampas interfaciales se redujeron con los primeros desarrollos de los MOSFET, las no idealidades restantes, fundamentalmente a través de sus efectos sobre V_T, han tenido un fuerte impacto en la tecnología de fabricación, el diseño de dispositivos y los modos de funcionamiento. En esta sección se examinarán las razones de ese impacto y los procedimientos que se han desarrollado para el ajuste del umbral del MOSFET.

4.3.1 Expresión de V_T

Para fines de estudio, es conveniente establecer una expresión del voltaje umbral esperado, V_T, de un MOSFET real. Sea V'_T el voltaje umbral de una versión ideal del MOSFET dado. Evaluando simplemente la ecuación (4.17) para $\phi_S = 2\phi_F$ se obtiene

$$V_T = V'_T + \phi_{MS} - \frac{Q_F}{C_o} - \frac{Q_M \gamma_M}{C_o} - \frac{Q_{IT}(2\phi_F)}{C_o} \tag{4.19}$$

Aun cuando se podría utilizar directamente la ecuación (4.19) para calcular V_T, es práctica común expresar el desplazamiento del voltaje umbral en función del voltaje de banda plana del dispositivo real. En condiciones de banda plana, $\phi_S = 0$, $V'_G = 0$ y, de la ecuación (4.17),

$$\boxed{V_{FB} \equiv V_{G|\phi_S=0} = \phi_{MS} - \frac{Q_F}{C_o} - \frac{Q_M \gamma_M}{C_o} - \frac{Q_{IT}(0)}{C_0}} \tag{4.20}$$

Si Q_{IT} varía poco cuando varíe ϕ_S de $\phi_S = 0$ a $\phi_S = 2\phi_F$, que en dispositivos bien realizados es una aproximación razonablemente buena, se pueden reemplazar por V_{FB} los términos relacionados con la no idealidad de la ecuación (4.19) y se obtiene

$$\boxed{V_T = V'_T + V_{FB}} \tag{4.21}$$

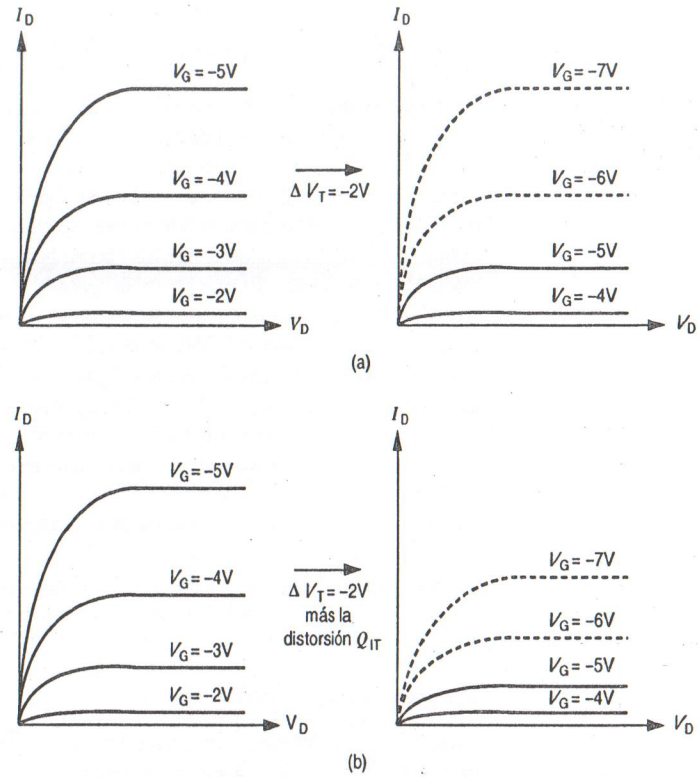


Figura 4.17 Efecto general de las no idealidades sobre las características corriente-voltaje del MOSFET. En el lado izquierdo aparecen las características ideales de un MOSFET hipotético de canal p, con $V'_T = -1$ V, mientras que las características perturbadas aparecen del lado derecho. (a) Efecto de un desplazamiento simple del voltaje umbral producido por $\phi_{MS} \neq 0$, por la carga fija y por los iones móviles. (b) Efecto de degradación de g_m debido a las trampas interfaciales.

donde, repitiendo las ecuaciones (3.1),

$$\boxed{V'_T = 2\phi_F \pm \frac{K_S}{K_O} x_o \sqrt{\frac{4qN_B}{K_S \varepsilon_0}(\pm\phi_F)}} \quad \begin{array}{l}(+)\text{ para dispositivos de canal } n \\ (-)\text{ para dispositivos de canal } p \\ N_B = N_A \text{ o } N_D \text{ según corresponda}\end{array} \tag{4.22}$$

4.3.2 Umbral: terminología y tecnología

Como introducción al tema en estudio, realicemos un pequeño cálculo del voltaje umbral utilizando las relaciones deducidas en la subsección 4.3.1. Sea Al el material de la compuerta, (111) la orientación de la superficie de Si, $T = 300$ K, $x_o = 0.1$ μm, $N_A = 10^{15}/\text{cm}^3$, $Q_F/q = 2\times 10^{11}/\text{cm}^2$, $Q_M = 0$ y $Q_{IT} = 0$. Para el dispositivo dado de canal n, se calcula $\phi_{MS} = -0.89$ V, $-Q_F/C_0 = -0.93$ V, $V_{FB} = -1.82$ V, $V'_T = 0.99$ V y $V_T = -0.83$ V. Observe

que, mientras que V_T' es positivo, como era de esperar, *el valor real de las no idealidades hace que V_T sea negativa*. Como un dispositivo de canal *n* se "conduce" para voltajes de compuerta $V_G > V_T$, el dispositivo en cuestión ya está en conducción para una polarización de compuerta de cero volts. ¡En realidad, hay que aplicar polarizaciones negativas para que el dispositivo se "corte"! Para un dispositivo de canal *p* de idénticos parámetros (excepto, por supuesto, por la contaminación N_D del sustrato), se obtiene una $V_T' = -0.99$ V, $V_{FB} = -1.24$ V y $V_T = -2.23$ V. En el caso del canal *p*, las no idealidades consideradas sólo aumentan el voltaje negativo necesario para lograr la conducción.

Cuando un MOSFET está en conducción para $V_G = 0$ V, se dice que se trata de un transistor o dispositivo en *modo de empobrecimiento*; cuando un MOSFET está en corte para $V_G = 0$ V, se denomina dispositivo en *modo de enriquecimiento*. Fabricados de manera rutinaria, los MOSFET de canal *p* construidos en la configuración estándar son, ideal y prácticamente, dispositivos en modo de enriquecimiento. Los MOSFET de canal *n* ideales son también dispositivos en modo de enriquecimiento. Sin embargo, como las no idealidades tienden a desplazar el voltaje umbral hacia polarizaciones negativas de la manera indicada en el cálculo nuestro ejemplo, los antiguos transistores MOS de canal *n* por lo general eran del tipo de empobrecimiento. Hasta aproximadamente 1977, esta diferencia de comportamiento dio como resultado un dominio total de la tecnología *PMOS* sobre la tecnología *NMOS*; es decir, los IC (*integrated circuits*, circuitos integrados) que incorporaban MOSFET de canal *p* dominaban el mercado comercial. En consecuencia, como se explica con el título de ajuste del voltaje umbral, el NMOS, que se prefiere por la mayor movilidad de los electrones en comparación con los huecos, se benefició con las grandes innovaciones tecnológicas aplicadas desde fines de la década de 1970, y ahora está incorporado a la mayor parte de los IC que se diseñan en la actualidad.

Dentro del tema del voltaje umbral en dispositivos prácticos, es necesario señalar que también es importante el umbral de inversión de las zonas adyacentes al dispositivo en sí. Por ejemplo, considérese la región no metalizada comprendida entre los dos transistores MOS de canal *n*, que se ve en la figura 4.18(a). Si se supone que el potencial en la superficie exterior de óxido no metalizado es cero (normalmente es una presunción bastante razonable) y el voltaje umbral para los transistores de canal *n* es negativo, entonces la región intermedia entre los dos transistores estará invertida. En otras palabras, existirá un camino de conducción, un pseudocanal, entre los transistores. Esta condición indeseable era otro inconveniente de la vieja tecnología NMOS, en la cual, como se ha señalado, las no idealidades tendían a invertir la superficie del semiconductor en ausencia de una polarización aplicada a la compuerta. A menos que se tomen precauciones especiales, también pueden aparecer pseudocanales indeseados entre dispositivos de IC tanto de canal *n* como de canal *p*, provenientes del potencial aplicado a las capas de metal que alimentan las polarizaciones de compuerta y de drenaje. Para evitar este problema, el óxido en las porciones del IC fuera de la compuerta, denominado *óxido de campo*, suele ser mucho más grueso que el *óxido de compuerta* en las regiones activas de la estructura [véase la Fig. 4.18(b)]. La idea básica de utilizar óxido más grueso se puede entender observando las ecuaciones (4.20) y (4.22). Tanto V_{FB} como V_T' contienen términos proporcionales a x_0. Entonces, si se utiliza un x_o (óxido de campo) $\gg x_o$ (óxido de compuerta), aumenta $|V_T|$ en las áreas de óxido de campo, en relación con las áreas de compuerta en las estructuras PMOS (y modernas NMOS). Por lo tanto, la inversión de las regiones de óxido de campo se evita a los potenciales normalmente requeridos para el funcionamiento de los IC.

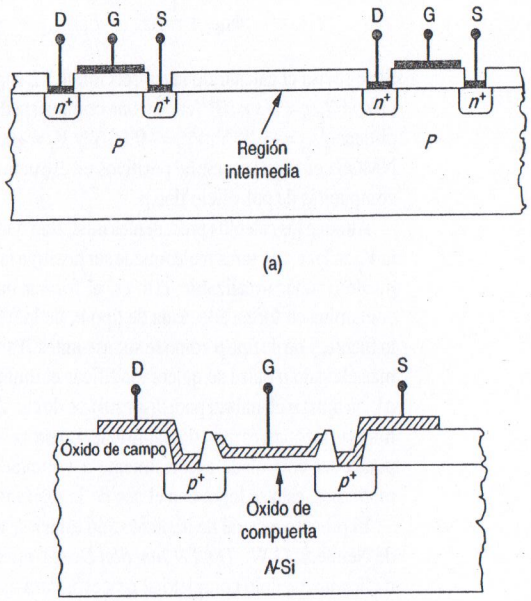


Figura 4.18 (Vista de la región intermedia entre dos MOSFET. (b) Identificación de las regiones de óxido de compuerta y de óxido de campo en estructuras de MOSFET prácticas.

4.3.3 Ajuste del voltaje umbral

Diversos factores físicos afectan el voltaje umbral, y por lo tanto sirven para variar el valor de V_T que presenta efectivamente un MOSFET dado. De hecho, acabamos de citar el ajuste de V_T por variación del espesor de óxido. Resulta obvio que también se puede variar la contaminación intencional del sustrato para aumentar o reducir el voltaje umbral. Sin embargo, aunque ejerzan una fuerte influencia en el valor que presenta V_T, el espesor del óxido y la contaminación intencional del sustrato quedan predeterminados en gran parte por otras restricciones de diseño.

Otros factores que tienen un papel significativo en la determinación de V_T son la orientación de superficie del sustrato y el material utilizado para formar la compuerta del MOS. Como se hizo notar por primera vez en la subsección 4.2.3, Q_F en los dispositivos MOS construidos en superficies (100) es aproximadamente tres veces más pequeño que el Q_F en dispositivos construidos en superficies (111). Por lo tanto, el uso de sustratos (100) reduce la ΔV_G asociada con la carga fija de óxido. Por otro lado, el uso de polisilicio en lugar de Al para una compuerta modifica ϕ_{MS}. Dada una compuerta de polisilicio, la función de trabajo efectiva del "metal" se hace

$$\text{“}\Phi_M\text{”} = \chi_{Si} + (E_c - E_F)_{\text{polisilicio}} \tag{4.23}$$

y

$$\phi_{MS} = \frac{1}{q}[(E_c - E_F)_{poly\text{-}Si} - (E_c - E_F)_{\infty,\ silicio\ cristalino}] \qquad (4.24)$$

Si se revisa el cálculo de la subsección 4.3.2 suponiendo una orientación de superficie (100) ($Q_F/q = 2/3 \times 10^{11}/cm^2$) y una compuerta de polisilicio de tipo p donde $E_F = E_v$, se obtiene $\phi_{MS} = +0.26$ V, $V_{FB} = -0.05$ V y $V_T = +0.94$ V. Así resultan posibles transistores NMOS con voltajes umbral positivos en estructuras de orientación (100) que incorporan compuertas de polisilicio tipo p.

Aunque los cálculos precedentes muestran que son posibles voltajes umbral positivos, la V_T en las estructuras reales puede ser positiva tan sólo teóricamente, o bien la estructura puede resultar irrealizable; esto es, al formar un MOSFET de canal n el polisilicio se contamina en forma adecuada de tipo n, de la misma manera que las islas del drenaje y la fuente, y no de tipo p como se supuso antes. También se puede desear un voltaje umbral más elevado o quizá se quiera modificar el umbral alcanzable en una estructura PMOS o bien ajustar el umbral para dispositivos de canal n y canal p en el mismo chip de IC. Por muchas razones, es muy deseable tener un proceso de ajuste de umbral flexible, donde V_T pueda ser controlada esencialmente a voluntad. En el procesamiento de dispositivos modernos, esto se logra con el uso de la *implantación iónica*.

El proceso general de implantación iónica se describe en la subsección 1.1.4 del libro de Neudeck, G.W., *The PN Junction Diode*, mientras que en un texto más avanzado* se dedica un capítulo completo al proceso. Para ajustar el valor del voltaje umbral se implanta una cantidad relativamente pequeña, pero rigurosamente controlada, de iones de boro o de fósforo en la región superficial del semiconductor. Cuando la estructura MOS es de empobrecimiento o está polarizada en inversión, la contaminación implantada se suma a la carga existente de iones de contaminación cercana a la interfaz óxido-semiconductor, y por lo tanto traslada la V_T que presenta la estructura. La implantación de boro produce un desplazamiento positivo del voltaje umbral; la implantación de fósforo produce un desplazamiento negativo. En el caso de implantaciones superficiales, el proceso se puede ver en primera aproximación como la colocación de una carga suplementaria "fija" en la interfaz óxido-semiconductor. Si la cantidad de iones/cm^2 implantados es N_I y $Q_I = \pm qN_I$ es la carga/cm^2 de donadores (+) o aceptadores (–) implantados en la interfaz óxido-semiconductor, entonces, por analogía con el análisis de cargas fijas,

$$\Delta V_G\left(\begin{matrix}\text{iones}\\ \text{implantados}\end{matrix}\right) = -\frac{Q_I}{C_o} \qquad (4.25)$$

Suponiendo, por ejemplo, un $N_I = 5 \times 10^{11}$ iones/cm^2 de boro y un $x_0 = 0.1$ μm, se calcula un ajuste del voltaje umbral de +2.32 V.

4.3.4 Polarización del sustrato

Polarizar inversamente el contacto posterior o sustrato de un transistor MOS, con respecto a la fuente, es otro método que se ha empleado para ajustar el potencial umbral. Este método eléctrico de ajuste, anterior a la implantación iónica, utiliza el llamado *efecto de "cuerpo"* o efecto de polarización del sustrato.

* Aquí el autor se refiere al libro Jaeger, R.C., *Introduction To Microelectronic Fabrication*, Reading, Massachusetts, Addison-Wesley, 1988, (*N. del E.*)

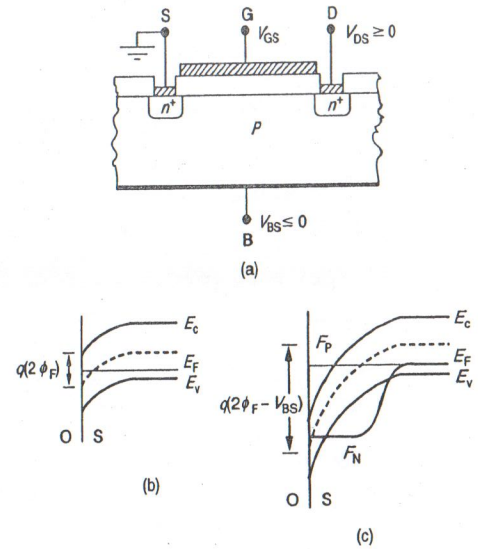


Figura 4.19 MOSFET polarizado inversamente. (a) Vista en sección transversal que indica las variables de voltaje designadas con doble subíndice que se usan en el análisis. También se muestran los diagramas de bandas de energía del semiconductor, correspondientes al inicio de la inversión, cuanto (b) $V_{BS} = 0$ y (c) $V_{BS} < 0$.

Para explicar el efecto, consideremos el MOSFET de canal n que aparece en la figura 4.19(a). Si la diferencia de potencial de sustrato (B) a fuente (V_{BS}) es cero, ocurre por supuesto inversión cuando la caída de voltaje a través del semiconductor (ϕ_S) es igual a $2\phi_F$, como se ve en la figura 4.19(b). Si $V_{BS} < 0$, el semiconductor no llega aún a inversión cuando ϕ_S alcanza $2\phi_F$. No obstante, con $V_{BS} < 0$, cualquier portador de la capa de inversión que aparezca en la superficie del semiconductor emigra lateralmente hacia la fuente y el drenaje, porque esas regiones están a una energía inferior. Como se ve en la figura 4.19(c), la superficie se invierte y comienza la acción normal del transistor no antes de que $\phi_S = 2\phi_F - V_{BS}$. En esencia, la polarización inversa cambia de $2\phi_F$ a $2\phi_F - V_{BS}$ el punto de inversión en el semiconductor. A su vez, el potencial umbral del dispositivo ideal dado por la ecuación (4.22) se modifica a

$$V'_{GB\,|\,\text{en el umbral}} = 2\phi_F - V_{BS} \pm \frac{K_S}{K_O} x_o \sqrt{\frac{2qN_B}{K_S\varepsilon_0}(\pm 2\phi_F \mp V_{BS})}$$

$$(+),\ V_{BS} < 0 \text{ para canal } n$$

$$(-),\ V_{BS} > 0 \text{ para canal } p \qquad (4.26)$$

o, como $V'_{GB|\text{en el umbral}} = V'_{GS|\text{en el umbral}} - V_{BS}$,

$$V'_{GS\,|\,\text{en el umbral}} = 2\phi_F \pm \frac{K_S}{K_O} x_o \sqrt{\frac{2qN_B}{K_S\varepsilon_0}(\pm 2\phi_F \mp V_{BS})} \qquad (4.27)$$

Finalmente, si se introduce $\Delta V'_T \equiv (V'_{GS\,|\,\text{en el umbral}} - V'_T)$, se tiene

$$\Delta V'_T = (V'_T - 2\phi_F)\left[\sqrt{1 - \frac{V_{BS}}{2\phi_F}} - 1\right] \qquad \begin{array}{ll} \phi_F > 0,\ V_{BS} < 0 & \text{para canal } n \\ \phi_F < 0,\ V_{BS} > 0 & \text{para canal } p \end{array} \tag{4.28}$$

Una vez establecida la ecuación (4.28), hacemos las siguientes observaciones respecto a la polarización del sustrato o efecto de "cuerpo": (1) la polarización del sustrato aumenta siempre la magnitud del potencial umbral del dispositivo ideal. Por lo tanto, hace más negativo el umbral de canal *p* de los dispositivos reales y más positivo el umbral de canal *n*; no se puede utilizar para reducir el umbral negativo de un MOSFET de canal *p*. (2) Las relaciones voltaje-corriente desarrolladas en el capítulo 3 siguen siendo válidas cuando $V_{BS} \neq 0$ siempre que $2\phi_F \rightarrow 2\phi_F - V_{BS}$, $V_G \rightarrow V_{GS}$, $V_D \rightarrow V_{DS}$ y V_T sea interpretada como $V_{GS\,|\,\text{en el umbral}}$. (3) Hay que tener cuidado al describir las estructuras de polarización del sustrato con la finalidad de identificar en forma adecuada las diferencias de voltaje, para lo cual se utilizan las variables de tensión con doble subíndice.

4.3.5 Resumen

Todas las no idealidades desplazan el potencial umbral del MOSFET; además, las trampas interfaciales reducen la g_m de baja frecuencia del transistor. Se sigue un procedimiento en dos pasos para calcular el voltaje umbral esperado en un MOSFET real. Primero se deduce el voltaje de banda plana partiendo de información conocida acerca de las no idealidades del dispositivo. Luego se suma V_{FB} al voltaje umbral de una versión ideal del MOSFET dado. Un transistor que normalmente está "apagado" o en corte cuando $V_G = 0$ recibe el nombre de dispositivo en modo de enriquecimiento; un MOSFET en modo de empobrecimiento está "encendido" o en conducción cuando $V_G = 0$. Debido a las no idealidades residuales, los MOSFET de canal *n* reales por lo general son dispositivos en modo de empobrecimiento. Los MOSFET de canal *n* y en modo de enriquecimiento, así como el ajuste de umbral en general, se logran con el uso de la implantación iónica. Para ajustar el potencial umbral también se utiliza la polarización del sustrato en relación con la fuente.

VÉASE EL EJERCICIO 4.4. APÉNDICE A

PROBLEMAS

4.1 Conteste las siguientes preguntas del modo más conciso posible.

(a) ¿Cómo se define la "función trabajo" del semiconductor?

(b) ¿Qué sucede al someter a un MOS-C o a un MOSFET a excitación de polarización y temperatura?

(c) ¿Cuál se supone que es el origen físico de la carga fija del óxido en estructuras MOS?

(d) Se observa que la densidad de trampas interfaciales (D_{IT}) depende de la orientación de la superficie del silicio. Describa la dependencia de la orientación observada.

(e) ¿Cuál es el efecto neto de la radiación ionizante en las estructuras MOS?

(f) Al realizar las experiencias de excitación de polarización y temperatura, ¿cómo se distingue entre la inestabilidad por polarización negativa y la inestabilidad de voltaje resultante de la acción de los iones alcalinos?

(g) ¿En qué circunstancias sería $V_T \neq V'_T + V_{FB}$?

(h) Explique qué se quiere decir con el término "transistor en modo de empobrecimiento".

(i) ¿Cuál es la diferencia entre el "óxido de campo" y el "óxido de compuerta" en los MOSFET?

(j) ¿Qué es exactamente el "efecto de cuerpo"?

4.2 Considere un MOS-C de compuerta de polisilicio, donde $E_F - E_c = 0.2$ eV en la compuerta fuertemente contaminada y $E_F - E_c = -0.2$ eV en el sustrato de silicio no degenerado. Suponga que la estructura es ideal (por supuesto no de $\phi_{MS} \neq 0$) y χ'(polisilicio) = χ'(silicio cristalino).

(a) Bosqueje el diagrama de bandas de energía para la compuerta de polisilicio MOS-C en condiciones de banda plana.

(b) ¿Cuál es la diferencia de función de trabajo "metal-semiconductor" para el citado MOS-C de compuerta de polisilicio?

(c) ¿El MOS-C dado estará polarizado en acumulación, vaciamiento o inversión cuando $V_G = 0$? Explique.

(d) En una interfaz Si-SiO_2 suele aparecer una carga fija de óxido no nula. ¿Qué efecto tendría una $Q_F \neq 0$ en la interfaz *compuerta de polisilicio*-SiO_2, sobre las características *C–V* deducidas del MOS-C? Explique.

4.3 Al modelar el efecto cuantitativo de la carga fija suele suponerse que la carga está colocada en forma inmediatamente adyacente a la interfaz óxido-semiconductor. Suponga que la carga en realidad está distribuida a una corta distancia del óxido, desde la interfaz Si–SiO_2.

(a) Con fines de referencia, escriba el resultado estándar para ΔV_G (carga fija).

(b) Determine el desplazamiento de ΔV_G esperado, que es producido por una cantidad equivalente de carga distribuida en forma linealmente creciente desde cero a una distancia Δx desde la interfaz Si-SiO_2 hasta $2Q_F/\Delta x$ justo en la interfaz Si-SiO_2.

(c) Calcule ΔV_G(punto b)/ΔV_G(punto a) suponiendo que $\Delta x = 10$ Å $= 10^{-7}$ cm y $x_o = 0.1\ \mu m = 10^{-5}$ cm. Repita para $x_o = 0.01\ \mu m = 10^{-6}$ cm. Comente sus resultados.

4.4 (a) Se encuentra que un MOS-C presenta una distribución uniforme de iones de sodio en el óxido; es decir, $\rho_{ion}(x) = \rho_0$ = constante para todo x en el óxido. Calcule el desplazamiento ΔV_G resultante de esta distribución de iones si $\rho_0/q = 10^{18}/\text{cm}^3$ y $x_o = 0.1\ \mu m$.

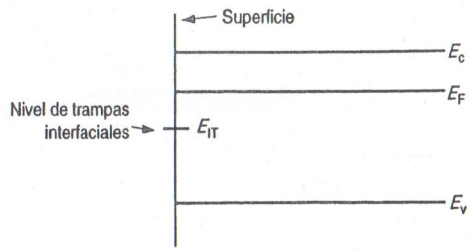


Figura P4.6

(b) Tras una excitación de polarización positiva y temperatura (+BT), los iones de sodio del punto (a) se acumulan justo en la interfaz óxido-semiconductor. Determine la ΔV_G producida por la excitación +BT.

4.5 Si se asocian trampas interfaciales con "enlaces colgantes" residuales en la superficie de Si, y si se supone que la cantidad de enlaces colgantes es proporcional a la cantidad de átomos en la superficie de Si, ¿cuál de los planos, el (100) o el (110), debería presentar la mayor densidad de trampas interfaciales? Relacione todo el desarrollo que lo lleve a la respuesta.

4.6 Un MOS-C de sustrato *n* (bastante inusual) tiene trampas interfaciales de una sola energía dentro del GAP, E_{IT}, ubicado justamente en la mitad de éste (véase la Fig. P4.6). Suponiendo un MOS-C por lo demás ideal y una medida *C–V* de alta frecuencia,

(a) Trace la forma general esperada de la característica *C–V* del MOS-C si los estados de interfaz que dan lugar al nivel E_{IT} son de naturaleza donadora. (Suponga que la cantidad de estados es suficientemente grande como para perturbar las características del dispositivo ideal.)

(b) Repita el punto (a) si los estados de interfaz son de naturaleza aceptadora.

(c) Repita el punto (a) suponiendo que los estados de interfaz son de tipo donador, pero con un nivel de energía muy próximo a la banda de conducción (digamos $E_c - E_{IT} = 0.001$ eV).

(d) Repita el punto (a) para trampas interfaciales de tipo donador que introducen un nivel de energía muy cercano a la banda de valencia (digamos $E_{IT} - E_v = 0.001$ eV).

Si es necesario, agregue algunas palabras de explicación para mostrar su proceso de razonamiento y evitar una interpretación errónea de sus planteamientos. Así mismo, analice brevemente sus resultados.

4.7 Para fines didácticos, un profesor universitario planea construir un MOS-C de sustrato *n* con un voltaje de banda plana (V_{FB}) igual a cero. El instructor piensa utilizar oro como material de compuerta y obleas de Si (100) con $N_D = 10^{15}/\text{cm}^3$. Se sabe que el proceso de fabricación da $Q_F/q = 6 \times 10^{10}/\text{cm}^2$, $Q_M/q = 2 \times 10^{11}/\text{cm}^2$ y una constante $D_{IT} = 2 \times 10^{10}/\text{cm}^2\text{-eV}$ para todas las energías de la banda prohibida. Las trampas interfaciales son de tipo aceptador en la mitad superior del GAP y de tipo donador en

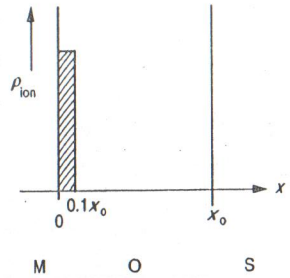


Figura P4.7

la mitad inferior de éste. El dispositivo está tratado con fósforo, de manera que los iones alcalinos terminan por distribuirse dentro del óxido en la forma indicada en la figura P4.7. Determine el espesor del óxido, x_0, que el instructor debe utilizar para obtener el $V_{FB} = 0$ deseado. Suponga $T = 300$ K.

4.8 Un MOSFET de canal *n* (sustrato *p*) es ideal excepto por $\phi_{MS} \neq 0$. Indique en qué forma afectarían al voltaje umbral V_T, cada una de las siguientes modificaciones de la estructura, tomadas de manera independiente. Incluya en cada caso algunas palabras explicativas.

(a) Radiación ionizante que produce una carga aparente $Q_F \neq 0$.

(b) Hay un aumento de la concentración de contaminación intencional en el sustrato.

(c) Se reduce el espesor del óxido.

(d) Se implantan iones de boro cerca de la región superficial del silicio.

4.9 En la figura P4.9(a) se esbozan las características I_D–V_D de un MOSFET previas a someterlo a polarización y temperatura. En la figura P4.9(b) se encuentran las características g_d–V_G ($V_D = 0$) del mismo dispositivo, *antes* y *después* de someterlo a polarización y temperatura.

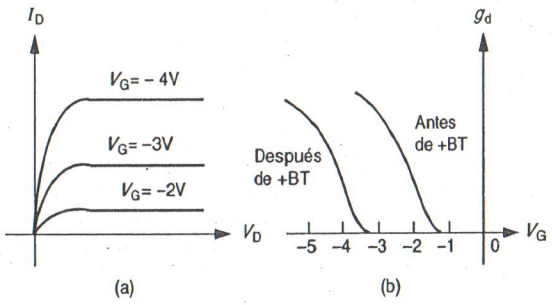


Figura P4.9

(a) ¿Cuál fue la probable causa del desplazamiento en las características g_d–V_G después de la excitación de polarización positiva y temperatura?

(b) Represente esquemáticamente las características I_D–V_D después de una situación de polarización positiva y temperatura, para voltajes de compuerta de $V_G = -2, -3$ y -4 V. Exponga también su razonamiento.

4.10 Se fabrica un MOSFET con $\phi_{MS} = -0.46$ V, $Q_F/q = 2 \times 10^{11}/\text{cm}^2$, $Q_M = 0$, $Q_{IT} = 0$ y $Q_I/q = -4 \times 10^{11}/\text{cm}^2$, $x_0 = 500$ Å, $A_G = 10^{-3}/\text{cm}^2$ y $N_D = 10^{15}/\text{cm}^3$. Q_I es la carga de iones implantados en forma inmediatamente adyacente a la interfaz Si–SiO_2.

(a) Determine V_{FB}.

(b) Determine V_T.

(c) ¿Es el MOSFET dado un dispositivo de modo de enriquecimiento o de modo de empobrecimiento? Explíquelo.

4.11 Dado un MOSFET de Al–SiO_2–Si, $T = 300$ K, con contaminación intencional del sustrato de Si de $N_A = 5 \times 10^{15}/\text{cm}^3$, $x_0 = 0.05$ μm, $Q_F/q = 10^{11}/\text{cm}^2$ sin trampas interfaciales ni iones móviles en el óxido. Determine la cantidad de iones/cm^2 de boro (N_I) que deben implantarse en la estructura para lograr un voltaje umbral de $V_T = 1$ V. (Suponga que los iones implantados crean una carga negativa agregada justo en la interfaz de Si–SiO_2.)

5 Estructuras FET modernas

Para alcanzar mayores velocidades de operación y mayores densidades en los chips, las estructuras de los dispositivos FET han sido sometidas a una creciente miniaturización. En sí misma, la reducción de las dimensiones de los dispositivos FET puede llevar a modificaciones importantes en sus características observables. Estos efectos de pequeña dimensión, también denominados efectos de canal corto o efectos de geometría "diminuta", comprenden, por ejemplo, desplazamientos del voltaje umbral y un incremento de la corriente subumbral. Las modificaciones citadas en el comportamiento del dispositivo son de capital importancia en las aplicaciones prácticas; por ejemplo, se requiere un conocimiento exacto del voltaje umbral necesario para poder determinar los niveles lógicos, los márgenes de ruido, la velocidad y los voltajes de nodo, mientras que la corriente subumbral afecta la disipación de potencia en el estado de corte, las velocidades del reloj en las lógicas dinámicas y los periodos de refresco de memoria. La mayor parte de este capítulo se dedica a la descripción y estudio de los efectos de pequeña dimensión. Desde el principio hay que entender que los efectos de pequeña dimensión son en general indeseables, y se minimizan o evitan en las estructuras comerciales a través de la elección de la escala adecuada en las dimensiones o modificaciones de los dispositivos cuando éstos se diseñan. Respecto al diseño de dispositivos, el capítulo concluye con un breve recorrido de las estructuras de FET desarrolladas y construídas.

5.1 EFECTOS DE PEQUEÑA DIMENSIÓN

5.1.1 Introducción

En 1965 los MOSFET más pequeños tenían una $L \sim 1$ mil $= 25$ μm. En 1990 las versiones industriales de estructuras de dispositivos MOS hacen alarde de dimensiones inferiores al micrón. En la figura 5.1 se representa en forma esquemática el avance permanente hacia FET cada vez más pequeños.

Si se observan las características I_D–V_D, se tiene una buena ilustración sobre los cambios de comportamiento respecto al de canal largo notados al disminuir las dimensiones de los dispositivos. El aumento significativo en la inclinación de la pendiente de las zonas de saturación de las curvas I_D–V_D anuncia el *inicio* de los efectos de canal corto. Los efectos *drásticos* asociados al canal corto generan características de la forma que se reproduce en la figura 5.2. No sólo no alcanzan a saturar las características I_D–V_D, sino que aparecen curvas $I_D \propto V_D^2$ para voltajes de compuerta inferiores al umbral (el dispositivo de la figura 5.2 ¡debe estar "en corte" para $V_D > 0$ V!). Otra clara manifestación de los efectos de canal corto la brindan las características de transferencia para voltajes

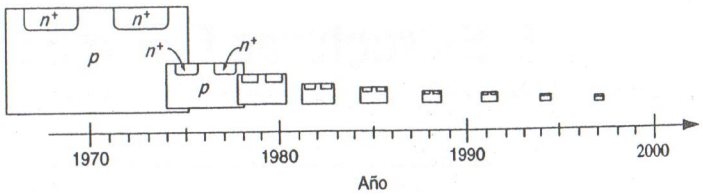


Figura 5.1 El MOSFET que se "encoge" ilustra la disminución histórica del tamaño mínimo de los DRAM MOS de línea de producción (dibujado a escala).

menores que el umbral. En la figura 3.11 se presentó un ejemplo de característica subumbral para un canal largo. En los MOSFET de canal largo, la corriente subumbral varía de manera exponencial con V_G, y es independiente de V_D siempre y cuando $V_D >$ unos pocos kT/q volts. En cambio, en dispositivos de canal corto se encuentra que la corriente subumbral de drenaje aumenta en forma sistemática y significativa con el incremento de V_D. Los desplazamientos del voltaje umbral observado constituyen la tercera indicación, ampliamente divulgada, sobre los efectos de pequeña dimensión. Como puede confirmarse al ver la relación de V_T en la subsección 4.3.1, el voltaje umbral de un MOSFET de canal largo es independiente de la longitud y el ancho de la compuerta. En dispositivos de canal corto, V_T se hace función de las dimensiones de la compuerta y de las polarizaciones aplicadas (véase la Fig. 5.3).

La mayoría de los efectos de pequeña dimensión de los MOSFET están asociados con la reducción de la longitud L del canal. Por lo tanto, es razonable introducir y especificar una longitud mínima de canal, $L_{mín}$, por debajo de la cual se espera que ocurran fenómenos de canal corto significativos. Dicho claramente, $L_{mín}$ debe ser mayor que la suma de los anchos de vaciamiento asociados con las uniones de fuente y de drenaje. Por supuesto,

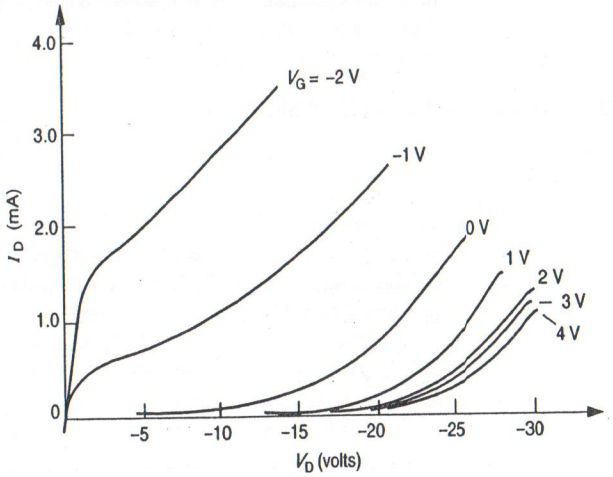


Figura 5.2 Características I_D–V_D de un MOSFET que tiene acusados efectos de canal corto. [Reproducido con autorización de *Solid-State Electronics*, **17**, I.M. Bateman, G.A. Armstrong y J.A. Magowan, © 1974 Pergamon Press plc.]

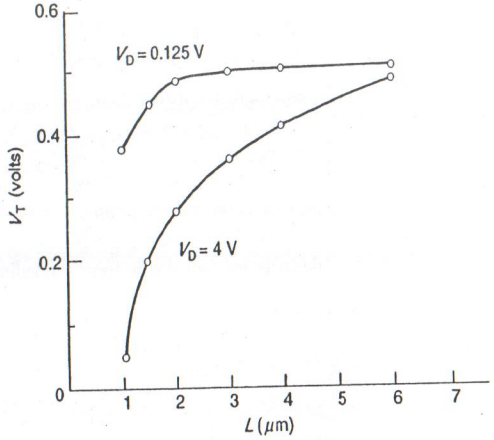


Figura 5.3 Variación del voltaje umbral observada con longitud de canal y polarizaciones de drenaje aplicadas en MOSFET de canal corto. $N_A = 8 \times 10^{15}/\text{cm}^3$, $x_o = 0.028$ μm y $r_j = 1$ μm. [Adaptado de W. Fichtner y H. W. Potzl. *Int. J. Electron.*, **46**, 33, 1979.]

los valores comprendidos entre 0.1 μm y 1 μm están indicados. Como lo sugieren las simulaciones en computador y lo confirman las observaciones experimentales, la relación empírica siguiente,* proporciona una estimación más precisa de $L_{mín}$:

$$L_{mín} = 0.4[r_j x_o (W_S + W_D)^2]^{1/3} \qquad \ldots x_o \text{ in Å; } L_{mín}, r_j, W_S, W_D \text{ in } \mu\text{m} \tag{5.1}$$

r_j es la profundidad de la unión de fuente / drenaje, x_o es el espesor del óxido, W_S el ancho de vaciamiento en la unión de fuente y W_D es el ancho de vaciamiento en la unión de drenaje. Nótese, de la ecuación (5.1), que $L_{mín}$ se puede reducir disminuyendo la profundidad de las islas de fuente y drenaje, disminuyendo el espesor del óxido y aumentando la contaminación del sustrato, que a su vez produce una reducción de W_S y W_D. De hecho, todos estos procedimientos se utilizaron para asegurar el comportamiento de canal largo de los MOSFET, al ir reduciéndose la escala de las dimensiones.

Las causas que pueden producir un alejamiento de la operación deseada con respecto al comportamiento de canal largo caen dentro de alguna de tres categorías generales. En primer lugar, las diferencias entre la experiencia y la teoría sobre el canal largo pueden provenir simplemente por no ser ya aplicables las hipótesis utilizadas en el análisis sobre el canal largo. En segundo lugar, la reducción de las dimensiones del dispositivo lleva automáticamente a un aumento de ciertos efectos que se sabe ocurren, pero que son despreciables en dispositivos de canal largo. Por último, algunas discrepancias respecto al comportamiento de canal largo provienen de fenómenos totalmente nuevos. Las tres categorías aparecen en el siguiente estudio de esos efectos para algunos casos específicos.

* J.R. Brews, W. Fichtner, E.H. Nicollian y S.M. Sze, "Generalized Guide for MOSFET Minimization", *IEEE Electron Device Lett.*, **EDL-1**, 2, 1980.

5.1.2 Modificación del voltaje umbral

Canal corto

En el modo de enriquecimiento, se halla que en los dispositivos de canal corto $|V_T|$ es monótonamente decreciente con la disminución de longitud del canal L. Desde el punto de vista cualitativo, esa reducción del voltaje umbral se puede explicar del modo siguiente: antes de que se forme una capa de inversión o un canal bajo la compuerta, primero debe vaciarse la región de subcompuerta ($W \Rightarrow W_T$). En un dispositivo de canal corto, la fuente y el drenaje cooperan en el vaciamiento de la región que está bajo la compuerta; es decir, una parte significativa de la carga de la zona de vaciamiento de subcompuerta queda equilibrada por la carga del otro lado de las uniones *pn* de la fuente y del drenaje. Así, se requiere menos carga de compuerta para alcanzar el comienzo de la inversión, y $|V_T|$ decrece. Cuanto más pequeña sea L, mayor será el porcentaje de carga compensada por las uniones *pn* de fuente y drenaje y mayor también la reducción de $|V_T|$.

Con base en la argumentación geométrica simple, se puede lograr una expresión cuantitativa de primer orden para la ΔV_T asociada con los efectos de canal corto. Aun cuando está sumamente simplificada, la deducción que se presenta es muy interesante en el sentido de que ilustra el método general de análisis. Esta deducción también indica cómo en la especificación de los efectos de canal corto entran parámetros como la profundidad de la unión de fuente y de drenaje.

Como se estableció antes, para un dispositivo ideal,

$$V_G = \phi_S + \frac{K_S}{K_O} x_o \mathscr{E}_S \tag{5.2}$$

Sea Q_S la carga total/cm^2 dentro del semiconductor. Si se aplica la ley de Gauss, es fácil establecer que

$$Q_S = -K_S \varepsilon_0 \mathscr{E}_S \tag{5.3}$$

Por lo tanto, si se combinan las ecuaciones (5.2) y (5.3), se llega a

$$V_G = \phi_S - \frac{x_o Q_S}{K_O \varepsilon_0} = \phi_S - \frac{Q_S}{C_o} \tag{5.4}$$

cuando $V_G = V_T$, $\phi_S = 2\phi_F$ y $Q_S = Q_B$, donde Q_B es la carga en el sustrato o zona de vaciamiento, por unidad de área de la compuerta. Referida al punto umbral, la ecuación (5.4) se hace

$$V_T = 2\phi_F = \frac{Q_B}{C_o} \tag{5.5}$$

Si ahora se introduce

$$\Delta V_T \equiv V_T \text{ (canal corto)} - V_T \text{ (canal largo)} \tag{5.6}$$

Denominando Q_{BL} y Q_{BS} a las cargas/cm^2 de zona de vaciamiento para el canal largo y el canal corto, respectivamente, y haciendo uso de la ecuación (5.5), se obtiene

$$\Delta V_T = -\frac{1}{C_o}(Q_{BS} - Q_{BL}) = \frac{Q_{BL}}{C_o}\left(1 - \frac{Q_{BS}}{Q_{BL}}\right) \tag{5.7}$$

Para completar la deducción, hay que llegar a expresiones de Q_{BL} y Q_{BS} en función de los parámetros del dispositivo. Para conseguirlo, consideremos el MOSFET de canal corto tipo *n* que aparece en la figura 5.4. Para simplificar el análisis, se supone que V_D es pequeña o cero de manera que $W \cong W_T$ en todos los puntos por debajo de la zona central de la compuerta. Las áreas sombreadas de la figura representan las porciones de la región de subcompuerta, que se suponen controladas por las uniones *pn* de fuente y de drenaje. En un dispositivo de canal largo, la carga en toda la región rectangular de longitud igual a L está compensada por las cargas en la compuerta, y

$$Q_{BL} = -\frac{qN_A(ZLW_T)}{ZL} = -qN_A W_T \tag{5.8}$$

Por supuesto, ZLW_T es el volumen de la zona de vaciamiento y ZL es el área de la compuerta. En un dispositivo de canal corto, la carga de la zona de vaciamiento controlada por la compuerta estará confinada a la región trapezoidal de las longitudes laterales L y L'. Entonces,

$$Q_{BS} = -\frac{qN_A\left[\frac{1}{2}(L + L')ZW_T\right]}{ZL} = -qN_A W_T \frac{L + L'}{2L} \tag{5.9}$$

Reemplazando las expresiones de Q_{BL} y Q_{BS} en la ecuación (5.7), se tiene

$$\Delta V_T = -\frac{qN_A W_T}{C_o}\left(1 - \frac{L + L'}{2L}\right) \tag{5.10}$$

Luego, observando la región de la fuente de la figura 5.4 y suponiendo que $W_S \cong W_T$, por consideraciones geométricas, se deduce que

$$(r_j + W_T)^2 = \left(r_j + \frac{L - L'}{2}\right)^2 + W_T^2 \tag{5.11}$$

que una vez resuelta da

$$L' = L - 2r_j\left[\sqrt{1 + \frac{2W_T}{r_j}} - 1\right] \tag{5.12}$$

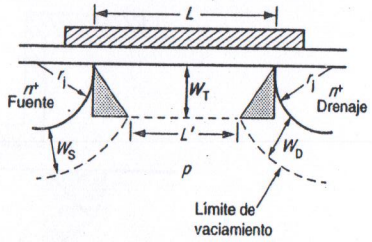


Figura 5.4 Vista transversal de un MOSFET, que identifica los parámetros que intervienen en el análisis de canal corto. Las porciones sombreadas del área de subcompuerta se suponen controladas por las uniones *pn* de fuente y de drenaje. Se supone también que $V_D \cong 0$.

Finalmente, se elimina L' en la ecuación (5.10) y se utiliza la ecuación (5.12) para concluir que

$$\boxed{\Delta V_T \text{ (canal corto)} = -\frac{qN_A W_T}{C_o}\frac{r_j}{L}\left(\sqrt{1+\frac{2W_T}{r_j}}-1\right)} \qquad (5.13)$$

Aunque se trata de un resultado al primer orden, la ΔV_T proporcionada por la ecuación (5.13) presenta la misma dependencia paramétrica que se hizo notar en el análisis sobre la $L_{mín}$. Si se examina la relación $\Delta V_T/V_T$ (de canal largo), que es una magnitud relevante para evaluar la importancia de los efectos de canal corto, se vuelve a encontrar que los efectos se minimizan reduciendo x_o o r_j, y aumentando N_A.

Canal estrecho

El ancho lateral Z de un MOSFET, cuando se hace comparable al ancho de vaciamiento del canal W_T, afecta también al valor del voltaje umbral. En dispositivos estrechos en modo de enriquecimiento, se halla que $|V_T|$ *crece* monótonamente con la reducción de anchura Z del canal. Obsérvese que la dependencia de Z del desplazamiento del voltaje umbral es opuesta a la dependencia de L. Sin embargo, el efecto de canal estrecho se explica casi del mismo modo que el efecto de canal corto. Con referencia a la vista lateral de un MOSFET que hay en la figura 5.5, nótese que la región de vaciamiento controlada por la compuerta se extiende hacia el costado, quedando en parte fuera del ancho Z de la compuerta. En dispositivos de canal amplio, la carga controlada por la compuerta en la región lateral es por completo despreciable. En cambio, en dispositivos de canal estrecho la carga lateral se hace comparable con la carga que está directamente debajo del ancho Z de la compuerta; esto es, hay un aumento de carga efectiva/cm^2 que está equilibrada por la carga de la compuerta. Entonces, se requiere una carga de compuerta adicional para alcanzar el comienzo de la inversión, y $|V_T|$ aumenta.

En forma similar a la deducción del efecto de canal corto, se puede establecer con facilidad una expresión cuantitativa de ΔV_T asociada con el efecto de canal estrecho. Si se supone que las regiones laterales son cuartos de cilindro de radio W_T, el volumen lateral controlado por la compuerta es $(\pi/2)W_T^2L$ y

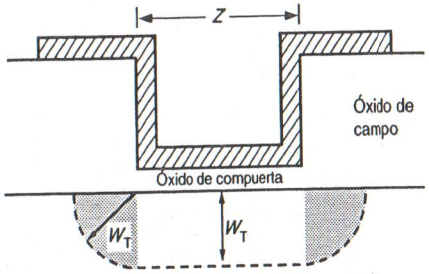


Figura 5.5 Vista lateral de un MOSFET, utilizada para explicar y analizar el efecto de canal estrecho.

$$Q_B \text{ (canal estrecho)} = -\frac{qN_A\left(ZLW_T+\frac{\pi}{2}W_T^2L\right)}{ZL} = -qN_AW_T\left(1+\frac{\pi}{2}\frac{W_T}{Z}\right) \qquad (5.14)$$

Si Q_{BS} se reemplaza en la ecuación (5.7) por Q_B de canal estrecho, se concluye con rapidez que

$$\boxed{\Delta V_T \text{ (canal estrecho)} = \frac{qN_AW_T}{C_o}\frac{\pi W_T}{2Z}} \qquad (5.15)$$

Este resultado confirma la afirmación previa de que el efecto de canal estrecho se vuelve importante cuando Z es comparable a W_T.

Como conclusión, debe hacerse notar que hay que establecer un efecto combinado de ΔV_T para aquellos MOSFET que tienen un canal corto y estrecho. Las ΔV_T de canal corto y estrecho no son simplemente aditivas. En la literatura sobre estos dispositivos* se pueden encontrar el efecto combinado de ΔV_T y expresiones más exactas de ΔV_T para los efectos individuales.

5.1.3 Acción BJT parásita

Al contener una región con contaminación intencional opuesta entre la fuente y el drenaje, el MOSFET tiene una sorprendente similitud física con un transistor bipolar de unión (BJT) lateral. Así, cuando en un MOSFET moderno la distancia entre la fuente y el drenaje se reduce a un valor comparable con el ancho de la base de un transistor bipolar de unión, no es sorprendente que los fenómenos observados estén normalmente asociados al funcionamiento de los BJT.

Uno de tales fenómenos es la *perforación* de fuente a drenaje (*punch-through*). Cuando la fuente y el drenaje están separados por unas pocas micras o aun menos, es posible que las regiones de vaciamiento de las uniones *pn* que rodean la fuente y el drenaje se lleguen a tocar o "perforar", como se muestra en la figura 5.6. Cuando se produce la perforación

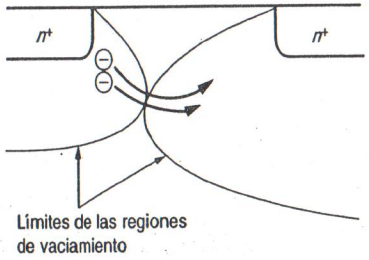


Figura 5.6 Perforación y corriente de carga de espacio en un MOSFET de canal corto.

* Véase por ejemplo T.A. DeMassa y H.S. Chien, "Threshold Voltage of Small-Geometry Si MOSFETs", *Solid-State Electronics*, **29**, 409, 1986.

o comunicación, tiene lugar un significativo cambio en el funcionamiento del MOSFET. Principalmente, la compuerta pierde el control de la región de la subcompuerta, excepto por una pequeña porción de la región, que es inmediatamente adyacente a la interfaz Si-SiO_2. La corriente de fuente a drenaje ya no queda circunscrita a la superficie del canal, sino que comienza a fluir bajo la superficie, a través de las zonas de vaciamiento vecinas que se hallan en contacto. En forma análoga a la corriente de perforación en los BJT, esta corriente de "carga espacial" por debajo de la superficie varía de acuerdo con el cuadrado del voltaje aplicado entre la fuente y el drenaje. Las características $V_G > 0$ que se presentan en la figura 5.2 son ejemplos de la corriente $I_D \propto V_D^2$, resultante de la perforación de fuente a drenaje.

Como solución práctica, la perforación en los MOSFET de pequeñas dimensiones habitualmente se evita, incrementando la contaminación intencional de la región de subcompuerta y reduciendo así los anchos de vaciamiento de fuente y drenaje. Esto se puede lograr aumentando la contaminación del sustrato. Sin embargo, esto último tiene el inconveniente de aumentar las capacidades parásitas. En consecuencia, es práctica habitual realizar una implantación iónica profunda para incrementar de manera selectiva la contaminación en la región de subcompuerta.

La acción parásita de los BJT, que implica una *multiplicación de portadores y una retroalimentación regenerativa*, lleva a una segunda perturbación, potencialmente significativa, de las características de los MOSFET. En todos los MOSFET se produce cierta multiplicación de portadores en la región de vaciamiento con campo elevado, cerca del drenaje. En los dispositivos de canal largo esa multiplicación es despreciable. Sin embargo, en los dispositivos de canal corto la multiplicación de portadores, combinada con la retroalimentación regenerativa, puede incrementar en forma considerable la corriente de drenaje y fijar un límite restringido a la V_D máxima de operación. Aun en condiciones extremas se puede producir la destrucción del dispositivo.

El mecanismo de multiplicación y retroalimentación que se produce en MOSFET pequeños es muy similar al que reduce BV_{ECO} respecto a BV_{BCO}, en un BJT (véase la Subsec. 3.3.2 del libro de Neudeck, G.W., *The Bipolar Junction Transistor**). Con ayuda de la figura 5.7 se puede describir y explicar mejor el mecanismo básico. El proceso se inicia con la corriente del canal que entra a la región de campo elevado en la vecindad del drenaje. Al acelerarse en la región de campo elevado, un pequeño porcentaje de los portadores del canal gana suficiente cantidad de energía como para producir pares electrón-hueco a través de ionización por impacto. En un dispositivo de canal *n*, los electrones generados se desplazan hacia el drenaje, mientras que los huecos generados son desplazados hacia la región casi neutra del sustrato. Como el sustrato semiconductor tiene resistencia finita, el flujo de corriente asociado con los huecos generados por la ionización da lugar a una caída de tensión entre el borde de la región de vaciamiento y el contacto posterior. Esta caída de potencial es de signo tal que polariza directamente la unión *pn* de fuente. A su vez, la polarización directa de la unión *pn* de fuente lleva a una inyección de electrones desde la unión *pn* de fuente hasta la región casi neutra del sustrato, y en consecuencia a un flujo adicional de electrones hacia el drenaje, después a una multiplicación de portadores, etcétera. El proceso es estable siempre y cuando la fracción

* La obra citada, publicada originalmente en inglés por Addison-Wesley, se encuentra disponible en español en la serie Temas Selectos de Ingeniería de Addison-Wesley Iberoamericana. (*N. del E.*)

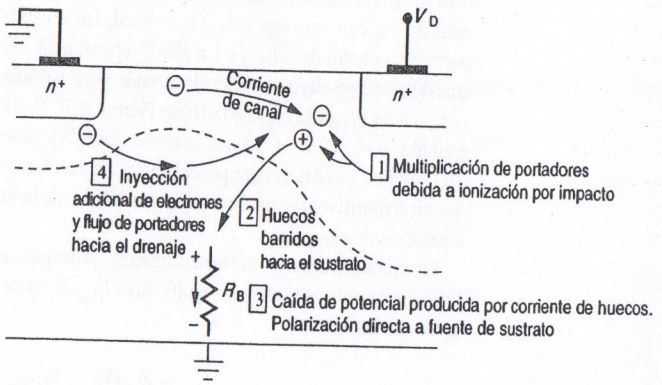


Figura 5.7 Vista de la multiplicación de portadores y de la retroalimentación regenerativa, que pueden dar lugar a un incremento de la corriente en un MOSFET de canal corto.

del incremento de la corriente de drenaje, o factor de multiplicación, sea inferior a $1/\alpha$, donde α es la ganancia de base común del BJT parásito. Para corrientes grandemente incrementadas el flujo de corriente puede ser excesivo para una polarización dada y el dispositivo se destruye.

5.1.4 Efectos de portadores altamente energéticos

Carga del óxido

La carga del óxido, o inyección de cargas y captura en el óxido, es un fenómeno que ocurre en todos los MOSFET. Cerca del drenaje en condiciones de operación, los portadores del canal y los portadores que entran a la zona de vaciamiento del drenaje desde el sustrato, obtienen en forma periódica una cantidad de energía suficiente como para superar la barrera superficial de Si-SiO_2 y entrar al óxido. Los centros neutros del óxido capturan una parte de la carga inyectada, con lo cual hacen que se produzca una acumulación de carga en el óxido. En los dispositivos de canal largo, la carga en el óxido es la causa conocida de la deriva de la ruptura (*walkout*): un incremento de la ruptura del drenaje con el tiempo en los MOSFET que operan con polarizaciones V_D elevadas. Por desgracia, los efectos de la carga de óxido en los MOSFET de canal corto son mucho más serios. Esto sucede porque en los dispositivos más pequeños se afecta un porcentaje mayor de la región controlada por la compuerta. Concretamente, pueden producirse cambios significativos de V_T y g_m como resultado del fenómeno de cargas en el óxido. Además, como la carga en el óxido es un fenómeno acumulativo en el tiempo, el fenómeno tiende a limitar la "vida" útil de un dispositivo y debe ser minimizado. En la subsección 5.2.1 se describe un método muy común para reducir los efectos de los portadores energéticos, que es la formación de un drenaje levemente contaminado (LDD, *lightly doped drain*).

Saturación de la velocidad

En el análisis convencional del MOSFET de canal largo no hay una limitación teórica de la velocidad que los portadores pueden adquirir en el canal superficial. Se supone de ma-

nera implícita que las velocidades de los portadores aumentan, según se necesite, para mantener la corriente esperada. En realidad, las velocidades de desplazamiento de los portadores dentro del silicio a $T = 300$ K alcanzan un valor máximo de $v_{dsat} \cong 10^7$ cm/s cuando el campo eléctrico acelerador excede $\sim 3 \times 10^4$ V/cm para electrones y $\sim 10^5$ V/cm para huecos (véase la Fig. 3.4 del libro Pierret, R.F., *Semiconductor Fundamentals*). Por ejemplo, si $V_D = 5$ V y $L = 1$ μm, es obvio que habrá puntos en la superficie del canal del MOSFET en los cuales el campo acelerador sea mayor o igual que 5×10^4 V/cm. Está claro que en dispositivos de canal corto hay posibilidad de limitación de corriente de canal por saturación de velocidad.

La saturación de velocidad tiene dos efectos principales en las características observadas. Primero, se reduce de manera significativa I_{Dsat}. El valor de I_{Dsat} modificado es descrito aproximadamente por

$$I_{Dsat} \cong ZC_o(V_G - V_T)v_{dsat} \tag{5.16}$$

Segundo, como se puede inferir de la ecuación (5.16) y se ilustra en la figura 5.8, la corriente de saturación presenta una dependencia casi lineal respecto a $V_G - V_T$, a diferencia de la dependencia de la ley cuadrática convencional.

Transporte balístico

En la descripción del desplazamiento de los portadores en la superficie del canal de los MOSFET que se hizo en el capítulo 3, se supuso implícitamente que los portadores sufrían numerosas colisiones al viajar entre fuente y drenaje. Esto equivale a suponer que la longitud del canal (L) es mucho mayor que la distancia media (l) entre colisiones. Está

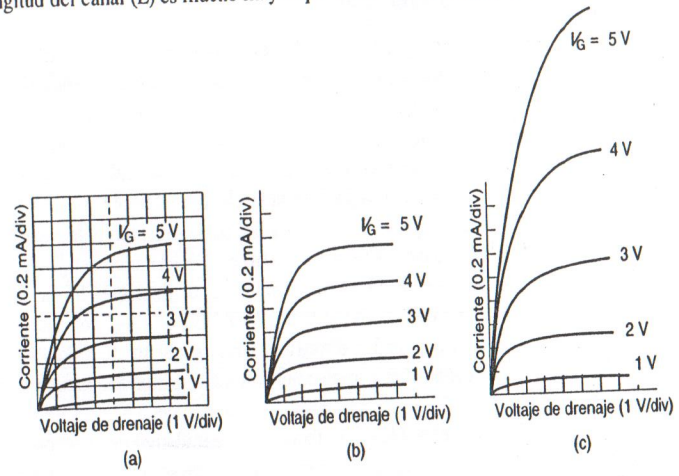


Figura 5.8 Ilustración de los efectos de la saturación de velocidad en las características I_D–V_D del MOSFET. (a) Características experimentales obtenidas de un MOSFET de canal corto con $L = 2.7$ μm, $x_o = 0.05$ μm, $r_j = 0.4$ μm y N_A (sustrato) $\cong 10^{15}$/cm^3. Características teóricas comparadas calculadas (b) incluyendo la velocidad de saturación y (c) ignorando la velocidad de saturación. [De K. Yamaguchi, *IEEE Trans. on Electron Devices*, **ED-26**, 1068, © 1979 IEEE.]

claro que si la longitud del canal del MOSFET se reduce a un valor comparable con l, habrá que realizar revisiones fundamentales en la formulación analítica. Sin embargo, es todavía más importante que si se pudieran construir estructuras de dimensiones aún menores, con $L < l$, un gran porcentaje de los portadores podría viajar de la fuente al drenaje sin experimentar una sola colisión. Este desplazamiento, tan parecido al de un proyectil, se denomina *transporte balístico.*

Es teóricamente posible observar efectos balísticos en estructuras de GaAs en las cuales $L \leq 0.3$ μm. En dispositivos de Si se requieren distancias un poco más cortas. En laboratorios de investigación se han construido FET de Si y de GaAs experimentales con longitudes de canal ~ 0.1 μm. Así, en la actualidad la tecnología moderna permite lograr estructuras FET con valores de $L \leq l$.

En términos prácticos, el transporte balístico es de interés porque podría llevar a dispositivos superrápidos. Sin la limitación de las colisiones, la velocidad media de los portadores que atraviesan el canal podría ser superior a v_{dsat}. Por desgracia hay otras consideraciones, como el funcionamiento de la inyección de fuente, que a menudo limitan el comportamiento del dispositivo. No obstante, se han observado efectos balísticos y el transporte balístico seguirá investigándose.

5.2 REVISIÓN DE ESTRUCTURAS TIPO

Al estudiar el MOSFET se utilizó la estructura básica, en modo de enriquecimiento. El uso de la estructura básica permite centrarse en el desarrollo de los conceptos y la comprensión de los fenómenos. Naturalmente, dada la madurez actual de la tecnología de los MOSFET, hay una cantidad significativa de variantes distintas en los dispositivos. Se han realizado modificaciones de la estructura básica para resolver problemas determinados o para mejorar una característica específica del dispositivo. También es cierto que los dispositivos FET de todos los tipos, fabricados con GaAs, siempre difieren formalmente de los fabricados con Si. En esta sección se incluye un breve examen de una selección de estructuras FET de Si y de GaAs para dar una idea de la variedad que existe; se incluye también la naturaleza de las modificaciones. Debe destacarse que las estructuras examinadas constituyen tan sólo una muestra, con una polarización hacia estructuras que es más probable encontrar en la literatura reciente sobre FET.

5.2.1 FET de Si

Transistores LDD*

Como se describió en la sección precedente, los dispositivos de dimensiones más reducidas muestran mayor sensibilidad a los efectos de los portadores energéticos. La inyección con auxilio del campo eléctrico y la ulterior captura de portadores en el óxido de compuerta cercano al drenaje pueden llevar a una seria degradación del dispositivo.

* Para una revisión exhaustiva del LDD y de estructuras similares, véase J.J. Sanchez, K.K. Hsueh y T.A. DeMassa, "Drain-Engineered Hot-Electron Resistant Device Structures: a Review", *IEEE Trans. on Electron Devices*, 36, 1125, junio de 1989.

Estos efectos de degradación se agravan debido a la práctica habitual de utilizar voltajes de polarización que no se han ajustado a las dimensiones del dispositivo. La estructura de drenaje levemente contaminado (LDD) que se ve en la figura 5.9 ayuda a reducir los efectos de los portadores altamente energéticos. Aquí lo destacable es la región de drenaje levemente contaminada que está colocada entre el final del canal y el drenaje en sí (la región n^- en la Fig. 5.9). Al ir del canal al drenaje en sí, este gradiente de concentración reducida disminuye el campo $\mathscr{E}$ en la vecindad del drenaje y desplaza la posición del pico del campo $\mathscr{E}$ hacia el extremo del canal. En consecuencia, la inyección de portadores en el óxido se reduce, con lo cual la carga de óxido correspondiente se hace menor.

DMOS

En la figura 5.10 se ve una estructura de MOSFET de doble difusión (DMOS). Esta estructura se distingue porque la diferencia en extensión lateral de los dos perfiles de impurezas forma la región del canal y especifica la longitud de él. Se realiza en el Si una contaminación tipo p (p. ej., boro) y otra tipo n (p. ej., fósforo) a través de la apertura en la misma máscara del óxido. La impureza tipo p, que se introduce primero, se difunde en forma levemente más profunda y más hacia el lateral, que la impureza tipo n. El resultado es la formación simultánea de las regiones de fuente y drenaje, como se puede ver con claridad en la sección transversal ampliada de la figura 5.10(b). La característica física más importante del DMOS es una longitud de canal corto ($\sim 1\ \mu$m) que puede establecerse sin utilizar máscaras litográficas diminutas. La estructura DMOS se destaca por presentar funcionamiento a alta frecuencia, combinado con un voltaje de ruptura de drenaje elevado. Se ha utilizado en aplicaciones analógicas de alta frecuencia y en circuitos de alto voltaje y alta potencia. Aunque apenas se introdujo a principios de la década de 1970, se continúan desarrollando variantes de esta estructura, sobre todo estructuras DMOS de potencia.

MOSFET de canal enterrado

En la figura 5.11 se pueden ver la sección transversal de un MOSFET de canal enterrado y el perfil aproximado de contaminado de la "subcompuerta" dentro del transistor. Su peculiaridad estructural única, una capa superficial por debajo de la compuerta con la misma contaminación de las islas de fuente y de drenaje, suele formarse por implantación iónica. Con una compuerta de unión pn debajo y una compuerta MOS encima, el MOSFET de canal enterrado es física y funcionalmente una estructura híbrida J-FET/MOSFET. Se puede diseñar para funcionar como dispositivo en modo de enriquecimiento o en modo

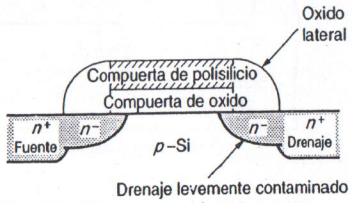


Figura 5.9 Sección transversal de una estructura de drenaje levemente contaminado (LDD).

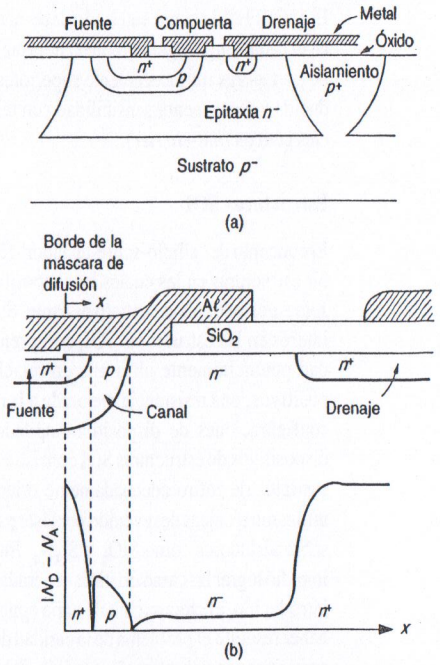


Figura 5.10 (a) Sección transversal de una estructura DMOS. (b) Sección transversal ampliada que muestra la región del canal y el perfil de contaminación lateral. [De M.D. Pocha, A. G. González y R.W. Dutton, *IEEE Trans. on Electron Devices*, **ED-21**, 778, © 1974 IEEE.]

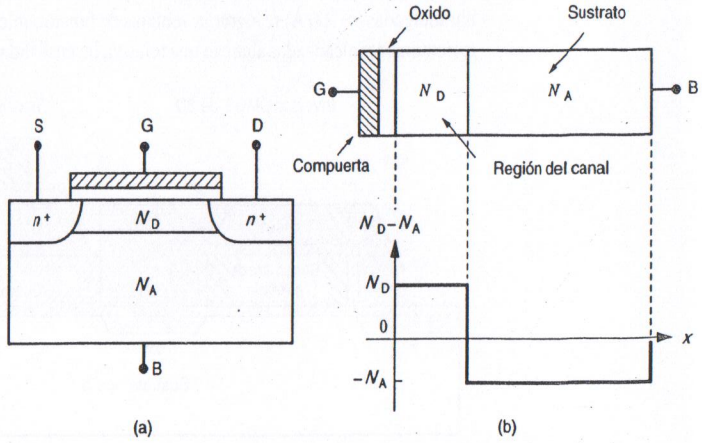


Figura 5.11 (a) Sección transversal de un MOSFET de canal enterrado. (b) Perfil aproximado de la contaminación bajo la compuerta. [Adaptado de M.J. Van der Tol y S.G. Chamberlain, *IEEE Trans. on Electron Devices*, **36**, 670, © 1989 IEEE.]

de empobrecimiento, de acuerdo con el espesor y la contaminación de la capa superficial. El MOSFET de canal enterrado debe su nombre a que se puede hacer que la conducción en el canal tenga lugar lejos de la interfaz óxido-semiconductor. Esto lleva a movilidades de portadores intrínsecamente superiores, a una interacción de trampas interfaciales reducida y a una menor sensibilidad con respecto a los efectos de los portadores altamente energéticos (*hut-carrier*).

Estructuras SOI

El concepto de "silicio-sobre-aislador" (SOI, *Silicon-on-insulator*) se utiliza para describir estructuras en las cuales los dispositivos se fabrican con capas de Si que se forman *sobre* una película o sustrato aislante. Sus ventajas tradicionales, que han mantenido el interés en las estructuras SOI, comprenden bajas capacidades parásitas y una velocidad potencialmente ultra-alta en relación con el aislamiento dieléctrico de los dispositivos, una resistencia mejorada a la radiación, y la excitante posibilidad de construir configuraciones de dispositivos apilados o de "3D". Las primeras realizaciones de dispositivos de estructuras SOI consistían en películas cristalinas de Si depositadas sobre sustratos de zafiro adecuadamente orientados (SOS, *silicon on sapphire*). Después se utilizaron técnicas de revenido por láser para cristalizar películas de Si amorfo, depositadas sobre aisladores como SiO_2 y Si_3N_4. En ambos intentos la calidad de la película de Si impidió lograr las características esperadas. Sin embargo, un método de SOI recientemente introducido, el crecimiento de capa epitaxial (ELO, *epitaxial layer overgrowth*), parece haber resuelto el problema de la calidad de la película. Se perfora un orificio en el aislador para exponer una pequeña sección del sustrato de Si cristalino subyacente. Con ese sustrato, que actúa como semilla, se hace crecer Si en forma epitaxial a través de la abertura y lateralmente sobre el aislador. En la figura 5.12 se reproducen las secciones transversales adyacentes de un prototipo de inversor CMOS de 3D, que incorpora un transistor de canal *p* en una película ELO y un transistor SOI-PMOS individual.

Es necesario hacer notar que con los SOI-MOSFET fabricados con películas de Si ultradelgadas (~100 Å) se lograrán ventajas de funcionamiento adicionales. Las ventajas recientemente alcanzadas abarcan una relativa insensibilidad ante los efectos de pequeña

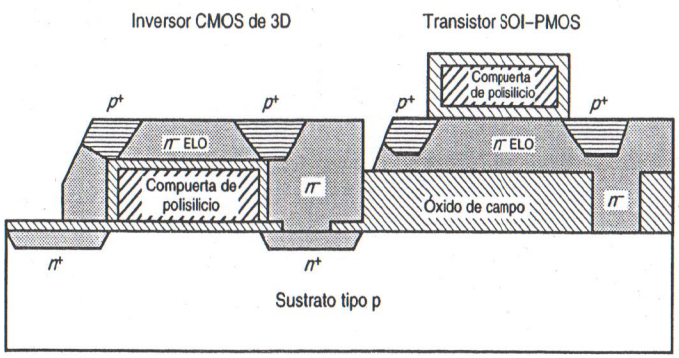


Figura 5.12 Secciones transversal de muestras de estructuras de silicio sobre aislador con películas ELO. [De J.A. Friedrich, M. Kastelic, G.W. Neudeck y C. G. Takoudis, *J. Appl. Phys.*, **65**, 1713, febrebro de 1989.]

dimensión y de portadores energéticos, una pendiente más pronunciada en las características de transferencia de subumbral, e inmunidad al "efecto de retorcimiento" (*kink effect*) (un indeseable efecto de "enrollamiento" de las características I_D–V_D que está presente siempre en los dispositivos fabricados con películas SOI más gruesas).

5.2.2 FET de GaAs

D-MESFET y E-MESFET

Como se hizo notar en la introducción general, las propiedades de transporte de electrones del GaAs son superiores a las del silicio. Por lo tanto, es de esperar que los FET de canal *n* de GaAs logren velocidades operativas superiores. Otras ventajas de los dispositivos de GaAs podrían ser sus niveles de ruido más reducidos, mayor tolerancia a la radiación y una temperatura de funcionamiento potencialmente más elevada. Por desgracia, la tecnología del GaAs carece de un aislante comparable al SiO_2 logrado por crecimiento térmico; hasta hoy no hay un verdadero equivalente en GaAs del MOSFET de silicio. Como alternativa se han desarrollado FET metal-semiconductor para uso en circuitos integrados de GaAs. En la figura 5.13(a) aparece el dispositivo de GaAs que es centro de la mayor actividad en los programas comerciales y de defensa, el D-MESFET o de modo de empobrecimiento, el cual ha alcanzado ya el nivel de producción en serie. En forma coherente con las designaciones del modo de empobrecimiento, por lo general el D-MESFET es un dispositivo de canal *n* con voltaje de umbral negativo. Sus valores típicos son $V_T = -0.5$ V a -1.0 V y longitudes de canal del orden de 1 μm. Por otro lado, el modo de enriquecimiento o E-MESFET [Fig. 5.13(b)] se fabrica de manera que el potencial de contacto asociado con el contacto metal-semiconductor sea suficiente para vaciar por completo el canal implantado. Por lo tanto, se hace necesario polarizar directamente la compuerta metal-semiconductor para que el E-MESFET inicie la conducción.

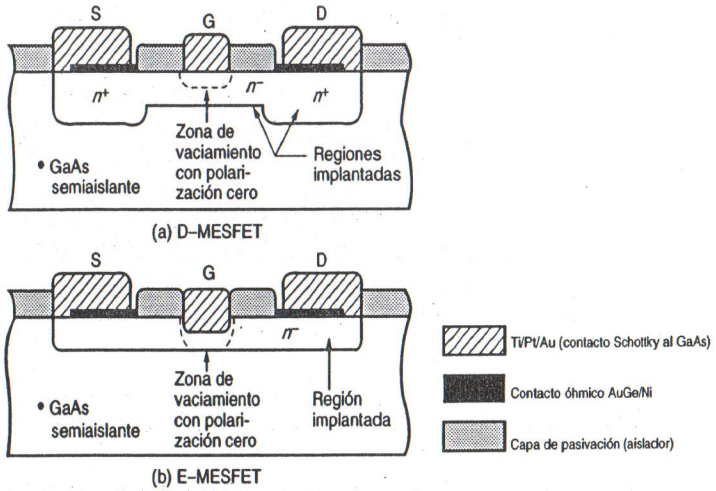


Figura 5.13 Estructura MESFET de GaAs. (a) Modo de empobrecimiento o D-MESFET; (b) Modo de enriquecimiento o E-MESFET.

Debido a esta operación de polarización directa de la compuerta, la variación de voltaje es extremadamente limitada (< 0.5 V) y el funcionamiento normal del IC puede tolerar sólo muy pequeñas variaciones de voltaje umbral (~25 mV) de dispositivo a dispositivo. Así, aunque el E-MESFET ofrece muchas ventajas asociadas a los circuitos, las dificultades de fabricación han limitado el uso de la estructura.

MODFET (HEMT)

La última estructura que se examinará es el transistor de efecto de campo de contaminación intencional modulada (MODFET, *modulation doped field effect transistor*). Otro nombre también muy utilizado para la misma estructura es el de transistor de alta movilidad de electrón (HEMT, *high electron mobility transistor*). En la figura 7 de la introducción general se presentó una vista en perspectiva de un MODFET o HEMT; en la figura 5.14(a) hay una sección transversal simplificada de la estructura básica del dispositivo. En la actualidad, las capas de GaAs y de AlGaAs de la estructura suelen formarse usando epitaxia de haz molecular (MBE, *molecular beam epitaxy*).* La aleación semiconductora AlGaAs tiene, en esencia, la misma constante de red que el GaAs y, por lo tanto, puede hacerse que crezca como una extensión casi perfecta de la red cristalina de GaAs.

Desde el punto de vista físico y funcional, el MODFET es un dispositivo del tipo MOSFET, donde el AlGaAs toma el lugar de casi aislante. Como se puede ver en la figura 5.14(b), el AlGaAs tiene ancho de banda (GAP) más amplio que el GaAs, lo que da lugar a una barrera de contención de electrones en la interfaz AlGaAs-GaAs. El AlGaAs está contaminado específicamente para crear una capa de inversión o de acumulación de electrones en la superficie del GaAs (en la terminología de MODFET, la capa conductora de electrones se conoce como gas bidimensional). La capa de AlGaAs se hace también suficientemente delgada para que resulte vacía en su totalidad por el potencial de barrera Schottky en la compuerta, en condiciones de equilibrio. La estructura resultante es *electrostáticamente* similar a un MOSFET con iones de sodio distribuidos en el óxido. Es importante notar que, a diferencia de las estructuras MESFET, la capa activa de GaAs en el MODFET, en principio, no está contaminada. Entonces, tan sólo hay una mínima dispersión con impurezas residuales (no intencionadas) en la superficie del canal de GaAs. Se observan movilidades de electrón muy altas a temperatura ambiente, e incluso un mayor aumento de movilidades en relación con los MESFET, a temperaturas de nitrógeno líquido.

El MODFET se considera un fuerte contrincante para su aplicación en los circuitos de lógica de alta velocidad de la década de 1990. En la actualidad hay problemas de voltaje umbral similares a los del E-MESFET, y no se ve que el proceso de MBE para el crecimiento de las capas de GaAs y AlGaAs sea una técnica de producción válida. Por supuesto, continúa el desarrollo del dispositivo, y el MODFET, al menos, parece ser un precursor del futuro.

* Véase la subsección 6.4.4 del libro de Jaeger R.C., *Introduction to Microelectronic Fabrication*, en la cual hay una descripción y un análisis breves de MBE.

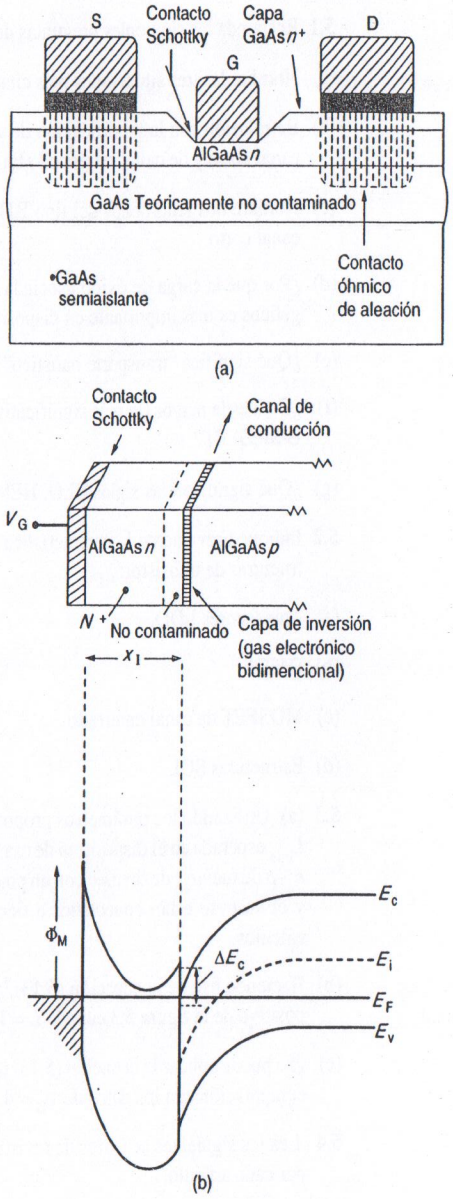


Figura 5.14 Estructura básica MODFET o HEMT. (a) Sección transversal simplificada. (b) Sección del transistor debajo de la compuerta y diagrama de bandas de energía asociado. [El punto (b) se tomó de R.F. Pierret y M.S. Lundstrom, *IEEE Trans. on Electron Devices*, **ED-31**, 383, © 1984 IEEE.]

PROBLEMAS

5.1 Responda las siguientes preguntas del modo más conciso posible.

(a) Nombre las tres situaciones más citadas como efectos de canal corto.

(b) En relación con la modificación de voltaje umbral, ¿en qué difieren los efectos de canal corto y de canal estrecho? ¿En qué se asemejan?

(c) Nombre dos fenómenos del tipo BJT que se hayan observado en los MOSFET de canal corto.

(d) ¿Por qué la carga de óxido asociada con los efectos de portadores altamente energéticos es más importante en dispositivos de canal corto?

(e) ¿Qué significa "transporte balístico"?

(f) ¿Cuál es la mayor (la más significativa) diferencia física entre un D-MESFET y un E-MESFET?

(g) ¿Qué significan las siglas ELO, HEMT y SOI?

5.2 Indique brevemente la característica física única de cada una de las siguientes estructuras de transistor:

(a) Transistores LDD.

(b) DMOS.

(c) MOSFET de canal enterrado.

(d) Estructuras SOI.

5.3 (a) Utilizando los parámetros proporcionados en el pie de la figura 5.3, calcule la $L_{mín}$ esperada en el dispositivo de esa figura cuando $V_D = 0.125$ V. Suponga uniones n^+–p de fuente y de drenaje con un potencial de contacto $V_{bi} = 0.92$ V, y que la fuente y el sustrato están conectados a tierra. Comente los resultados obtenidos en los cálculos.

(b) Haciendo uso de la ecuación (5.13), ¿cuál es el valor de ΔV_T esperado para el dispositivo de la figura 5.3 cuando $L = 1\mu$m y $V_D = 0.125$ V?

(c) ¿Se puede aplicar la ecuación (5.13) para calcular un valor esperado de ΔV_T para su comparación con los datos de $V_D = 4$ V? Explique.

5.4 Lea los siguientes artículos de revistas y prepare un resumen de una o dos páginas por cada artículo:

(a) J.J. Sanchez, K.K. Hseuh y T.A. DeMassa, "Drain-Engineered Hot-Electron Resistant Device Structures: A Review", *IEEE Trans. on Electron Devices*, **36,** 1125, junio de 1989.

(b) M.J. Van der Tol y S.G. Chamberlain, "Potential and Electron Distribution Model for the Buried-Channel MOSFET", *IEEE Trans. on Electron Devices*, **36,** 670, abril de 1989.

(c) T.A. DeMassa y H.S. Chien, "Threshold Voltage of Small-Geometry Si MOSFETs", *Solid-State Electronics*, **29,** 409, 1986.

(d) C.G. Kirkpatrick, "Making GaAs Integrated Circuits", *Proc. IEEE*, **76,** 792, julio de 1988.

Lecturas recomendadas

Indicación general: A continuación aparecen seis textos que, en opinión del autor, complementan o mejoran en buena medida el material que se presenta en este volumen. Los textos contienen referencias adicionales que también pueden consultarse.

[1] R.C. Jaeger, *Introduction to Microelectronic Fabrication*, Reading, Mass., Addison-Wesley, 1988. Este volumen brinda información útil sobre detalles de fabricación y diseño de los dispositivos. El capítulo 9 está dedicado concretamente a los procesos de integración MOS.

[2] D.G. Ong, *Modern MOS Technology, Processes, Devices & Design*, Nueva York, McGraw Hill, 1984. Un libro de fácil lectura, orientado a aplicaciones y dedicado por completo a los dispositivos MOS.

[3] D.K. Schroder, *Advanced MOS Devices*, volumen VII de la Serie modular sobre dispositivos de estado sólido, R.F. Pierret y G.W. Neudeck, eds., Reading, Mass., Addison-Wesley, 1987. Este volumen de Schroder, que es una extensión a nivel superior del volumen IV, es recomendable para el lector interesado en aprender sobre celdas de memoria MOS, dispositivos de carga acoplada CCD y más sobre los dispositivos MOS en general.

[4] B.G. Streetman, *Solid State Electronic Devices*, 3a. ed., Englewood Cliffs, N.J., Prentice-Hall, 1990. Véase el capítulo 8. Se trata de un buen texto de propósito general, que brinda algunos puntos de vista diferentes sobre ciertos temas que cubre el volumen IV.

[5] S.M. Sze, *Semiconductor Devices, Physics and Technology*, Nueva York, Wiley, 1985. Véanse los capítulos 5 y 12. Está complementado con excelentes gráficas y figuras; el texto de Sze brinda una cobertura concisa de los temas, con atención especial a los detalles de fabricación.

[6] E.S. Yang, *Microelectric Devices*, Nueva York, McGraw-Hill, 1988. Véanse los capítulos 8 a 13. Yang ofrece una cobertura alternativa de los temas que es muy legible e informativa.

Apéndice A
Ejercicios

EJERCICIO 1.1

P: Demuestre que se tienen debidamente en cuenta las resistencias de fuente y de drenaje en los extremos del canal activo (R_S y R_D en la Fig. 1.12) si se reemplazan V_D por $V_D - I_D(R_S + R_D)$ y V_G por $V_G - I_D R_S$, en las ecuaciones (1.9), (1.12) y (1.13).

R: Si se tienen en cuenta las caídas de tensión en los extremos del canal, los voltajes del canal en $y = 0$ y $y = L$ son $V(0) = I_D R_S$ y $V(L) = V_D - I_D R_D$ respectivamente. Si se insertan los límites de voltaje anteriores en la ecuación (1.4) y se modifica así mismo la ecuación (1.5), se halla

$$I_D = \frac{2qZ\mu_n N_D a}{L} \int_{I_D R_S}^{V_D - I_D R_D} \left[1 - \frac{W(V)}{a} \right] dV \tag{1.5'}$$

Como la expresión para $W(V)/a$ de la ecuación (1.8) se mantiene sin modificar, es fácil evaluar la integral de la ecuación (1.5′). La integración da

$$\boxed{I_D = \frac{2qZ\mu_n N_D a}{L} \left\{ V_D - I_D(R_S + R_D) - \frac{2}{3}(V_{bi} - V_P) \left[\left(\frac{V_D - I_D R_D + V_{bi} - V_G}{V_{bi} - V_P} \right)^{3/2} - \left(\frac{I_D R_S + V_{bi} - V_G}{V_{bi} - V_P} \right)^{3/2} \right] \right\}} \tag{1.9'}$$

Pasando ahora a la modificación de la ecuación (1.12), se nota que cuando $V_D = V_{Dsat}$, $W \to a$, $V(L) = V_{Dsat} - I_{Dsat} R_D$, y de la ecuación (1.6),

$$a = \left[\frac{2K_S \varepsilon_0}{qN_D} (V_{bi} + V_{Dsat} - I_{Dsat} R_D - V_G) \right]^{1/2} \tag{1.11'}$$

Sin embargo,

$$a = \left[\frac{2K_S \varepsilon_0}{qN_D} (V_{bi} - V_P) \right]^{1/2} \tag{1.7}$$

y claramente

$$\boxed{V_{Dsat} - I_{Dsat}R_D = V_G - V_P} \qquad (1.12')$$

Por último, si se hace $V_D = V_{Dsat}$ e $I_D = I_{Dsat}$ en la ecuación (1.9′) y se simplifican los resultados usando la ecuación (1.12′), se obtiene

$$\boxed{I_{Dsat} = \frac{2qZ\mu_n N_D a}{L}\left\{V_G - V_P - I_{Dsat}R_S - \frac{2}{3}(V_{bi} - V_P) \times \left[1 - \left(\frac{I_{Dsat}R_S + V_{bi} - V_G}{V_{bi} - V_P}\right)^{3/2}\right]\right\}} \qquad (1.13')$$

Nótese que al reemplazar V_D por $V_D - I_D(R_S + R_D)$ y V_G por $V_G - I_D R_S$ en las ecuaciones (1.9), (1.12) y (1.13), en realidad se obtienen las ecuaciones (1.9′), (1.12′) y (1.13′) respectivamente.

Antes de concluir, es buen momento para realizar algunos comentarios sobre los resultados. Ante todo, es obvio que las ecuaciones señaladas con apóstrofe no permiten resolver I_D o I_{Dsat} como función analítica de V_D y V_G. Sin embargo, es posible utilizar técnicas numéricas de iteración para calcular con facilidad las características voltaje-corriente revisadas. Segundo, la respuesta a este problema se podía haber establecido simplemente cambiando la variable de integración a $V' = V - I_D R_S$ en la ecuación (1.5), y a continuación pidiendo que las versiones original y modificada de la ecuación (1.5) tuvieran la misma forma general (sin embargo, el método de cambio de variables es menos informativo).

EJERCICIO 1.2

P: Utilizando el circuito equivalente de la figura 1.14 y suponiendo un J-FET polarizado en saturación, muestre que las resistencias de fuente y de drenaje en los extremos del canal activo dan lugar a una transconductancia efectiva reducida

$$g'_m = \frac{g_m}{1 + g_m R_s}$$

R: En condiciones de saturación, $g_d \to 0$. Si se coloca g_d en circuito abierto y se agregan R_S y R_D a los nodos adecuados de la figura 1.14, se obtiene el circuito equivalente que se muestra en la figura E1.2. De la figura E1.2 se deduce

$$i_d = g_m v'_g = g_m(v_g - i_d R_s)$$

Entonces

$$i_d = \frac{g_m}{1 + g_m R_S} v_g \equiv g'_m v_g$$

donde

$$g'_m = \frac{g_m}{1 + g_m R_S}$$

Es interesante notar que R_D no afecta la transconductancia si $g_d = 0$. En cambio, R_S produce una disminución de la transconductancia efectiva del J-FET si $g_m R_S$ es comparable a la unidad.

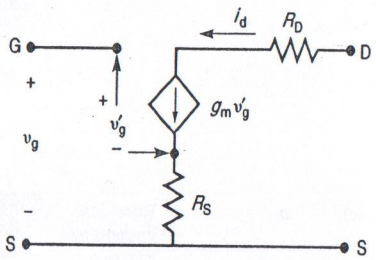


Fig. E1.2

EJERCICIO 2.1

P: Para los conjuntos de parámetros ϕ_F y ϕ_S que se listan a continuación, primero indique la condición de polarización especificada y luego trace el diagrama de bandas de energía y el diagrama de bloques de carga que caracterizan el estado estático del sistema. Suponga que la estructura del MOS es ideal.

(a) $\frac{\phi_F}{kT/q} = 12, \frac{\phi_S}{kT/q} = 12$

(b) $\frac{\phi_F}{kT/q} = -9, \frac{\phi_S}{kT/q} = 3$

(c) $\frac{\phi_F}{kT/q} = -9, \frac{\phi_S}{kT/q} = -18$

(d) $\frac{\phi_F}{kT/q} = 15, \frac{\phi_S}{kT/q} = 36$

(e) $\frac{\phi_F}{kT/q} = -15, \frac{\phi_S}{kT/q} = 0$

R:

Conjunto	Contaminación	Condición de Polarización	Diagrama de Bandas de energía	Diagrama de Bloques de Carga
(a)	p	Vaciamiento	E_F	$+Q$, $-Q$
(b)	n	Acumulación	E_F	
(c)	n	Transición Vaciamiento/ Inversión	E_F	Huecos
(d)	p	Inversión	E_F	Electrones
(e)	n	Banda Plana	E_F	M O S

EJERCICIO 2.2

P: Un MOS-C se mantiene a $T = 300$ K, $x_o = 0.1$ μm con una contaminación de Si de $N_A = 10^{15}/\text{cm}^3$. Calcule:

(a) ϕ_F (en unidades kT/q y en volts)

(b) W cuando $\phi_S = \phi_F$

(c) $\mathscr{E}_S$ cuando $\phi_S = \phi_F$

(d) V_G cuando $\phi_S = \phi_F$

R: (a)

$$\frac{\phi_F}{kT/q} = \ln(N_A/n_i) = \ln\left(\frac{10^{15}}{1.18 \times 10^{10}}\right) = 11.35$$

$$\phi_F = 11.35(kT/q) = (11.35)(0.0259) = 0.294 \text{ V}$$

(b) Utilizando la ecuación (2.15),

$$W = \left[\frac{2K_S\varepsilon_0}{qN_A}\phi_F\right]^{1/2} = \left[\frac{2(11.8)(8.85 \times 10^{-14})(0.294)}{(1.6 \times 10^{-19})(10^{15})}\right]^{1/2} = 0.620 \ \mu\text{m}$$

(c) Si se evalúa la ecuación (2.12) en $x = 0$, se halla $\mathscr{E}_S$. Entonces

$$\mathscr{E}_S = \frac{qN_A}{K_S\varepsilon_0}W = \frac{(1.6 \times 10^{-19})(10^{15})(6.20 \times 10^{-5})}{(11.8)(8.85 \times 10^{-14})} = 9.50 \times 10^3 \text{ V/cm}$$

(d) Si se sustituye en la ecuación (2.26), se obtiene

$$V_G = \phi_F + \frac{K_S}{K_O}x_o\mathscr{E}_S \quad \ldots \mathscr{E}_S \text{ se obtiene } \phi_F$$

$$= 0.294 + \frac{(11.8)(10^{-5})(9.50 \times 10^3)}{3.9}$$

$$= 0.581 \text{ V}$$

Comentario: Las manipulaciones y los resultados de este ejercicio son bastante representativos. En unidades kT/q, $|\phi_F|$ por lo general abarca de 9 a 15 para $T = 300$ K. Para contaminaciones no degeneradas que se utilizan en los dispositivos MOS, se espera que $|\phi_F|$ sea menor que una mitad del ancho de banda del Si expresada en volts (<0.56 V en $T = 300$ K). Como se requería, el valor de W calculado es menor que el W_T asociado con la contaminación dada (véase la Fig. 2.9). La única sorpresa posible es el valor del campo eléctrico de la superficie: $\mathscr{E}_S \sim 10^4$ V/cm. Por último, los parámetros supuestos

en este ejercicio son idénticos a los utilizados al construir la figura 2.10. Por supuesto, el valor calculado de V_G concuerda con el valor leído en el diagrama de la figura 2.10.

EJERCICIO 2.3

P: Complete la tabla siguiente utilizando la característica *C-V* de la estructura ideal y el diagrama de bloques de cargas que se incluye en la figura E2.3. Para cada una de las condiciones de polarización dadas en la tabla, utilice las letras (de a a g) para identificar los puntos de polarización correspondientes o los puntos sobre la característica *C-V* del MOS-C ideal. De la misma manera, utilice los números (del 1 al 5) para identificar el diagrama de bloques de cargas asociado con cada una de las condiciones de polarización.

Condición de polarización	Capacidad (a-g)	Diagrama de bloques de cargas (1-5)
Acumulación		
Vaciamiento		
Inversión		
Banda plana		
Transición vac/inv		

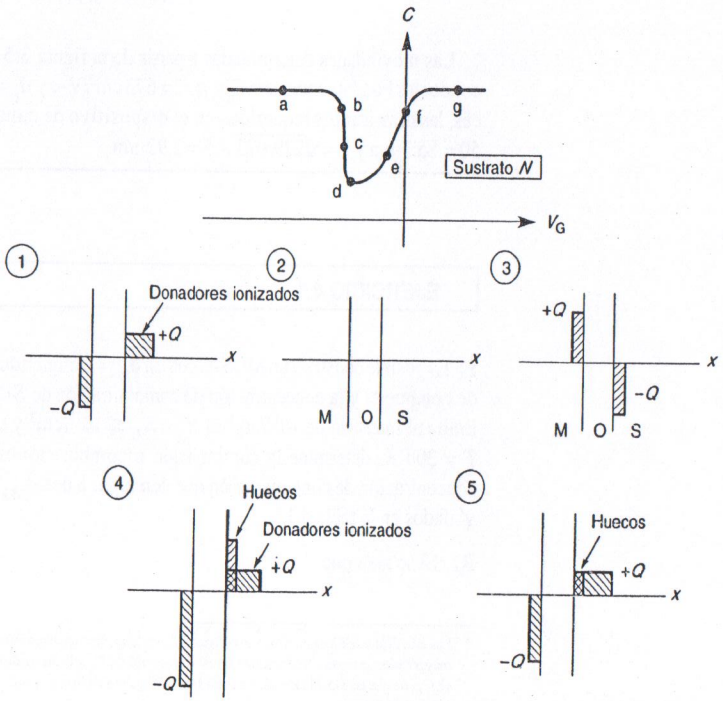


Fig. E2.3

R: Acumulación: g,3; vaciamiento: e,1; inversión: a/b/c,4; banda plana: f,2; transición vac/inv: d,5.

EJERCICIO 2.4

P: La característica *C–V* experimental que aparece en la figura E2.4 se determinó en las siguientes condiciones: se hizo variar muy lentamente la polarización de cc del punto (1) al punto (2). En (2) se aumentó de manera sustancial la velocidad de barrido de V_G. Al llegar al punto (3) se detuvo el barrido y la capacidad cayó al punto (4). Explique cualitativamente la característica observada.

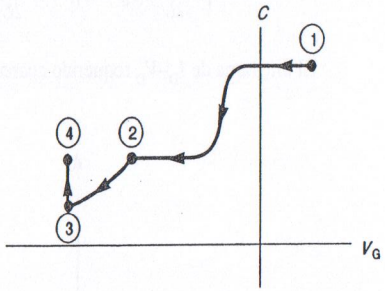


Fig. E2.4

R: Al ir del punto (1) al punto (2), es claro que el semiconductor se equilibra para cada polarización de cc debido a la lenta variación de la rampa. Por ello se observa la característica *C–V* de alta frecuencia estándar. Cuando en el punto (2) se incrementa la velocidad de la rampa, el semiconductor ya no puede alcanzar el equilibrio y, por lo tanto, es llevado al vaciamiento profundo. *W* se hace más grande que W_T y *C* disminuye por debajo del valor mínimo de equilibrio de alta frecuencia. Cuando se detiene el barrido y la capacidad se incrementa del punto (3) al (4), el equilibrio dentro del dispositivo se restaura en forma sistemática por medio de la generación de portadores minoritarios huecos en la región cercana a la superficie. Al generarse los huecos, éstos se agregan a la capa de inversión, el ancho de vaciamiento correspondiente disminuye, y *C* crece de nuevo hasta el valor de equilibrio de alta frecuencia.

EJERCICIO 3.1

P: Suponga que la compuerta de un MOSFET ideal de canal *n* está conectada al drenaje, haciendo $V_G = V_D$. Utilice los resultados de la ley cuadrática para trazar I_D en función de V_D ($V_D \geq 0$).

R: En un MOSFET ideal de canal *n*, $V_T > 0$. Entonces, si la compuerta y el drenaje están unidos,

$$V_D = V_G > V_G - V_T$$

pero

$$V_{Dsat} = V_G - V_T$$

lo que da

$$V_D > V_{Dsat}$$

El dispositivo *siempre* está polarizado en saturación. Observando que $I_D = 0$ si $V_D = V_G < V_T$ y utilizando la ecuación (3.20), se concluye que

$$I_D = \begin{cases} 0 & \ldots V_D = V_G < V_T \\ \dfrac{Z\bar{\mu}_n C_o}{2L}(V_G - V_T)^2 = \dfrac{Z\bar{\mu}_n C_o}{2L}(V_D - V_T)^2 & \ldots V_D > V_T \end{cases}$$

El diagrama de I_D–V_D requerido aparece en la figura E3.1.

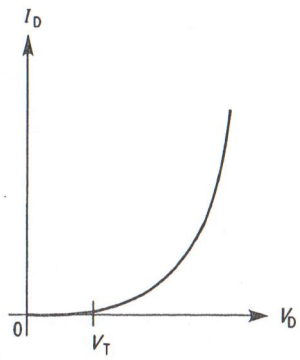


Fig. E3.1

EJERCICIO 3.2

P: Un par complementario de MOSFET ideales de canal *n* y canal *p* está diseñado de manera que ambos dispositivos presentan valores iguales de g_m y $f_{máx}$ cuando están polarizados en forma equivalente, y funcionan a $T = 300$ K. Los parámetros estructurales del dispositivo de canal *n* son $Z = 50\ \mu m$, $L = 5\ \mu m$, $x_o = 0.05\ \mu m$ y $N_A = 10^{15}/cm^3$. El dispositivo de canal *p* tiene el mismo espesor de óxido y concentración de contaminación intencional, pero, debido a la menor movilidad de los huecos, ha de tener diferentes dimensiones de compuerta. Determine los valores de *Z* y *L* requeridos en el dispositivo de canal *p*. Suponga que la movilidad efectiva de los portadores en ambos dispositivos es la mitad de la movilidad en el sustrato.

R: $|V_T|$ es igual en MOSFET ideales de canal *p* y canal *n*, que tienen la misma x_o e iguales concentraciones de contaminación intencional. Así, con los dispositivos también polarizados en forma equivalente, se llega a la conclusión, consultando la tabla 3.1, de que se obtendrán las mismas g_m si:

$$\frac{Z_p}{L_p}\bar{\mu}_p = \frac{Z_n}{L_n}\bar{\mu}_n$$

donde los subíndices indican el tipo de canal. Se llega a esta misma conclusión si se utiliza la teoría de la ley cuadrática o la teoría de carga en volumen, y también si ambos dispositivos están polarizados por debajo o por encima del estrangulamiento.

Luego, si se examina la forma de la ecuación (3.33), generalmente se llega de nuevo a la conclusión de que C_O (de canal *p*) debe igualar a C_O (de canal *n*) para que ambos valores de $f_{máx}$ sean iguales. Como $C_O = K_O\varepsilon_0 ZL/x_o$, se requiere

$$Z_p L_p = Z_n L_n$$

Si Z_p de la primera relación se reemplaza en la segunda relación y se simplifica, se obtiene

$$L_p = \sqrt{\frac{\bar{\mu}_p}{\bar{\mu}_n}}\, L_n$$

y

$$Z_p = \frac{Z_n L_n}{L_p} = \sqrt{\frac{\bar{\mu}_n}{\bar{\mu}_p}}\, Z_n$$

Las movilidades determinadas a partir de la figura 3.5 del libro Pierret, R.F., Semiconductor Fundamentals son $\bar{\mu}_n = \mu_n/2 = 673\ cm^2/V\text{–}s$ y $\bar{\mu}_p = \mu_p/2 = 229\ cm^2/V\text{–}s$.* Entonces, las dimensiones requeridas en el dispositivo de canal *p* deben ser $Z = \sqrt{673/229} \times 50 = 85.7\ \mu m$ y $L = \sqrt{229/673} \times 5 = 2.92\ \mu m$.

EJERCICIO 4.1

P: Es posible construir un MOS-C con un $\phi_{MS} = 0$ eligiendo en forma adecuada el material de compuerta y la concentración de contaminación de Si. Si la contaminación del Si se limita al intervalo de $10^{14}/cm^3 \le N_A$ o $N_D \le 10^{17}/cm^3$ y se supone el funcionamiento a $T = 300$ K, determine la combinación o combinaciones de material de compuerta y concentración de contaminación que den lugar a una $\phi_{MS} = 0$. Emplee los valores $\Phi'_M - \chi'$ dados en la tabla 4.1.

R: Si se nota que

* Las movilidades de los portadores de la figura 3.5, del libro mencionado, son en realidad las movilidades de los portadores mayoritarios: la movilidad de electrones en Si contaminado N_D y la movilidad de los huecos en Si contaminado N_A. Aquí se supone que las movilidades de los portadores son iguales en Si contaminado en forma equivalente, con contaminación del tipo opuesto.

$$(E_c - E_F) = E_c - E_i + (E_i - E_F)_x$$

$$\cong \frac{E_G}{2} - kT \ln\left(\frac{N_D}{n_i}\right) \quad \text{... si tipo } n$$

$$\cong \frac{E_G}{2} + kT \ln\left(\frac{N_A}{n_i}\right) \quad \text{... si tipo } p$$

y empleando $kT = 0.0259$ eV, $E_G = 1.12$ eV y $n_i = 1.18 \times 10^{10}/\text{cm}^3$, se calcula

$$0.15 \text{ eV} \le (E_c - E_F)_\infty \le 0.33 \text{ eV} \quad \text{...si } 10^{14}/\text{cm}^3 \le N_D \le 10^{17}/\text{cm}^3$$
$$0.79 \text{ eV} \le (E_c - E_F)_\infty \le 0.97 \text{ eV} \quad \text{...si } 10^{14}/\text{cm}^3 \le N_A \le 10^{17}/\text{cm}^3$$

Como $\phi_{MS} = (1/q)[\Phi'_M - \chi' - (E_c - E_F)_\infty]$, para lograr $\phi_{MS} = 0$ se requiere claramente que

$$0.15 \text{ eV} \le \Phi'_M - \chi' \le 0.33 \text{ eV} \quad \text{...o...} \quad 0.79 \text{ eV} \le \Phi'_M - \chi' \le 0.97 \text{ eV}$$

Si ahora se examina la tabla 4.1, se encuentra que el único material que cumple con los requisitos generales es el Au, con un $\Phi'_M - \chi' = 0.82$ eV.

La contaminación precisa del MOS-C de Au Si–p que presente un $\phi_{MS} = 0$ debe ser tal que

$$(E_c - E_F)_\infty = \Phi'_M - \chi' = 0.82 \text{ eV}$$

o

$$(E_i - E_F)_\infty = 0.26 \text{ eV}$$

y

$$N_A = n_i e^{(E_i - E_F)_\infty / kT} = 2.70 \times 10^{14}/\text{cm}^3$$

Entonces

$$\boxed{\text{Compuerta de Au; } N_A = 2.70 \times 10^{14}/\text{cm}^3 \Rightarrow \text{MOS-C con } \mathcal{C}_{MS} = 0}$$

EJERCICIO 4.2

P: Considere el MOS-C cuyo diagrama de bandas de energía se puede ver en la figura E4.2. Del diagrama se llega a la conclusión de que (elija uno):

(a) ¿$Q_M = 0$ o $Q_M \neq 0$? Explique.

(b) ¿$Q_F = 0$ o $Q_F \neq 0$? Explique.

R: Hay una cuestión muy importante en este ejercicio: se trata de que el diagrama de bandas de energía se modifica cuando se coloca una cantidad significativa de centros de carga en el óxido y en la interfaz óxido-semiconductor.

(a) $\boxed{Q_M \neq 0}$. Si no hay carga en el óxido, si $\rho_{ox} = 0$, entonces $\mathcal{E}_{ox}$ = contante y las bandas de energía del óxido son una función lineal de la posición. Sin embargo, si $\rho_{ox} \neq 0$, $\mathcal{E}_{ox}$ se vuelve

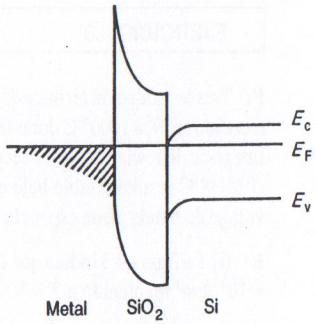


Fig. E4.2

función de la posición, y a su vez las bandas de energía del óxido presentan curvatura. Una curvatura cóncava como la que se observa en la figura E4.2 indica una significativa carga positiva, iones alcalinos, en el óxido.

(b) $\boxed{Q_F \neq 0}$. El componente normal del desplazamiento D, donde $D = \varepsilon \mathcal{E}$, debe ser continuo si no hay carga superficial en una interfaz entre dos materiales diferentes (véase la Subsec. 2.3.2). Cuando existe una carga superficial, hay una discontinuidad en el desplazamiento D, que es igual a la carga/cm^2 a lo largo de la interfaz. Observe, en la figura E4.2, que la pendiente de las bandas es cero y por lo tanto $\mathcal{E} = (1/q)(dE_c/dx) = 0$ del lado del óxido de la interfaz. Del lado del semiconductor, $\mathcal{E}$ es decididamente no nulo y positivo. Entonces, debe haber un plano de carga en la interfaz. Para la situación representada, de hecho se requiere que $Q_{interfaz} = K_S \varepsilon_0 \mathcal{E}_S$ y la carga de la interfaz debe ser positiva. En los dispositivos reales, los iones alcalinos siempre dan lugar a una carga volumétrica esparcida; es decir, los iones alcalinos constituyen una fuente improbable de carga de interfaz. En cambio, la carga fija se aproxima bastante a un plano de cargas positivas en la interfaz Si–SiO_2. Se llega a la conclusión de que $Q_F \neq 0$.

Aunque se ha llegado a una conclusión, debemos señalar una aparente inconsistencia. En este ejercicio se indicó que la carga fija causará una discontinuidad en el desplazamiento D en la interfaz. Sin embargo, al determinar la ecuación (4.11) se supuso *explícitamente* que el D era continuo en toda la interfaz Si–SiO_2. A su vez, la ecuación (4.11) se utilizó para establecer la expresión de ΔV_G (carga fija). Esta aparente contradicción se resuelve si se examina con cuidado la deducción matemática. Para ser precisos, si se incluye Q_F en ρ_{ox}, en realidad se toma la carga fija ligeramente dentro del óxido. Entonces se produce la discontinuidad en $x = x_o$ – en lugar de hacerlo exactamente

en $x = x_0$. Que esa discontinuidad se produzca exactamente en la interfaz o a una distancia imperceptible dentro del óxido no puede detectarse físicamente, y queda claro que no afecta los resultados matemáticos. Por último, hay que ver que, en general, una discontinuidad en un desplazamiento D en la interfaz de Si–SiO_2 puede provenir de otras fuentes de cargas de interfaz incluyendo por ejemplo las trampas de carga interfacial tratadas en la subsección 4.2.4.

EJERCICIO 4.3

P: Tras la oxidación térmica de un sustrato de silicio de orientación (111), se realiza un recocido en N_2 a 1000° C durante un tiempo suficiente para lograr un estado estacionario. Luego de depositar Al, se recuece la estructura en posmetalización. Se halla entonces que el MOS-C resulta estable bajo excitación de polarización y temperatura. Determine el voltaje de banda plana esperado en el MOS-C si $T = 300$ K, $x_0 = 250$ Å y $N_A = 10^{15}/\text{cm}^3$.

R: (i) La figura 4.3 indica que $\phi_{MS} = -0.89$ V para una estructura de Al–SiO_2–Si con $N_A = 10^{15}/\text{cm}^3$ mantenido a $T = 300$ K.

(ii) El recocido en nitrógeno reduce la carga fija al hacer $Q_F/q = 2 \times 10^{11}/\text{cm}^2$, como se deduce de la figura 4.9(b). La carga fija da lugar a un desplazamiento de voltaje

$$\Delta V_G \begin{pmatrix} \text{carga} \\ \text{fija} \end{pmatrix} = -\frac{Q_F}{C_o} = -q\frac{x_o}{K_O\varepsilon_0}\frac{Q_F}{q} = -\frac{(1.6 \times 10^{-19})(2.5 \times 10^{-6})(2 \times 10^{11})}{(3.9)(8.85 \times 10^{-14})}$$
$$= -0.23 \text{ V}$$

(iii) Se espera que ΔV_G (trampas interfaciales) $\cong 0$ debido al proceso de recocido de posmetalización.

(iv) Se sabe que $Q_M \cong 0$ debido a que el dispositivo resulta estable en condiciones de esfuerzo de polarización y temperatura.

Entonces,

$$\boxed{V_{FB} \cong \phi_{MS} - \frac{Q_F}{C_o} = -1.12 \text{ V}}$$

EJERCICIO 4.4

P: En la figura E4.4 aparece la característica C_G–V_G ($V_D = 0$) deducida de un MOSFET de canal n.

(a) ¿Cuál es el voltaje umbral, V_T, del transistor? Explique cómo llegó a su respuesta.

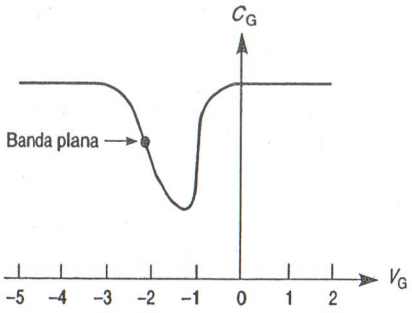


Fig. E4.4

(b) ¿Es el MOSFET un dispositivo en modo de empobrecimiento o en modo de enriquecimiento? Explique.

(c) Dibuje la forma general de las características I_D–V_D esperadas del dispositivo; en particular, indique las características que corresponden a $V_G = -2, -1, 0, 1$ y 2 V.

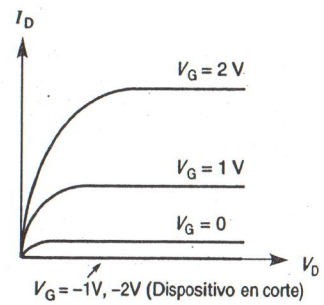
(d) Dado $\phi_{MS} = -1$ V, $Q_{IT} = 0$ y el hecho de que el dispositivo queda estable bajo excitación de polarización y temperatura, ¿cómo explica el voltaje de banda plana observado de -2.2 V?

(e) Si el MOSFET está contaminado en forma tal que $\phi_F = 0.3$ V, ¿qué polarización de sustrato (V_{BS}) habrá que aplicar para lograr una $V_{GS|\text{ en umbral}} = +1$ V?

R: (a) $\boxed{V_T \cong -1 \text{ V}}$. Al avanzar hacia polarizaciones positivas, la curva C–V aumenta hacia $C = C_O$ aproximadamente en el punto de transición inversión-vaciamiento. Por supuesto, en el punto de transición inversión-vaciamiento, V_G es el voltaje umbral en los MOSFET.

(b) $\boxed{\text{Modo de empobrecimiento}}$. Con $V_T = -1$ V, el MOSFET está claramente "encendido" o en conducción cuando $V_G = 0$.

(c) Las características requeridas están dibujadas a continuación.



(d) Como el dispositivo se mantiene estable bajo excitación de polarización y temperatura, se concluye que $Q_M \cong 0$. Con $Q_M = 0$, $Q_{IT} = 0$ y ϕ_{MS} que no puede responder por la totalidad del desplazamiento de banda plana, el desplazamiento residual sólo puede ser atribuible a la carga fija.

(e) Como se deduce en el texto,

$$\Delta V'_T = (V'_T - 2\phi_F)\left[\sqrt{1 - \frac{V_{BS}}{2\phi_F}} - 1\right] \tag{4.28}$$

Si se resuelve V_{BS} de la ecuación (4.28), se tiene

$$V_{BS} = 2\phi_F\left[1 - \left(1 + \frac{\Delta V'_T}{V'_T - 2\phi_F}\right)^2\right]$$

Si se considera que

$$V_{GS|\text{ en umbral}} - V_T = V'_{GS|\text{ en umbral}} - V'_T = \Delta V'_T = 2\text{ V}$$

y

$$V'_T = V_T - V_{FB} = -1.0\text{ V} + 2.2\text{ V} = 1.2\text{ V}$$

y con una sustitución directa en la expresión de V_{BS} se obtiene

$$V_{BS} = 0.6\left[1 - \left(1 + \frac{2}{1.2 - 0.6}\right)^2\right] = -10.7\text{ V}$$

Apéndice B Electrostática del semiconductor. Solución exacta

Definición de parámetros

Con el fin de simplificar la presentación matemática, para el caso de la formulación exacta suelen introducirse los potenciales normalizados

$$U(x) = \frac{\phi(x)}{kT/q} = \frac{E_i(\text{sustrato}) - E_i(x)}{kT} \tag{B.1}$$

$$U_S = \frac{\phi_S}{kT/q} = \frac{E_i(\text{sustrato}) - E_i(\text{superficie})}{kT} \tag{B.2}$$

y

$$U_F = \frac{\phi_F}{kT/q} = \frac{E_i(\text{sustrato}) - E_F}{kT} \tag{B.3}$$

$\phi(x)$, ϕ_S y ϕ_F se definieron de manera formal en el capítulo 2 (véase también la Fig. 2.7). Es evidente que $U(x)$ constituye el potencial electrostático normalizado a kT/q, el cual se conoce como "el potencial" en caso de no haber ambigüedad. En forma similar, $U_S = U(x = 0)$ se conoce como "potencial de superficie". El valor de U_F se llama simplemente parámetro de contaminación intencional; por supuesto, x es la profundidad dentro del semiconductor, medida desde la interfaz óxido-semiconductor. Como se supone que el campo eléctrico se anula dentro del sustrato semiconductor (idealización 5, Sec. 2.1), el semiconductor se puede tratar como si se extendiera desde $x = 0$ hasta $x = \infty$. Nótese que $U(x \to \infty) = 0$ de acuerdo con la elección de $\phi = 0$ en el sustrato semiconductor.

Además de los potenciales normalizados, las expresiones cuantitativas de distorsión de bandas dentro de un semiconductor por lo general se formulan en función de un parámetro especial de longitud, denominado *longitud intrínseca de Debye*. Esta longitud de Debye es una distancia característica introducida originalmente en el estudio de plasmas (plasma es un gas altamente ionizado, que contiene igual cantidad de iones positivos que de electrones negativos). Toda vez que se perturba un plasma colocando dentro o cerca de él una carga, los elementos móviles siempre se reubican para proteger al plasma mismo de la carga perturbadora. La longitud de Debye es la distancia de

blindaje, o simplemente la distancia donde el campo eléctrico que emana de la carga perturbadora, cae en un factor de $1/e$. Dentro del sustrato, o en todo lugar que se encuentre en condiciones de banda plana, el semiconductor se puede ver como un tipo de plasma con igual cantidad de sitios de impureza ionizados que de elementos móviles, ya sean electrones o huecos. La colocación de una carga cerca del semiconductor, por ejemplo en la compuerta del MOS-C, hace que los elementos móviles dentro del semiconductor se reubiquen tratando de proteger al propio semiconductor de la carga perturbadora. La distancia de blindaje o protección, o región de distorsión de banda, es de nuevo del orden de una longitud de Debye, en este caso, la longitud de Debye extrínseca o de sustrato L_B, donde

$$L_B = \left[\frac{K_S \varepsilon_0 kT}{q^2 (n_{\text{sustrato}} + p_{\text{sustrato}})} \right]^{1/2} \tag{B.4}$$

Si bien la caracterización de longitud de Debye de sustrato sólo se aplica a pequeñas desviaciones respecto a la banda plana, es conveniente emplear la longitud de Debye apropiada para un material *intrínseco*, como factor de normalización en expresiones teóricas. La longitud de Debye *intrínseca*, L_D, se obtiene partiendo de la relación de L_B más general al hacer $n_{\text{sustrato}} = p_{\text{sustrato}} = n_i$; es decir,

$$L_D = \left[\frac{K_S \varepsilon_0 kT}{2q^2 n_i} \right]^{1/2} \tag{B.5}$$

Solución exacta

Resolviendo la ecuación de Poisson pueden obtenerse expresiones de la densidad de carga, del campo eléctrico y del potencial en función de la posición dentro del semiconductor. Como se supone que el MOS-C es una estructura unidimensional (idealización 7, Sec. 2.1), la ecuación de Poisson se simplifica entonces en

$$\frac{d\mathscr{E}}{dx} = \frac{\rho}{K_S \varepsilon_0} = \frac{q}{K_S \varepsilon_0} (p - n + N_D - N_A) \tag{B.6}$$

Si se opera para replantear la ecuación de modo que quede en forma más adecuada para su solución, observamos que

$$\mathscr{E} = \frac{1}{q} \frac{dE_i(x)}{dx} = -\frac{kT}{q} \frac{dU}{dx} \tag{B.7}$$

La primera igualdad de la ecuación (B.7) es un replanteamiento de la ecuación (3.15) del volumen I. La segunda igualdad surge de la definición de U de la ecuación (B.1) y del hecho de que $dE_i(\text{sustrato})/dx = 0$. En forma similar, se puede hacer

$$p = n_i e^{[E_i(x) - E_F]/kT} = n_i e^{U_F - U(x)} \tag{B.8a}$$
$$n = n_i e^{[E_F - E_i(x)]/kT} = n_i e^{U(x) - U_F} \tag{B.8b}$$

Además, como $\rho = 0$ y $U = 0$ en la masa del semiconductor,

$$0 = p_{\text{sustrato}} - n_{\text{sustrato}} + N_D \; N_A = n_i e^{-U_F} - n_i e^{-U_F} + N_D - N_A \tag{B.9}$$

o

$$N_D - N_A = n_i (e^{-U_F} - e^{U_F}) \tag{B.10}$$

Si se reemplazan los valores anteriores de $\mathscr{E}$, p, n y $N_D - N_A$ en la ecuación (B.6), se tiene

$$\boxed{\rho = q n_i (e^{U_F - U} - e^{U - U_F} + e^{-U_F} - e^{U_F})} \tag{B.11}$$

y

$$\frac{d^2U}{dx^2} = \left(\frac{q^2 n_i}{K_S \varepsilon_0 kT} \right) (e^{U - U_F} - e^{U_F - U} + e^{U_F} - e^{-U_F}) \tag{B.12}$$

o, en función de la longitud intrínseca de Debye,

$$\frac{d^2U}{dx^2} = \frac{1}{2L_D^2} (e^{U - U_F} - e^{U_F - U} + e^{U_F} - e^{-U_F}) \tag{B.13}$$

Ahora volvemos al tema principal. La solución de la ecuación de Poisson, la ecuación (B.13), se resuelve con las condiciones de contorno:

$$\mathscr{E} = 0 \quad \text{o} \quad \frac{dU}{dx} = 0 \quad \text{en } x = \infty \tag{B.14a}$$

y

$$U = U_S \quad \text{en } x = 0 \tag{B.14b}$$

Multiplicando ambos miembros de la ecuación (B.13) por dU/dx, integrando de $x = \infty$ a un punto arbitrario x y utilizando las condiciones de contorno de la ecuación (B.14a), se obtiene rápidamente

$$\mathscr{E}^2 = \left(\frac{kT/q}{L_D}\right)^2 [e^{U_F}(e^{-U} + U - 1) + e^{-U_F}(e^{U} - U - 1)] \qquad \text{(B.15)}$$

La ecuación (B.15) es de la forma $y^2 = a^2$, que tiene dos raíces, $y = a$ y $y = -a$. Como se puede deducir por inspección mediante el uso del diagrama de bandas de energía, se debe tener $\mathscr{E} > 0$ cuando $U > 0$ y $\mathscr{E} < 0$ cuando $U < 0$. Ya que el miembro derecho de la ecuación (B.15) es siempre positivo ($a \geq 0$), la polaridad adecuada del campo eléctrico obviamente se puede obtener eligiendo la raíz positiva cuando $U > 0$ y la raíz negativa cuando $U < 0$. Por lo tanto, se puede escribir

$$\mathscr{E} = -\frac{kT}{q}\frac{dU}{dx} = \hat{U}_S \frac{kT}{q}\frac{F(U, U_F)}{L_D} \qquad \text{(B.16)}$$

donde

$$F(U, U_F) \equiv [e^{U_F}(e^{-U} + U - 1) + e^{-U_F}(e^{U} - U - 1)]^{1/2} \qquad \text{(B.17)}$$

y

$$U_S = \begin{cases} +1 & \text{si } U_S > 0 \\ -1 & \text{si } U_S < 0 \end{cases} \qquad \text{(B.18)}$$

Para completar la solución, se separan las variables U y x en la ecuación (B.16); se hace uso de las condiciones de contorno de la ecuación (B.14b) y se integra de $x = 0$ a un punto arbitrario x. El resultado final es la ecuación (B.19),

$$\hat{U}_S \int_U^{U_S} \frac{dU'}{F(U', U_F)} = \frac{x}{L_D} \qquad \text{(B.19)}$$

Aunque no totalmente en forma explícita, las ecuaciones (B.11), (B.16) y (B.19) constituyen en conjunto una solución exacta de las variables electrostáticas. Para un valor dado de U_S, se pueden utilizar técnicas numéricas para calcular U en función de x, de la ecuación (B.19). Una vez establecida U en función de x, la sustitución directa en las ecuaciones (B.11) y (B.16) da ρ y $\mathscr{E}$ en función de x. En la figura 2.8 se representan las funciones $U = \phi/(kT/q)$ en función de x y ρ en función de x, obtenidas siguiendo el procedimiento descrito.

Apéndice C
Complemento *C-V*

Un análisis basado en la distribución exacta de cargas dentro de un MOS-C ideal brinda las siguientes relaciones capacidad-voltaje:*

$$C = \frac{C_O}{1 + \left(\dfrac{K_O W_{eff}}{K_S x_o}\right)} \qquad \text{(C.1)}$$

$$W_{eff} = \begin{cases} \hat{U}_S L_D \left[\dfrac{2F(U_S, U_F)}{e^{U_F}(1 - e^{-U_S}) + e^{-U_F}(e^{U_S} - 1)}\right] & \ldots \text{acum} \qquad \text{(C.2a)} \\[2ex] \dfrac{\sqrt{2}L_D}{(e^{U_F} + e^{-U_F})^{1/2}} & \ldots \text{banda plana} \qquad \text{(C.2b)} \\[2ex] \hat{U}_S L_D \left[\dfrac{2F(U_S, U_F)}{e^{U_F}(1 - e^{-U_S}) + e^{-U_F}(e^{U_S} - 1)/(1 + \Delta)}\right] & \ldots \text{vac/inv} \qquad \text{(C.2c)} \end{cases}$$

donde

$$\Delta = \begin{cases} 0 & \ldots \text{límite de baja frecuencia} \qquad \text{(C.3a)} \\[2ex] \dfrac{(e^{U_S} - U_S - 1)/F(U_S, U_F)}{\displaystyle\int_{0^+}^{U_S} \frac{e^{U_F}(1 - e^{-U})(e^{U} - U - 1)}{2F^3(U, U_F)} dU} & \ldots \text{límite de alta frecuencia (MOS-C tipo } p\text{)} \qquad \text{(C.3b)} \end{cases}$$

* Excepto por el caso de la ecuación (C.3b), las relaciones son válidas para dispositivos tanto de tipo *n* como de tipo *p*. La modificación necesaria en la ecuación (C.3b) para dispositivos tipo *n* aparece en el texto. Para una determinación de la relación de baja frecuencia, se puede ver A.S. Grove, B.E. Deal, E.H. Snow y C.T. Sah, "Investigation of Thermally Oxidised Silicon Surfaces Using Metal-Oxide-Semiconductor Structures", *Solid State Electronics*, **8**, 145, 1965. El resultado de alta frecuencia, que abarca la denominada capacidad de reajuste o contribución a la capacidad del movimiento de los portadores de la capa de inversión, está adaptado de J.R. Brews, "An Improved High-Frequency MOS Capacitance Formula", *J. Appl. Phys.*, **45**, 1276, 1974.

$$F(U, U_F) = [e^{U_F}(e^{-U} + U - 1) + e^{-U_F}(e^{U} - U - 1)]^{1/2} \tag{C.4}$$

$$F(U_S, U_F) = F(U = U_S, U_F) \tag{C.5}$$

$$L_D = \left[\frac{K_S \varepsilon_0 kT}{2q^2 n_i}\right]^{1/2} \tag{C.6}$$

$$U_F = \frac{\phi_F}{kT/q} \tag{C.7}$$

$$U_S = \frac{\phi_S}{kT/q} \tag{C.8}$$

$$\hat{U}_S = \begin{cases} +1 & \text{si } U_S > 0 \\ -1 & \text{si } U_S < 0 \end{cases} \tag{C.9}$$

y

$$V_G = \frac{kT}{q}\left[U_S + \hat{U}_S \frac{K_S x_o}{K_O L_D} F(U_S, U_F)\right] \tag{C.10}$$

Debe notarse que $F(U, U_F)$, L_D, U_F, U_S y $\hat{U}_S$ vienen de la solución exacta de electrostática de semiconductores. Para información adicional sobre las magnitudes citadas, véase el apéndice B.

A diferencia del resultado de vaciamiento delta, C no puede expresarse de manera explícita como función de V_G en la formulación de cargas exacta.

Sin embargo, ambas variables están relacionadas con U_S y la capacidad esperada de la estructura para un voltaje de compuerta dado se puede computar en forma numérica. El cálculo de baja frecuencia es suficientemente sencillo como para poder realizarse con una calculadora manual. El procedimiento de cálculo habitual y más eficiente es calcular C y el valor correspondiente de V_G para un conjunto de valores de U_S supuestos. Suele lograrse un conjunto suficiente de puntos (C, V_G) para construir la característica C–V_G si U_S se recorre unidades enteras (–5, –4, ...) en forma escalonada dentro del intervalo normal de funcionamiento de los valores de U_S ($U_F - 21 \leq U_S \leq U_F + 21$ a temperatura ambiente). Obsérvese que debe tenerse cuidado si dentro de los puntos de cálculo por cubrir está el de $U_S = 0$. En $U_S = 0$ se debe emplear la ecuación (C.2b) para hallar W_{ef}; las relaciones de acumulación y de vaciamiento/inversión se hacen indeterminadas (0/0) si U_S se hace igual a cero. Así mismo, el valor Δ de alta frecuencia mencionado sólo es válido para dispositivos de tipo p. Para dispositivos de tipo n, $[\exp(U_S) - U_S - 1] \rightarrow [\exp(-U_S) + U_S - 1]$ y $\exp(U_F)\{[1 - \exp(-U)][\exp(U) - U - 1]\} \rightarrow \exp(-U_F)\{[\exp(U) - 1][\exp(-U) + U - 1]\}$ en la ecuación (C.3b). De manera alternativa, se puede obtener una característica de tipo n realizando simplemente los cálculos de un dispositivo de tipo p contaminado en forma equivalente y cambiando después el signo de todos los valores de V_G calculados. Este último procedimiento funciona, porque hay simetría de voltajes entre dispositivos ideales de tipo n y de tipo p.

Apéndice D
Complemento *I-V*

Un análisis basado en la distribución exacta de cargas dentro de un MOSFET ideal de canal n (sustrato p) proporciona la siguiente relación corriente-voltaje:

$$I_D\begin{pmatrix}\text{carga}\\ \text{exacta}\end{pmatrix} = \frac{Z\bar{\mu}_n C_o}{L}\left[V_G(V_{SL} - V_{SO} - \frac{1}{2}(V_{SL}^2 - V_{SO}^2)\right] + \frac{Z\bar{\mu}_n C_o}{L}\frac{K_S x_o}{K_O L_D}\left(\frac{KT}{q}\right)^2\left[\int_0^{U_{SO}} F(U, U_F, 0)dU - \int_0^{U_{SO}} F(U, U_F, U_D)dU\right] \tag{D.1}$$

donde

$$F(U, U_F, \xi) \equiv [e^{U_F}(e^{-U} + U - 1) + e^{-U_F}(e^{U-\xi} - U - e^{-\xi})]^{1/2} \tag{D.2}$$

La relación correspondiente considerando carga superficial es

$$I_D\begin{pmatrix}\text{carga}\\ \text{superficial}\end{pmatrix} = \frac{Z\bar{\mu}_n C_o}{r}\left\{\left(V_G + \frac{kT}{q}\right)(V_{SL} - V_{SO}) - \frac{1}{2}(V_{SL}^2 - V_{SO}^2) + V_B^2\left[\sqrt{U_{SL} - 1} - \sqrt{U_{SO} - 1} - \frac{2}{3}(U_{SL} - 1)^{3/2} + \frac{2}{3}(U_{SO} - 1)^{3/2}\right]\right\} \tag{D.3}$$

donde

$$V_B^2 \equiv \left(\frac{kT}{q}\right)^2 \frac{K_S x_o}{K_O L_D}\sqrt{\frac{N_A}{n_i}} \tag{D.4}$$

En ambas teorías

$$\phi_F = \frac{kT}{q} U_F \tag{D.5}$$

$$V_{S0} = \frac{kT}{q} U_{S0} \tag{D.6}$$

$$V_{SL} = \frac{kT}{q} U_{SL} \tag{D.7}$$

y

$$V_D = \frac{kT}{q} U_D \tag{D.8}$$

Finalmente, los potenciales normalizados de superficie en la fuente (U_{S0}) y el drenaje (U_{SL}) se calculan respectivamente a partir de

$$V_G = \frac{kT}{q}\left[U_{S0} + \frac{K_S x_o}{K_O L_D} F(U_{S0}, U_F, 0)\right] \quad \ldots (U_{S0} > 0) \tag{D.9a}$$

y

$$V_G = \frac{kT}{q}\left[U_{SL} + \frac{K_S x_o}{K_O L_D} F(U_{SL}, U_F, U_D)\right] \quad \ldots (U_{SL} > 0) \tag{D.9b}$$

Para generar un conjunto de características I_D–V_D, se hace variar escalonadamente a V_G y V_D en forma sistemática, cubriendo el intervalo de operación deseado. Para cada combinación de V_G y V_D, se iteran las ecuaciones (D.9a) y (D.9b) para determinar U_{S0} y U_{SL} en el punto de operación especificado. Una vez conocidos U_{S0} y U_{SL}, se puede calcular I_D utilizando la ecuación (D.1) o la ecuación (D.3). Por supuesto, se repite todo el proceso para cada combinación de V_G–V_D. Para establecer las características de un dispositivo de canal *p*, se pueden realizar los cálculos para un dispositivo de canal *n* de igual contaminación y polarización. Naturalmente, en ese caso hay que invertir los signos de las polarizaciones al trazar las características del dispositivo de canal *p*. Para información adicional sobre el formalismo de cargas exactas, se sugiere al lector consultar los apéndices B y C.

* La forma de las relaciones aquí tratadas se tomó de R.F. Pierret y J.A. Shields, "Simplified Long-Channel MOSFET Theory", *Solid-State Electronics*, **26**, 143, 1983. Para el análisis original de carga exacta, consulte H.C. Pao y C.T. Sah, *Solid-State Electronics*, **9**, 927, 1966, y para el análisis original del modelo de carga superficial, J.R. Brews, *Solid-State Electronics*, **21**, 345, 1978.

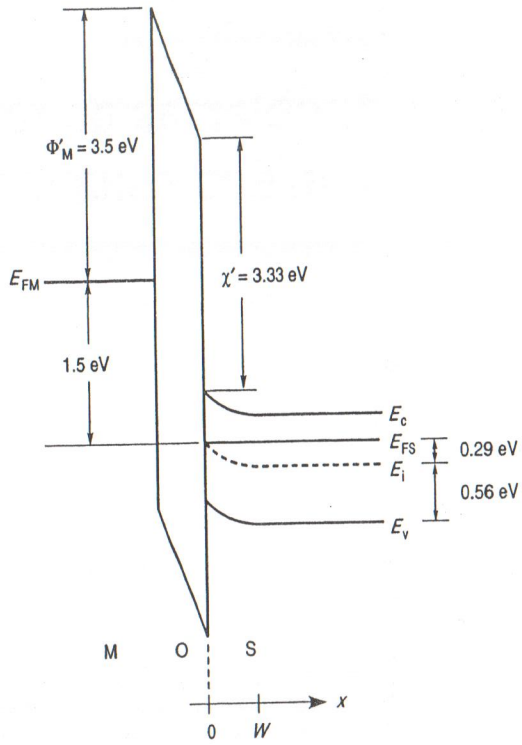
Apéndice E
Problemas de revisión del texto con sus soluciones

Los siguientes problemas se diseñaron presuponiendo un conocimiento, a veces integrado, del temario de los capítulos 2 a 4. Son conjuntos que podrían servir como repaso o para evaluar el dominio del lector sobre los asuntos tratados. Si el lector está bien preparado, debe tomarle menos de 60 minutos terminar cada conjunto de problemas en condiciones de "libro cerrado". Al final de cada conjunto de problemas se incorpora una clave de solución. [*Nota:* Al responder preguntas de respuesta múltiple elija la mejor de las respuestas posibles, y sólo *una* por pregunta].

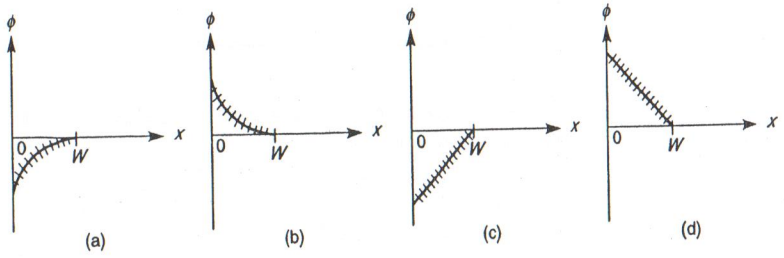
PROBLEMAS. CONJUNTO A

I. MOS: fundamentos y no idealidades

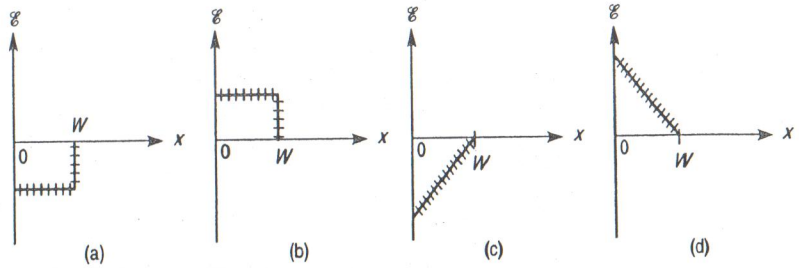
En la figura que sigue aparece un diagrama de bandas de energía totalmente acotado para un MOS-C bajo una polarización de compuerta específica. El dispositivo se mantiene a $T = 300$ K, $kT/q = 0.0259$ V, $n_i = 1.18 \times 10^{10}/\text{cm}^3$, $K_S = 11.8$, $K_O = 3.9$ y $x_o = 0.2$ μm. Además, $Q_{IT} = 0$ y, en la superficie del semiconductor, $E_F - E_i = 0$. Use el diagrama de bandas de energía y los valores especificados de los parámetros al responder las preguntas 1 a 12.



(1) El potencial electrostático (ϕ) dentro del semiconductor es como se muestra:



(2) El campo eléctrico ($\mathscr{E}$) dentro del semiconductor es aproximadamente como sigue:



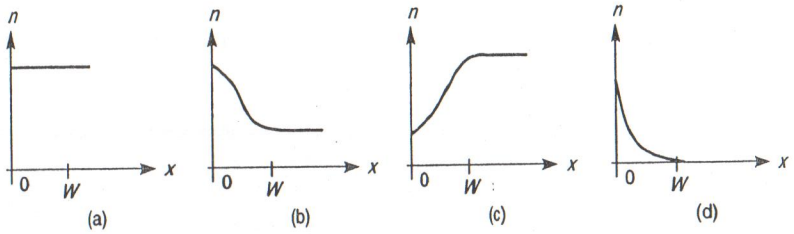
(3) ¿Prevalecen condiciones de equilibrio *dentro del semiconductor*?

(a) Sí.

(b No.

(c) No se puede determinar.

(4) En el bosquejo que aparece a continuación, la concentración de electrones se representa en función de la posición dentro del semiconductor, en un diagrama semilogarítmico.



(5) ¿N_D = ?

(a) $3.97 \times 10^{14}/cm^3$

(b) $8.60 \times 10^{14}/cm^3$

(c) $1.18 \times 10^{10}/cm^3$

(d) $1.20 \times 10^{15}/cm^3$

(6) ¿V_G = ?

(a) 0.29 V

(b) –0.29 V

(c) 1.5 V

(d) –1.5 V

(e) 0 V

(7) ¿Cuál es la caída de voltaje ($\Delta\phi_{ox}$) sobre el óxido?

(a) –1.11 V

(b) –1.38 V

(c) –0.83 V

(d) –1.5 V

(e) –1.0 V

(8) ¿Cuál es la caída de voltaje sobre el semiconductor?

(a) –0.98 V

(b) 0.29 V

(c) –0.29 V

(d) 0.83 V

(e) –0.83 V

(9) ¿Cuál es la diferencia de función trabajo (ϕ_{MS}) entre el metal y el semiconductor?

(a) 0.46 V

(b) 0.17 V

(c) –0.1 V

(d) –0.39 V

(10) La carga iónica móvil en el óxido debe ser muy pequeña ($Q_M \cong 0$). Se llega a esta conclusión porque:

(a) No hay distorsión de banda en el metal.

(b) Los campos en el óxido y en el semiconductor tienen la misma polaridad en la interfaz óxido-semiconductor.

(c) Las bandas en el óxido son funciones lineales de la posición.

(d) La caída de voltaje sobre el óxido excede sólo levemente a la caída de voltaje sobre el semiconductor.

(11) ¿Q_F/C_o = ? [*Nota:* Si se examina con mucho cuidado el diagrama de bandas de energía, se llega a la conclusión de que $D_{semic} = D_{ox}$ en la interfaz óxido-semiconductor].

(a) Cero

(b) –0.28 V

(c) 0.58 V

(d) 0.27 V

(e) 1.5 V

(12) Calcule la capacidad normalizada de pequeña señal, C/C_O, en el punto de aplicación de la polarización.

(a) 0.091

(b) 0.23

(c) 0.48

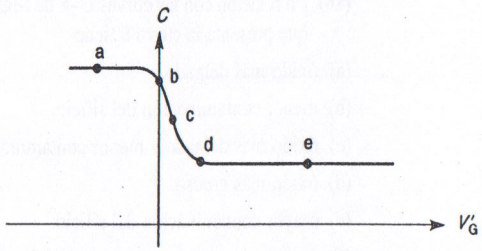
(d) 0.63

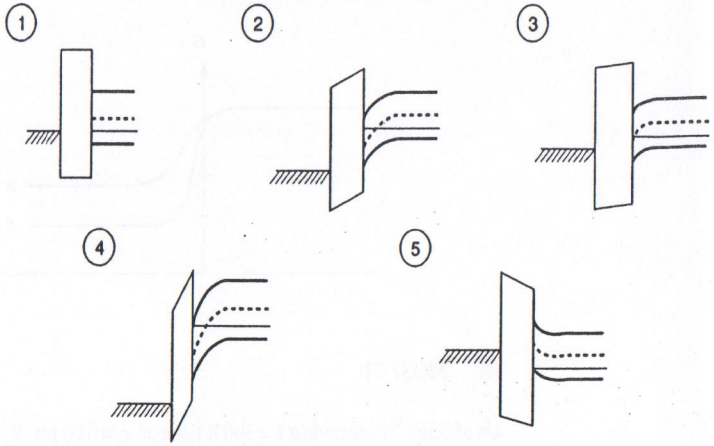
(e) 1.00

II. Características *C-V*

(13/14) Complete la tabla que sigue, utilizando la característica *C–V* de estructura ideal y los diagramas de bandas de energía que aparecen después de la tabla. Para cada una de las condiciones de polarización relacionadas en la tabla, utilice letras (de a a e) para identificar los correpondientes puntos de polarización sobre la característica *C–V* del MOS-C ideal. De la misma manera, utilice números (del 1 al 5) para identificar el diagrama de bandas asociado con cada una de las condiciones de polarización.

Condición de polarización	Capacidad (a-e)	Diagrama de bandas (1-5)
Inversión		
Vaciamiento		
Banda plana		
Umbral		
Acumulación		





(15) Considere las curvas C–V que aparecen a continuación. ¿Para cuál curva (o curvas) hay una capa de inversión de *equilibrio* cuando $V_G > V_T$?

(a) Curva *a*

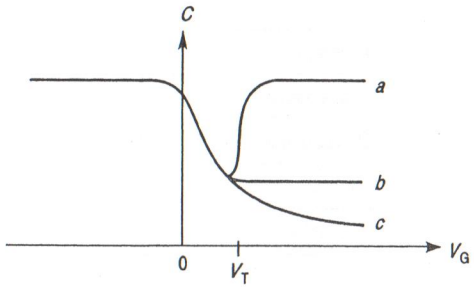
(b) Curva *b*

(c) Curva *c*

(d) Curvas *a* y *b*

(e) Curvas *b* y *c*

(f) Curvas *a*, *b* y *c*



(16) En relación con las curvas C–V de MOS-C que aparecen a continuación, el MOS-C que presenta la curva *b* tiene

(a) óxido más delgado.

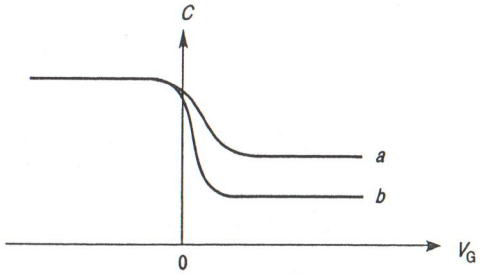
(b) menor contaminación del silicio.

(c) óxido más delgado y menor contaminación del silicio.

(d) óxido más grueso.

(e) mayor contaminación del silicio.

(f) óxido más grueso y mayor contaminación del silicio.



III. MOSFET

Un MOSFET mantenido a $T = 300$ K tiene un $x_o = 0.05\ \mu$m, $N_A = 10^{16}/\text{cm}^3$, $\Phi_M = 4.1$ eV, $\chi = 4.05$ eV, $Q_F/q = 1.88 \times 10^{11}/\text{cm}^2$ y $Q_M = Q_{IT} = 0$.

(17) Calcule V_{FB}.

(a) –0.42 V

(b) –0.86 V

(c) –1.30 V

(d) 0.42 V

(18) Calcule $V_T - V_{FB}$.

(a) 0.71 V

(b) 1.41 V

(c) 0.35 V

(d) 1.06 V

(19) Calcule el ancho de vaciamiento en el extremo de la fuente del canal ($y = 0$) cuando $V_G = V_T$.

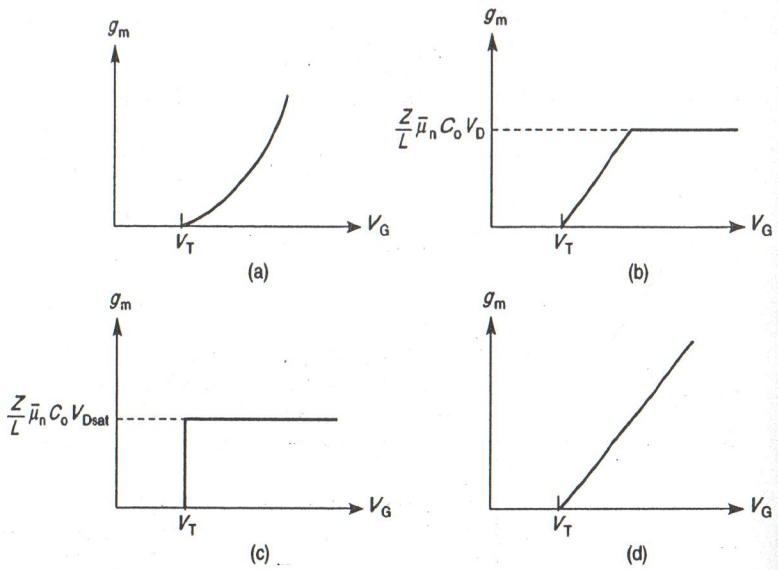
(a) 0.304 μm

(b) 0.215 μm

(c) 0.608 μm

(d) 1.22 μm

(20) Con base en la teoría de la ley cuadrática, ¿cuál de los siguientes diagramas caracteriza correctamente g_m cuando $V_D > V_{Dsat}$?



IV. Verdadero o falso

(21) La movilidad efectiva de los portadores en los canales de superficie de los MOSFET siempre es menor o igual que la movilidad de los mismos portadores en la masa.

(a) Verdadero

(b) Falso

(22) La carga de óxido fija en dispositivos MOS suele distribuirse de modo uniforme en el óxido.

(a) Verdadero

(b) Falso

(23) La carga de óxido fija por lo general se reduce a un mínimo cuando la estructura se recuece en presencia de hidrógeno, a temperaturas inferiores a 500° C.

(a) Verdadero

(b) Falso

(24) Se produce "saturación" en un MOSFET cuando tanto la fuente como el drenaje inyectan simultáneamente portadores minoritarios en la región del canal.

(a) Verdadero

(b) Falso

(25) La teoría de la "ley cuadrática" para las características de cc de un MOSFET recibe su nombre del hecho de que, en esta teoría, se obtiene $I_{Dsat} \propto (V_G - V_T)^2$.

(a) Verdadero

(b) Falso

(26) Los MOSFET que no conducen corriente (están "en corte") cuando $V_G = 0$ suelen denominarse dispositivos en "modo de empobrecimiento".

(a) Verdadero

(b) Falso

(27) Se denomina "efecto de campo" a la eliminación de la capa de inversión conductora, en el extremo de drenaje del canal de un MOSFET, cuando $V_D = V_{Dsat}$.

(a) Verdadero

(b) Falso

(28) Tanto las densidades de carga fija como las de trampa interfacial son mayores en superficies {111} de Si que en superficies {100} de Si.

(a) Verdadero

(b) Falso

(29) La llamada "excitación de polarización y temperatura" en experiencias con MOS consiste en aplicar una polarización entre la fuente y el drenaje de un MOSFET mientras se controla el aumento de temperatura del sustrato.

(a) Verdadero

(b) Falso

(30) La implantación iónica y la polarización inversa son dos métodos que se han empleado para ajustar el valor del voltaje umbral de los MOSFET.

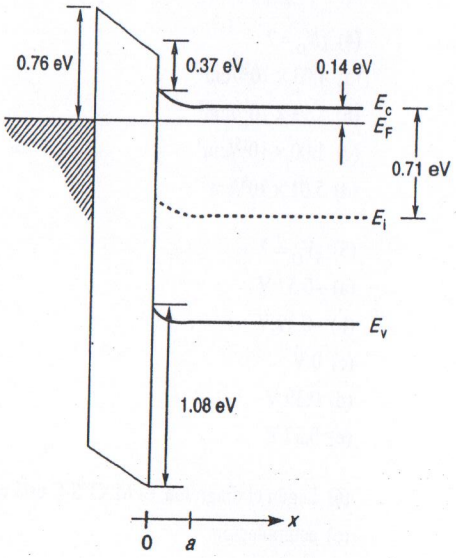
(a) Verdadero

(b) Falso

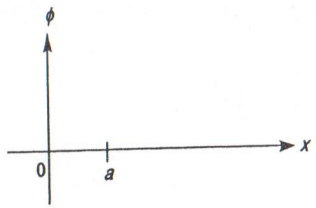
PROBLEMAS. CONJUNTO B

I. MOS: fundamentos

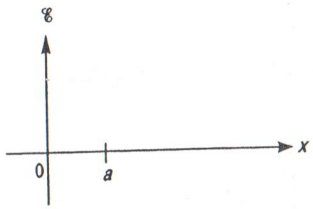
En el diagrama de bandas de energía totalmente acotado que figura a continuación se representa un M"O"S-C recién fabricado en un laboratorio de investigación. (El símbolo "O" corresponde en realidad a ZnSe, mientras que el semiconductor es GaAs). El dispositivo se mantiene a $T = 300$ K, $kT/q = 0.0259$ V, $n_i = 2.25 \times 10^6/\text{cm}^3$, $K_S = 12.85$, $K_O = 9.0$ y $x_o = 0.1$ μm. Se estableció también que $Q_M = 0$, $Q_F = 0$ y $Q_{IT} = 0$. Utilice este diagrama de bandas de energía y la información dada para responder las preguntas 1 a 10.



(1) Dibuje el potencial electrostático (ϕ) dentro del semiconductor, en función de la posición. (En el sustrato semiconductor, $\phi = 0$).



(2) Bosqueje en forma aproximada el campo eléctrico ($\mathscr{E}$) dentro del semiconductor en función de la posición.



(3) ¿Prevalecen condiciones de equilibrio *dentro del semiconductor*?

(a) Sí.

(b) No.

(c) No se puede determinar.

(4) ¿N_D = ?

(a) $4.03 \times 10^{20}/\text{cm}^3$

(b) $8.13 \times 10^{15}/\text{cm}^3$

(c) $1.00 \times 10^{15}/\text{cm}^3$

(d) $5.01 \times 10^{8}/\text{cm}^3$

(5) ¿V_G = ?

(a) –0.57 V

(b) –0.39 V

(c) 0 V

(d) 0.39 V

(e) 0.57 V

(6) Según el diagrama, el M"O"S-C está en situación de

(a) acumulación.

(b) vaciamiento.

(c) inversión.

(d) polarización en el punto de transición vaciamiento – inversión.

(7) ¿Cuál es la diferencia de función trabajo (ϕ_{MS}) entre metal y semiconductor?

(a) –0.39 V

(b) –0.25 V

(c) 0 V

(d) 0.25 V

(e) 0.39 V

(8) ¿Qué voltaje hay que aplicar a la compuerta para lograr condiciones de banda plana?

(a) –0.39 V

(b) –0.25 V

(c) 0 V

(d) 0.25 V

(e) 0.39 V

(9) Recurra a la aproximación de vaciamiento delta para determinar la capacidad normalizada de pequeña señal, C/C_O, en el punto de polarización representado.

(a) 0.25

(b) 0.41

(c) 0.56

(d) 0.83

(10) Como se indica en la figura de bandas de energía, a es la distancia desde la interfaz "óxido"-semiconductor hasta casi neutra la zona del sustrato semiconductor. Determine la longitud de a en el punto de polarización indicado.

(a) 0.112 μm

(b) 0.205 μm

(c) 0.428 μm

(d) 0.813 μm

II. MOSFET

Se fabrica un MOSFET estándar con $\phi_{MS} = -0.89$ V, $Q_M = 0$, $Q_{IT} = 0$, $Q_F/q = 5 \times 10^{10}/\text{cm}^2$, $x_o = 500$ Å, $A_G = 10^{-3}$ cm^2 y $N_A = 10^{15}/\text{cm}^3$. Suponga que $T = 300$ K.

(11) Determine el voltaje de banda plana de compuerta V_{FB}.

(a) –2.05 V

(b) –1.01 V

(c) –0.89 V

(d) 0 V

(12) Determine el voltaje de compuerta en el inicio de la inversión, V_T.

(a) –1.01 V

(b) –0.22 V

(c) 0.79 V

(d) 1.80 V

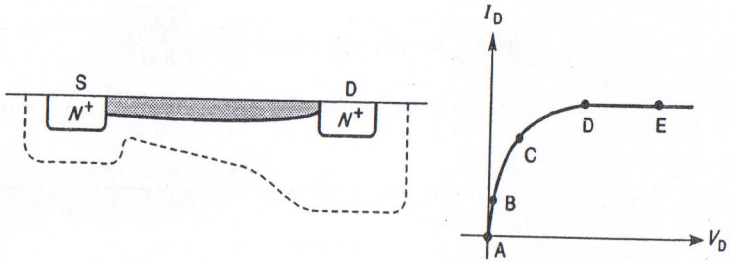
(13) El MOSFET dado es

(a) un MOSFET en modo de enriquecimiento.

(b) un MOSFET en modo de empobrecimiento.

(c) un MOSFET de canal interno.

(14) Si la condición interna de un MOSFET es la que aparece a la izquierda en la siguiente figura, identifique el punto de operación correspondiente en las características I_D–V_D que aparecen en el lado derecho.



(15) En $V_G - V_T = 3$ V y $V_D = 1$ V, el MOSFET presenta una corriente de drenaje de $I_D = 2.5 \times 10^{-4}$ A. Haga uso de las fórmulas de la ley cuadrática para determinar la corriente de drenaje si $V_G - V_T = 3$ V y $V_D = 4$ V.

(a) 3.5×10^{-4} A

(b) 4.0×10^{-4} A

(c) 4.5×10^{-4} A

(d) 1.0×10^{-3} A

III. Verdadero o falso

(16) El "efecto de campo" es un fenómeno en el cual los portadores son acelerados por un campo eléctrico aplicado, paralelo a la superficie del semiconductor.

(a) Verdadero

(b) Falso

(17) La afinidad electrónica (χ) de un semiconductor es la diferencia de energía entre el nivel de vacío y E_c en la superficie del semiconductor.

(a) Verdadero

(b) Falso

(18) La técnica "casi estática" se utiliza para medir las características C–V de baja frecuencia en los MOS-C.

(a) Verdadero

(b) Falso

(19) La condición de desequilibrio en la que hay un déficit de portadores minoritarios y un ancho de vaciamiento en exceso del valor de equilibrio se denomina "inversión profunda".

(a) Verdadero

(b) Falso

(20) El desplazamiento de voltaje debido a los iones móviles en el óxido tiene su valor mínimo cuando los iones están ubicados a la mitad de la distancia entre la compuerta y el semiconductor.

(a) Verdadero

(b) Falso

(21) La carga de trampa interfacial (Q_{IT}) es típicamente una función del voltaje aplicado a la compuerta.

(a) Verdadero

(b) Falso

(22) La teoría de "carga en volumen" para las características de cc de un MOSFET deriva su nombre del hecho de que esta teoría explica los cambios en la carga del volumen del sustrato o zona de vaciamiento que está debajo del canal del MOSFET.

(a) Verdadero

(b) Falso

(23) Sea g_d la conductancia de drenaje o de canal de un MOSFET. Por definición, a bajas frecuencias, $g_d = \partial I_D / \partial V_{G|V_{D\,=\,constante}}$.

(a) Verdadero

(b) Falso

(24) La movilidad de los portadores en las capas de inversión en la superficie o canal por lo general es inferior a la movilidad de los mismos portadores en el sustrato, debido a la dispersión agregada que se asocia con la carga en la zona de vaciamiento.

(a) Verdadero

(b) Falso

(25) En estructuras actuales de MOS, la "M" de MOS representa al Si policristalino fuertemente contaminado.

(a) Verdadero

(b) Falso

SOLUCIONES. CONJUNTO A

(1) a...ϕ tiene la misma forma de las bandas pero "invertida".

(2) c...$\mathscr{E}$ es proporcional a la pendiente de las bandas.

(3) a...E_F es independiente de la energía dentro del semiconductor.

(4) c...El semiconductor está vacío, tiene un n más bajo, cerca de la superficie. $n \cong N_D$ para $x > W$.

(5) b...$N_D = n_i e^{(E_F - E_i)/kT} = (1.18 \times 10^{10}) e^{0.29/0.0259} = 8.60 \times 10^{14}/\text{cm}^3$.

(6) d...Según la ecuación (2.1), $V_G = -(1/q)[E_F(\text{metal}) - E_F(\text{semic})] = -1.5$ V.

(7) a...Utilizando el nivel de Fermi del semiconductor como referencia,

$$\Delta\phi_{OX} = -\frac{1}{q}[\Phi'_M + (E_{FM} - E_{FS}) - \chi' - E_G/2]$$

$$= 3.5 + 1.5 - 3.33 - 0.56 = -1.11 \text{ V}$$

(8) c...Según la ecuación (2.5), $\phi_S = (1/q)[E_i(\text{sustrato}) - E_i(\text{superf})] = -0.29$ V.

(9) c...$\phi_{MS} = (1/q)[\Phi'_M - \chi' - (E_c - E_F)_\infty] = 3.5 - 3.33 - (0.56 - 0.29) = -0.10$ V

(10) c

(11) a...si $D_{semic} = D_{OX}$, no hay carga en la interfaz y $Q_F = 0$.

(12) c... $$W = \left[\frac{2K_S\varepsilon_0}{qN_D}\phi_S\right]^{1/2} = \left[\frac{(2)(11.8)(8.85 \times 10^{-14})(0.29)}{(1.6 \times 10^{-19})(8.60 \times 10^{14})}\right]^{1/2} = 0.664\ \mu\text{m}$$

$$\frac{C}{C_o} = \frac{1}{1 + \left(\frac{K_O W}{K_S x_o}\right)} = \frac{1}{1 + \left[\frac{(3.9)(0.664)}{(11.8)(0.2)}\right]} = 0.477$$

(13/14) Inversión ...e, 4

Vaciamiento ...c, 3

Banda plana ...b, 1

Umbral ...d, 2

Acumulación ...a, 5

(15) d...La curva c es una característica de desequilibrio de vaciamiento profundo.

(16) b...En acumulación, $C \to C_O = K_O\varepsilon_0 A_G/x_o$. Como ambos dispositivos presentan la misma capacidad en acumulación, los dos dispositivos tienen el mismo espesor de óxido. La menor capacidad del dispositivo b en inversión indica que éste tiene una contaminación menor. (W_T disminuye con la contaminación creciente, lo que da lugar a una capacidad mayor; véase también la Fig. 2.14).

(17) c...$V_{FB} = \phi_{MS} - Q_F/C_o$

$$\phi_{MS} = (1/q)[\Phi'_M - \chi' - (E_c - E_F)_x] = (1/q)[\Phi_M - \chi - (E_c - E_F)_x]$$

$$(E_c - E_F)_x = (E_c - E_i) + (E_i - E_F)_x$$

$$\cong \frac{E_G}{2} + kT\ln\left(\frac{N_A}{n_i}\right) = 0.56 + 0.0259\ln\left(\frac{10^{16}}{1.18 \times 10^{10}}\right)$$

$$= 0.91 \text{ eV}$$

$$\phi_{MS} = 4.1 - 4.05 - 0.91 = -0.86 \text{ V}$$

$$-\frac{Q_F}{C_o} = -q\frac{x_o}{K_O\varepsilon_0}\frac{Q_F}{q} = -\frac{(1.6 \times 10^{-19})(5 \times 10^{-6})(1.88 \times 10^{11})}{(3.9)(8.85 \times 10^{-14})}$$

$$= -0.44 \text{ V}$$

$$V_{FB} = -0.86 - 0.44 = -1.30 \text{ V}$$

(18) b... $$V_T - V_{FB} = V'_T = 2\phi_F + \frac{K_S}{K_O}x_o\sqrt{\frac{4qN_A}{K_S\varepsilon_0}\phi_F}$$

$$\phi_F = \frac{kT}{q}\ln\left(\frac{N_A}{n_i}\right) = 0.0259\ln\left(\frac{10^{16}}{1.18 \times 10^{10}}\right) = 0.354 \text{ V}$$

$$V_T - V_{FB} = 2(0.354) + \frac{(11.8)(5 \times 10^{-6})}{(3.9)}\left[\frac{(4)(1.6 \times 10^{-19})(10^{16})(0.354)}{(11.8)(8.85 \times 10^{-14})}\right]^{1/2}$$

$$= 1.41 \text{ V}$$

(19) a...Con la fuente conectada a tierra, el lado de la fuente del canal siempre está en equilibrio. Como se da $V_G = V_T$, se tiene que

$$W = \left[\frac{2K_S\varepsilon_0}{qN_A}(2\phi_F)\right]^{1/2} = \left[\frac{(2)(11.8)(8.85 \times 10^{-14})(2)(0.354)}{(1.6 \times 10^{-19})(10^{16})}\right]^{1/2}$$

$$= 0.304\ \mu\text{m}$$

(20) d...Dado $V_D > V_{Dsat}$ sabemos que el dispositivo está polarizado en saturación. En la formulación de la ley cuadrática,

$$I_D = I_{Dsat} = \frac{Z\bar{\mu}_n C_o}{2L}(V_G - V_T)^2$$

$$g_m = \left.\frac{\partial I_D}{\partial V_G}\right|_{V_D} = \frac{Z\bar{\mu}_n C_o}{2L}(V_G - V_T)$$

Para $V_G < V_T$, el dispositivo está en corte y $g_m = 0$. Se ve que g_m es una función lineal de V_G para $V_G > V_T$. (De hecho, $\bar{\mu}_n$ disminuirá levemente con V_G creciente, lo que da lugar a un cambio de pendiente en la característica. En cualquier caso, la respuesta d es la más cercana a la forma esperada).

(21) a

(22) b

(23) b

(24) b

(25) a

(26) b

(27) b

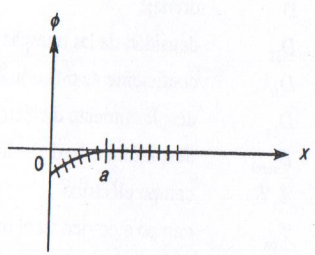
(28) a

(29) b

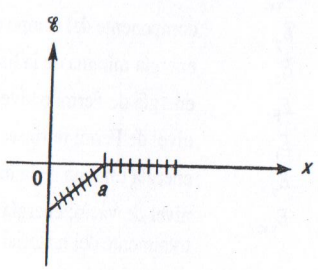
(30) a

SOLUCIONES. CONJUNTO B

(1) ...ϕ tiene la misma forma que las bandas, pero "invertida".



(2) ...$\mathscr{E}$ es proporcional a la pendiente de las bandas.



(3) a...El dispositivo está polarizado en cero, por lo que el semiconductor debe estar en equilibrio. En realidad, se demuestra que E_F es independiente de la energía dentro del semiconductor.

(4) b...$N_D = n_i e^{(E_F - E_i)/kT} = (2.25 \times 10^6)e^{0.57/0.0259} = 8.13 \times 10^{15}/\text{cm}^3$.

(5) c...Según la ecuación (2.1), $V_G = -(1/q)[E_F(\text{metal}) - E_F(\text{semi})] = 0$.

(6) b

(7) d...$\phi_{MS} = (1/q)[\Phi'_M - \chi' - (E_c - E_F)_\infty] = 0.76 - 0.37 - 0.14 = 0.25$ V.

(8) d...Como $Q_M = Q_F = Q_{IT} = 0$, $\Delta V_G = (V_G - V'_G)_{\text{igual } \phi_S} = \phi_{MS}$.
En condiciones de banda plana, $V'_G = 0$ y $V_G = V_{FB} = \phi_{MS} = 0.25$ V.

(9) c...El análisis de vaciamiento delta dio [Ec. (2.37)],

$$\frac{C}{C_O} = \frac{1}{\sqrt{1 + V'_G/V_\delta}}$$

Debe puntualizarse que en realidad se utilizó V_G y no V'_G en la ecuación (2.37) del texto. Sin embargo, se supuso una estructura ideal durante todo el capítulo 2 (todas las V_G del capítulo 2 eran en realidad V'_G). Como se observó en la solución al problema 8, $\Delta V_G = (V_G - V'_G)_{|\text{el mismo}}\ \phi_S = \phi_{MS}$. Como $V_G = 0$ para el punto de polarización dado, el correspondiente $V'_G = -\phi_{MS}$.

$$V_\delta = -\frac{q}{2}\frac{K_S x_0^2}{K_O^2 \varepsilon_0} N_D = -\frac{(1.6 \times 10^{-19})(12.85)(10^{-5})^2(8.13 \times 10^{15})}{(2)(9)^2(8.85 \times 10^{-14})} = -0.117 \text{ V}$$

$$\frac{C}{C_o} = \frac{1}{\sqrt{1 + \dfrac{0.25}{0.117}}} = 0.56$$

(10) a...La magnitud a es, por supuesto, el ancho de vaciamiento, W. Como C/C_O se determinó en el problema 9. Se puede calcular W usando la ecuación (2.34b).

$$\frac{C}{C_O} = \frac{1}{1 + \left(\dfrac{K_O W}{K_S x_o}\right)}$$

$$W = \frac{K_S}{K_O} x_o \left(\frac{C_O}{C} - 1\right) = \frac{(12.85)(10^{-5})}{(9)}\left(\frac{1}{0.56} - 1\right) = 0.112\ \mu\text{m}$$

(11) b... $V_{FB} = \phi_{MS} - \dfrac{Q_F}{C_o} = \phi_{MS} - q\dfrac{x_o}{K_O \varepsilon_0}\dfrac{Q_F}{q}$

$$= -0.89 - \frac{(1.6 \times 10^{-19})(5 \times 10^{-6})(5 \times 10^{10})}{(3.9)(8.85 \times 10^{-14})}$$

$$= -1.01 \text{ V}$$

(12) b...$V_T = V'_T + V_{FB}$

$$V'_T = 2\phi_F + \frac{K_S}{K_O} x_o \sqrt{\frac{4qN_A}{K_S \varepsilon_0} \phi_F}$$

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) = 0.0259 \ln\left(\frac{10^{15}}{1.18 \times 10^{10}}\right) = 0.294 \text{ V}$$

$$V'_T = 2(0.294) + \frac{(11.8)(5 \times 10^{-6})}{(3.9)} \left[\frac{(4)(1.6 \times 10^{-19})(10^{15})(0.294)}{(11.8)(8.85 \times 10^{-14})}\right]^{1/2}$$

$$= 0.791 \text{ V}$$

$$V_T = 0.79 - 1.01 = -0.22 \text{ V}$$

(13) b...Como el MOSFET conduce para $V_G > V_T$, el dispositivo está "en conducción" para $V_G = 0$ y, por lo tanto, se trata de un MOSFET de modo empobrecimiento.

(14) D...El canal de MOSFET que se muestra está justamente en estrangulamiento. Esto corresponde al inicio de la saturación, punto D.

(15) c...Si $V_G - V_T = 3$ V y $V_D = 1$ V, el MOSFET está polarizado por debajo de estrangulamiento y, en la formulación de la ley cuadrática,

$$I_D = \frac{Z\mu_n C_o}{L}\left[(V_D - V_T)V_D - \frac{V_D^2}{2}\right]$$

o

$$\frac{Z\bar{\mu}_n C_o}{L} = \frac{I_D}{(V_G - V_T)V_D - V_D^2/2} = \frac{2.5 \times 10^{-4}}{3 - 0.5} = 10^{-4} \text{ amps/volt}^2$$

Cuando $V_G - V_T = 3$ V y $V_D = 4$ V, el dispositivo está polarizado en saturación, y

$$I_D = I_{Dsat} = \frac{Z\bar{\mu}_n C_o}{2L}(V_G - V_T)^2 = \frac{(10^{-4})(3)^2}{2}$$

$$= 4.5 \times 10^{-4} \text{ amps}$$

(16) b

(17) a

(18) a

(19) b

(20) b

(21) a

(22) a

(23) b

(24) b

(25) a

Apéndice F
Lista de símbolos

a	mitad del ancho de la región del canal en un J-FET
A_G	área de compuerta
C	capacidad; capacidad de un MOS-C
C_G	capacidad de compuerta de MOSFET
C_{gd}	capacidad de compuerta a drenaje en el circuito equivalente de pequeña señal y alta frecuencia del MOSFET
C_{gs}	capacidad de compuerta a fuente en el circuito equivalente de pequeña señal y alta frecuencia del MOSFET
C_o	capacidad del óxido por unidad de área (pF/cm^2)
C_O	$C_O = C_o A_G$; capacidad del óxido (pF)
C_S	capacidad del semiconductor
D	drenaje
D_{IT}	densidad de las trampas interfaciales (estados/cm^2–eV)
D_N	coeficiente de difusión de electrones
D_{ox}	desplazamiento dieléctrico en el óxido
D_{semi}	desplazamiento dieléctrico en el semiconductor
$\mathscr{E}$, $\mathscr{E}$	campo eléctrico
$\mathscr{E}_{ox}$	campo eléctrico en el óxido
$\mathscr{E}_S$	campo eléctrico superficial; campo eléctrico en el semiconductor en la interfaz óxido-semiconductor
$\mathscr{E}_{vac}$	campo eléctrico en el vacío
$\mathscr{E}_y$	componente del campo eléctrico en la dirección y
E_c	energía mínima de la banda de conducción
E_F	energía de Fermi o nivel de Fermi
E_i	nivel de Fermi intrínseco
E_v	energía mínima de la banda de valencia
E_{vac}	nivel de vacío; energía mínima que debe poseer un electrón para liberarse totalmente del material
f	frecuencia (Hz)

$f_{máx}$	frecuencia operativa máxima de un MOSFET; frecuencia de corte
$F(U,U_F)$	función de campo [véase la Ec. (B.17)]
G	compuerta
G_0	conductancia de canal que se observaría en un J-FET si no hubieran zonas de vaciamiento
g_d	conductancia de drenaje o de canal
g_m	transconductancia o conductancia mutua
i_d	corriente de drenaje de pequeña señal
I_D	cc de drenaje en un J-FET o en un MOSFET
I_{D0}	corriente de saturación de drenaje $V_G = 0$ en un MOSFET
I_{Dsat}	corriente de saturación de drenaje
j	$\sqrt{-1}$
$\mathbf{J}_N$, J_N	densidad de corriente de electrones
J_{Ny}	componente de la densidad de corriente de electrones en la dirección y
k	constante de Boltzmann (8.62×10^{-5} eV/K)
K_O	constante dieléctrica del óxido
K_S	constante dieléctrica en el semiconductor
L	longitud del canal en un J-FET o en un MOSFET
L'	longitud de canal reducida, definida en la figura 5.4
L_B	longitud extrínseca de Debye
L_D	longitud intrínseca de Debye
$L_{mín}$	mínima longitud de un canal MOSFET que conserva el comportamiento de canal largo
n	concentración de portadores electrones (cantidad de electrones/cm^3)
N_A	cantidad total de átomos aceptadores o sitios/cm^3
N_B	contaminación intencional del sustrato semiconductor (N_A o N_D, según corresponda)
$n_{sustrato}$	concentración de electrones en el sustrato semiconductor
N_D	cantidad total de átomos donadores o sitios/cm^3
n_i	concentración intrínseca de portadores
N_I	cantidad de iones implantados/cm^2
p	concentración de huecos (cantidad de huecos/cm^3)
$p_{sustrato}$	concentración de huecos en el sustrato semiconductor
p_s	concentración de huecos en la superficie del semiconductor (cantidad/cm^3)
q	magnitud de la carga del electrón (1.60×10^{-19} coulomb)
Q	designación genérica de una carga
Q_B	carga en el sustrato en la zona de vaciamiento por unidad de área de la compuerta

Q_{BL}	Q_B en un MOSFET de canal largo
Q_{BS}	Q_B en un MOSFET de canal corto
Q_F	carga fija del óxido por unidad de área en la interfaz óxido-semiconductor
Q_I	carga relacionada con la implantación/cm^2 ubicada en la interfaz óxido-semiconductor
Q_{IT}	carga neta por unidad de área asociada con las trampas interfaciales
Q_M	carga total de iones móviles dentro del óxido por unidad de área de la compuerta
Q_N	carga electrónica total/cm^2 en el canal del MOSFET
$Q_{O\text{-}S}$	carga por unidad de área ubicada en la interfaz óxido-semiconductor
Q_S	carga total en el semiconductor por unidad de área de la compuerta
R	variación temporal de la magnitud de una rampa (véase la Fig. 2.17)
R_D	resistencia de canal a drenaje en un J-FET
r_j	penetración de las islas de fuente y de drenaje en un MOSFET
R_S	resistencia de fuente a canal en un J-FET
S	fuente
T	temperatura
U	potencial electrostático normalizado a kT/q
U_F	parámetro de contaminación intencional de semiconductor
U_S	potencial superficial normalizado, U evaluada en la interfaz óxido-semiconductor
$\hat{U}_S$	signo (±) de U_S
V	voltaje potencial electrostático
V_A	voltaje aplicado sobre una unión *pn*
V_{bi}	potencial de contacto de una unión *pn*
V_{BS}	voltaje de fuente al contacto del sustrato
v_d	voltaje de ca de drenaje
V_D	voltaje de cc de drenaje
V_{DS}	voltaje de drenaje a fuente
v_{dsat}	velocidad de arrastre en saturación
V_{Dsat}	voltaje de saturación de drenaje
V_{FB}	voltaje de banda plana
v_g	voltaje de ca de compuerta
V_G	voltaje de cc de compuerta
V'_G	voltaje de cc de compuerta aplicado a un dispositivo ideal
V'_{GB}	voltaje de compuerta al contacto de sustrato aplicado a un dispositivo ideal
V_{GS}	voltaje de compuerta a fuente
V'_{GS}	voltaje de compuerta a fuente aplicado a un dispositivo ideal

V_P	voltaje de estrangulamiento en un J-FET
V_T	voltaje de compuerta del punto de transición inversión-vaciamiento; voltaje umbral o de inicio de conducción del MOSFET
V'_T	voltaje de compuerta del punto de transición inversión-vaciamiento en un dispositivo ideal
V_W	voltaje definido [véase la Ec. (3.24)]
V_δ	voltaje definido [véase la Ec. (2.36)]
W	ancho de vaciamiento
W_D	ancho de vaciamiento de la unión *pn* de drenaje en un MOSFET
W_{ef}	ancho de vaciamiento efectivo
W_S	ancho de vaciamiento de la unión *pn* de fuente en un MOSFET
W_T	ancho de vaciamiento cuando el semiconductor está polarizado en el punto de transición inversión-vaciamiento
x_c	profundidad de un canal MOSFET
x_o	espesor del óxido
Z	ancho del canal de un J-FET o MOSFET
Δ	parámetro de frecuencia en la teoría de *C-V* de carga exacta [véanse las Ecs. (C.3)]
ΔL	disminución de longitud del canal en condiciones de postestrangulamiento o saturación
ΔQ	designación genérica de un cambio en la carga
$\Delta Q_{compuerta}$	cambio en la carga de compuerta/cm^2
ΔQ_{semic}	cambio en la carga dentro del semiconductor/cm^2
ΔV_G	diferencia entre voltajes de compuerta de un dispositivo real y uno ideal, necesaria para lograr un potencial de superficie de semiconductor dado
ΔV_T	cambio en el voltaje umbral debido a efectos de pequeña dimensión
$\Delta V'_T$	cambio en el voltaje umbral debido a la polarización de sustrato (aplicado precisamente a dispositivos ideales)
$\Delta\phi_{óx}$	caída de voltaje en el óxido
$\Delta\phi_{semi}$	caída de voltaje en el semiconductor
γ_M	centroide normalizado de carga iónica móvil en el óxido
ε	permitividad
ε_0	permitividad del vacío (8.85×10^{-14} farad/cm)
$\mu_{sustrato}$	movilidad de portadores en el sustrato semiconductor
μ_n	movilidad del electrón
$\bar{\mu}_n$	movilidad efectiva del electrón
$\bar{\mu}_p$	movilidad efectiva del hueco
ρ	densidad de carga (coulomb/cm^3)
ρ_{ion}	densidad de cargas iónicas dentro del semiconductor

$\rho_{óx}$	densidad de cargas en el óxido
ϕ	potencial electrostático dentro del semiconductor, componente de una estructura MOS
ϕ_F	voltaje de referencia asociado a la concentración de contaminado del semiconductor
Φ_M	función de trabajo del metal
Φ'_M	$\Phi'_M = \Phi_M - \chi_i$; función de trabajo efectiva de metal en una estructura MOS
ϕ_{MS}	diferencia de función de trabajo metal-semiconductor
$\phi_{óx}$	potencial dentro del óxido
ϕ_S	potencial de superficie del semiconductor
Φ_S	función trabajo del semiconductor
χ	afinidad electrónica del semiconductor
χ'	$\chi' = \chi - \chi_i$; afinidad electrónica efectiva del semiconductor en una estructura MOS
χ_i	afinidad electrónica del aislador (óxido)
χ_{Si}	afinidad electrónica del silicio
ω	frecuencia angular

Apéndice G

CONSTANTES FÍSICAS

Símbolo	Nombre	Valor
q	carga del electrón (magnitud)	1.60×10^{-19} coulomb
ε_0	permitividad del vacío	8.85×10^{-14} farad/cm
k	constante de Boltzmann	8.62×10^{-5} eV/K
h	constante de Planck	6.63×10^{-34} joule-s
m_0	masa del electrón en reposo	9.11×10^{-31} kg
kT	energía térmica	0.0259 eV ($T = 300$ K)
kT/q	potencial térmico	0.0259 V ($T = 300$ K)

PARÁMETROS FÍSICOS (Si, $T = 300$ K)

Símbolo	Parámetro	Valor
E_G	ancho de banda	1.12 eV
n_i	concentración intrínseca de portadores	$1.18 \times 10^{10}/\text{cm}^3$
L_D	Longitud intrínseca de Debye	2.68×10^{-3} cm
K_S	constante dieléctrica	11.8
K_O	constante dieléctrica del SiO_2	3.9

RELACIONES CLAVE

Ítem	Ecuaciones	Páginas
J-FET/MESFET		
Teoría I_D–V_D	(1.9), (1.12), (1.13), (1.14)	19, 20
definiciones g_d, g_m	(1.17)	23
FUNDAMENTOS DEL MOS		
Definición del punto de transición vaciamiento/inversión	(2.2)	35
definición de ϕ_S (potencial de superficie)	(2.5)	38
definición de ϕ_F	(2.6)	38
cálculo de ϕ_F	(2.8)	38
ϕ_F–ϕ_S relación en el punto de transición de vaciamiento/inversión	(2.9)	38
W_T máximo ancho de vaciamiento en equilibrio	(2.16)	42
relación V_G–ϕ_F	(2.26)	44
relaciones de capacidad (vaciamiento delta)	(2.34), (2.37)	50, 51
MOSFET		
Voltaje de umbral-ideal	(3.1)	68
Teoría de la ley cuadrática I_D–V_D	(3.15), (3.19), (3.20)	73
Teoría de carga en volumen I_D–V_D	(3.26), (3.27)	75
definiciones de g_d, g_m	(3.30)	79
MOS NO IDEAL		
ϕ_{MS} diferencia de función trabajo	(4.3)	89
ΔV_G (cargas en el óxido)	(4.11)	93
ΔV_G (iones móviles)	(4.13)	95
ΔV_G (carga fija)	(4.15)	98
ΔV_G (trampas interfaciales)	(4.16)	103
ΔV_G suma-resumen	(4.17)	109
V_{FB} voltaje de banda plana	(4.20)	110
interrelación V_T, V'_T	(4.21), (4.22)	110, 111
PEQUEÑA DIMENSIÓN		
ΔV_T (canal corto)	(5.13)	126
ΔV_T (canal estrecho)	(5.15)	127

Índice de materias

acceso aleatorio, memoria de. *Véase* DRAM
aceptador, trampas interfaciales de tipo, 103, 105
acoplado por carga, dispositivo. *Véase* CCD
activación neutrónica, 96
acumulación, 34, 35, 36, 37, 39-41, 58
afinidad electrónica, 31, 88
agua, vapor de, 105
aislante. *Véase* también dióxido de silicio
  bandas de energía, diagrama de, 31
  perfecto, 30
alta frecuencia. *Véase* C-V, características
aluminio (AL)
  bandas de energía, diagrama, 88
  blindaje o apantallamiento, 108
  compuerta, material de, 30, 91
  función trabajo, diferencia de, 91
  recocido y posmetalización, 105
arseniuro de galio (GaAs), 5, 10, 131, 135-136
arseniuro de galio y aluminio (AlGaAs), 5, 136

baja frecuencia. *Véase* C-V características
banda plana, 36, 57, 89, 110
banda plana, voltaje de, 110
bandas de energía, diagrama de, 31-32, 87-89
  aislante, 31, 88
  estructura MOS real, 87-89
  metal, 31, 88
  semiconductor, 31, 88
barrera, alturas de. *Véase* afinidad electrónica; función trabajo, metálica
bloques de carga, diagramas de, 32-33
  estados de polarización estática, 35
  MOS-C, vaciamiento profundo, 55
  prueba del MOS-C en ca, 48
boro, 30, 114

campo, efecto de, 1
campo eléctrico, 40, 41, 168
canal, 12, 64
canal, conductancia de. *Véase* drenaje, conductancia de
canal corto, efectos de. *Véase* pequeña dimensión, efectos de
canal enterrado en MOSFET, 132
canal gradual, aproximación de, 19
capa overgrowth epitaxial, (ELO), 134
capacidad
  óxido, 48, 72
  semiconductor, 48
capacidad-voltaje (C-V), características, 46-57
  alta frecuencia, 46, 47, 49, 50, 54, 55, 161, 162
  baja frecuencia, 46, 47, 49, 50, 54, 161, 170
  casi estática, técnica de medición, 54
  contaminación intencional, dependencia de la, 51, 52
  espesor de óxido, dependencia del, 51, 53
  experimental, 47, 55
  medición de, 46, 54, 55
  relaciones de carga exactas, 161-162
  temperatura, dependencia de la, 53
  teoría cualitativa, 46-50
  teórica, 52-53
  vaciamiento delta, análisis de, 50-51
  vaciamiento profundo, 54-56
carga en volumen, 74
carga fija, 98-100
carga interna. *Véase* carga fija
cargas inducidas, 106-108
casi estática, definición, 22
casi estática, técnica, 54
CCD, 3-6, 56
circuito equivalente
  J-FET, 24
  MOS-C, 48
  MOSFET, 78

cloro (Cl_2), 97
cloro, neutralización por, 97
CMOS, 4-5
compuerta, 2, 9, 63
compuerta autoalineada, 80
compuerta de óxido, 112
compuerta, relación de voltaje, dispositivo ideal, 42-43, 44-45
condensador metal-óxido-semiconductor. *Véase* MOS-C
conductancia mutua. *Véase* transconductancia.
constante dieléctrica, 44-45
contacto óhmico, 30
contaminación intencional, parámetros, 157
contaminación intencional, potencial de (ϕ_F)
definición, 38
propiedades, 38
corte, frecuencia de, 80
cromo (Cr), 92, 105
cuerpo, efecto de. *Véase* polarización inversa

D-MESFET, 135
Debye, longitud de
extrínseca, 158
intrínseca, 157, 158
desplazamiento dieléctrico, 44, 153
DMOS, 132-139
doble difusión, MOSFET de. *Véase* DMOS
donador, trampas interfaciales de tipo, 102, 103, 105
DRAM, 2, 3, 56
drenaje, 1-2, 9, 63
drenaje, conductancia de
J-FET, 23, 24
MOSFET, 79
drenaje de contaminación débil. *Véase* transistores LDD

E-MESFET, 135
efectos de pequeña dimensión
acción BJT parásita, 127-129
carga en el óxido, 129
general, 121-123
transporte balístico, 130-131
velocidad, saturación de, 129-130
voltaje umbral, modificación de, 124-127
encendido, tensión de. *Véase* umbral, tensión
enriquecimiento MOSFET, modo de, 112
epitaxia de haz molecular. *Véase* MBE
estrangulamiento, 12, 13, 14, 15, 66
estrangulamiento, voltaje de compuerta de, 14

Fermi, energía de, 33
fósforo, 30, 96, 97, 114
fósforo, estabilización, 96, 97
fosfosilicato, vidrio de, 96, 97, 98
fuente, 1-2, 9, 63
función delta, 40, 41, 44, 50, 98
función trabajo, 31, 87-89
función trabajo del metal, 31, 88
función trabajo, diferencia de, metal-semiconductor, 87-92

generación, 49, 54, 55

HCl, 97
HEMT. *Véase* MODFET
hidrógeno (H_2), 105, 106, 108

IGFET. *Véase* MOSFET
implantación iónica, 114
inestabilidad, 91, 94, 96, 108
inversión, 35, 36, 57
inversión, capa de, 41, 64
inversión débil, 57
inversión fuerte, 57
iones alcalinos. *Véase* sodio
iones móviles, 93-98, 108, 109
centroide de carga normalizada, 109
efecto sobre características MOSFET, 110-111
modelo, 95

Kink, efecto, 135

LDD, transistores, 129, 131-132, 133
ley cuadrática, relación
J-FET, 21
MOSFET, 74
ley cuadrática, teoría, 70-74
límites colgantes, 103, 104
litio (Li), ion alcalino, 96

MBE, 136
MESFET, 6, 10, 11, 135, 136
metal-aislador-semiconductor (MIS), 29, 109
MIS, estructuras, 29, 109
MODFET, 5-6, 10, 136
MOS-C
bandas de energía, diagrama de, 32, 88
características C-V, 46-57, 161-162
dispositivo físico, 29, 30

ideal, 29, 30
polarización de, 33-36
MOSFET, 2, 63-83, 110-116, 121-134
banda plana, tensión de, 110
C-V, característica, 80, 81
canal, 64
canal corto, 121-126
canal enterrado, 132, 134
canal estrecho, 126-127
capacidad de compuerta a drenaje, 80
características de pequeña señal, 80-82
carga en volumen, teoría, 74-76
carga exacta, teoría de, 76, 163-164
carga superficial, teoría de la, 76, 163-164
circuito equivalente, 78
circuitos equivalentes de pequeña señal, 77-80
corte, frecuencia de, 80
empobrecimiento, modo, 112
enriquecimiento, modo, 112
estrangulamiento, 66
estructura básica, 63, 64
ley cuadrática, teoría de la, 70-74, 75, 76
no-idealidades, efecto de, 109, 111
parámetros de pequeña señal, 79
polarización de compuerta, acción de, 64
polarización de drenaje, acción de, 64-65
postestrangulamiento, 65, 66, 73, 75, 76
respuesta en ca, 77-80
saturación, 67, 73
subumbral, 76, 77, 122
teoría de funcionamiento cualitativa, 63-67
transconductancia, 79
triodo, zona de operación, 67
umbral, voltaje, 68, 110-116
zona de operación lineal, 67
MOST. *Véase* MOSFET
movilidad efectiva, 68-70, 81, 82
expresión matemática, 69
medición de, 81, 82
posición, dependencia de la, 70
voltajes, dependencia de los, 70, 71

N2, recocido, 99, 100
NMOS, 112, 114

oxidación, triángulo de, 100
óxido, capacidad de, 48, 72
óxido, carga en el, 129, 132
óxido de campo, 113

perforación, 127-128
PMOS, 112, 114
Poisson, ecuación de, 41, 158, 159
polarización inversa, 114-116
polarización negativa, inestabilidad de, 108
polarización y temperatura, excitación de, 94, 96, 98, 108
polisilicio, compuerta de, 30, 90, 91, 114
portadores cargados, efectos de, 129-131
potasio (K), ion alcalino 96
potencial. *Véase* potencial electrostático
potencial electrostático
normalizado, 157
propiedades generales, 36, 37
superficial, 37, 38
pseudocanal, 112

radiación, daño por, 106
radiación, efectos de la, 106-107
radiación, endurecimiento por, 108
radiación ionizante, 106-107
recocido, 99-100, 105, 106, 107, 108
recocido en argón, 99
recocido y posmetalización, 105, 106
recolección, 97
retorcimiento, efecto. *Véase* Kink, efecto
retroalimentación regenerativa, 128

salida, 129
saturación. *Véase* J-FET, saturación; MOSFET, saturación
saturación, velocidad de arrastre, 130
semiconductor, función trabajo, 87
silicio, dióxido de (SiO_2)
aislador en estructuras MOS, 29, 30
bandas de energía, diagrama de, 88
crecimiento de, y la carga fija, 99
estabilización de, 96, 97
ion móvil, contaminación de, 96
trampas interfaciales Si-SiO_2, 92, 102, 106
silicio policristalino, 30, 114
silicio-sobre-aislador. *Véase* SOI, estructuras
sodio (Na), 94, 96, 97
SOI, estructuras, 134
superposición, capacidad de. *Véase* MOSFET, capacidad de compuerta a drenaje

sustrato, 30, 37, 157
sustrato, contacto, 30, 82, 114
sustrato, polarización, efecto de. *Véase* polarización inversa
superficie, dispersión, 68, 69
superficie, estados. *Véase* trampas interfaciales
superficie, orientación, 99, 105, 113
superficie, potencial, 38

trampas interfaciales, 101-106, 107, 108
  aceptador, de tipo, 103, 105
  densidad de, 104-105
  donador, de tipo, 102, 103, 105
  efecto sobre características C-V, 101, 103
  efecto sobre características MOSFET, 110, 111
  eléctrico, modelo, 102
  físico, modelo, 103-104, 105
transconductancia
  J-FET, 23, 24
  MOSFET, 79
transistor de efecto de campo de contaminación intencional modulada. *Véase* MODFET
transistor de efecto de campo metal-óxido-semiconductor. *Véase* MOSFET
transistor de efecto de campo metal-semiconductor. *Véase* MESFET
transistor unipolar, 9
transporte balístico, 130, 131
tricloroetano, 97

umbral, voltaje
  ajuste, 114-116
  canal corto, modificación, 124-126
  canal estrecho, modificación, 126-127
  definición, 68
  medición de, 81
  relaciones, 68, 110-111
unión, transistor de efecto de campo de (J-FET), 1, 5, 9, 24
  ca, respuesta en, 21-24
  caída de agua o cascada, analogía de, 15, 16
  canal, 11
  canal, estrechamiento del, 12, 14, 15
  circuito equivalente, 24
  circuito equivalente de pequeña señal, 24
  dispositivo, estructura básica, 9, 17
  dispositivo moderno, estructura del, 9
  drenaje, conductancia del, 23, 24
  estrangulamiento, 12, 13, 14, 15
  estrangulamiento, voltaje de compuerta de, 16
  fuente-drenaje, resistencia de, 22, 143-145
  ley cuadrática, relación, 21
  parámetros de pequeña señal, 24
  postestrangulamiento, 13
  relaciones cuantitativas, I_D–V_D, 16-21
  saturación, 12, 15
  teoría de funcionamiento cualitativa, 10-15
  transconductancia, 24, 25

vaciamiento, 34, 35, 36, 56-57
vaciamiento delta
  análisis C-V, 50-51
  solución electrostática, 39-42
vaciamiento, espesor de, 40-41
  efectivo, 161
  equilibrio máximo, 43
  y vaciamiento profundo, 55
vaciamiento, MOSFET en modo de, 112
vaciamiento profundo, 54-56
vacío, nivel de, 31, 87
velocidad, saturación de, 129-130