
Instituto Tecnológico de Costa Rica

Escuela de Ingeniería Electrónica

EL-2207 Elementos Activos

Profesores: Dr.-Ing. Juan José Montero Rodríguez

Ing. Mauricio Segura Quiros

Ing. Anibal Ruiz Barquero

I Semestre 2019

Tercer Examen Parcial

07 de junio de 2019

Total de Puntos:	50
Puntos obtenidos:	
Porcentaje:	
Nota:	

Nombre: _____

Carné: _____

Instrucciones Generales:

- Resuelva el examen en forma ordenada y clara.
- No se aceptarán reclamos de desarrollos con lápiz, borrones o corrector de lapicero.
- Si trabaja con lápiz, debe encerrar en recuadro su respuesta final con lapicero.
- El uso de lapicero rojo **no** está permitido.
- El uso del teléfono celular no es permitido. Este tipo de dispositivos debe permanecer **totalmente apagado** durante el examen.
- No se permite el uso de calculadora programable.
- Únicamente se atenderán dudas de forma.
- El instructivo de examen debe ser devuelto junto con su solución.
- El examen es una prueba individual.
- El no cumplimiento de los puntos anteriores equivale a una nota igual a cero en el ejercicio correspondiente o en el examen.
- Esta prueba tiene una duración de 3 horas, a partir de su hora de inicio.

Firma: _____

Falso o verdadero	de 10
Problema 1	de 12
Problema 2	de 14
Problema 3	de 14

Falso o verdadero

10 Pts

Escriba F o V, según corresponda a Falso o Verdadero en todas las opciones. Cada pregunta vale 1 punto. Si necesita corregir, escriba una X sobre la letra incorrecta y escriba F o V a la izquierda de la línea. La ponderación será: cinco opciones buenas es 1 punto; cuatro opciones buenas es 0.8 puntos; 3 opciones buenas es 0.6 puntos; 2 opciones buenas es 0.4 puntos y 1 buena es 0.2 puntos. No es necesario que justifique su respuesta.

1. Con respecto a la estructura del MOSFET se afirma correctamente que:

1 Pt

- _____ El canal de un transistor NMOS está fabricado con silicio de tipo P.
- _____ La región del surtidor tiene un dopado más intenso que el drenador ($N_S > N_D$).
- _____ El drenador y el surtidor son intercambiables.
- _____ La tensión de umbral se puede ajustar cambiando el dopado del substrato.
- _____ En un transistor PMOS el canal está formado mayoritariamente por huecos.

2. Con respecto a las regiones de operación del MOSFET es correcto afirmar que:

1 Pt

- _____ En la región lineal, el MOSFET se podría reemplazar por una resistencia entre D-S.
- _____ En la región de saturación el transistor opera como una fuente de corriente.
- _____ En la región de corte, la corriente de drenador es exactamente cero.
- _____ En la región de subumbral, existe una resistencia finita entre D-S caracterizada por S .
- _____ La región de inversión débil está considerada dentro de la zona de corte.

3. Sobre los efectos parásitos del MOSFET se afirma correctamente que:

1 Pt

- _____ La modulación de largo de canal afecta a I_D en la zona del triodo.
- _____ El parámetro γ es una constante para una tecnología determinada y no se puede cambiar.
- _____ La resistencia de salida r_o cambia si se modifica el punto de operación del transistor.
- _____ Si no existe modulación de largo de canal, el parámetro λ tiende a infinito.
- _____ El efecto de substrato puede utilizarse para modificar la tensión de umbral a conveniencia.

4. Con respecto a la polarización de transistores MOSFET se afirma que:

1 Pt

- _____ En saturación, la corriente de compuerta siempre es despreciable.
- _____ La corriente de drenador es exactamente igual a la corriente de surtidor.
- _____ Si la tensión de surtidor aumenta para un NMOS, la corriente I_D disminuye.
- _____ Si un circuito se calienta, la corriente aumenta debido a que la movilidad aumenta.

_____ La transconductancia $g_m = \sqrt{2KI_D}$ es independiente de la tensión en la compuerta.

5. Con respecto a las aplicaciones del transistor MOSFET se afirma correctamente que: 1 Pt

_____ Para fabricar una compuerta AND se necesitan al menos cuatro transistores como mínimo.

_____ En un inversor CMOS, el transistor PMOS debe tener 3 veces el ancho del NMOS.

_____ Una compuerta NOR se puede fabricar con dos NMOS y dos PMOS.

_____ Una compuerta NOR se puede fabricar con tres NMOS.

_____ Una tabla de verdad puede tener a la salida estados de alta impedancia Z.

6. Sobre el modelo analógico del transistor MOSFET se afirma correctamente que: 1 Pt

_____ La transconductancia g_m describe cuánta corriente i_D produciría un cambio en tensión v_{DS}

_____ La resistencia de salida r_o es equivalente a la impedancia de salida de una fuente de corriente.

_____ Si la tensión de compuerta-substrato cambia en pequeña señal, el canal se deforma ligeramente.

_____ Para modelar un transistor con óxido de compuerta defectuoso, se podría incluir r_π en el modelo.

_____ El modelo π del transistor NMOS es idéntico al del transistor PMOS.

7. Con respecto al modelo digital del transistor MOSFET se afirma correctamente que: 1 Pt

_____ El modelo digital está compuesto por capacitancias y una resistencia equivalente.

_____ Si se desprecian las capacitancias, el retardo y los tiempos de subida/bajada son cero.

_____ La resistencia equivalente es igual al inverso de la transconductancia.

_____ El modelo digital se puede utilizar para calcular la ganancia A_v de un amplificador.

_____ El retardo de propagación se mide entre el 50 % de V_{IN} y el 50 % de V_{OUT} .

8. Con respecto a la teoría de escalamiento del transistor MOSFET se afirma que: 1 Pt

_____ Si el largo L de un transistor MOSFET se reduce a la mitad, se obtiene $2I_D$

_____ Si el ancho W de un transistor MOSFET se duplica, se obtiene una corriente $2I_D$

_____ El escalamiento de campo constante permite mantener la compatibilidad entre generaciones.

_____ La longitud L se puede seguir reduciendo a la mitad cada dos años, de manera ilimitada.

_____ Si la distancia entre átomos Si es 0.235 nm, un transistor de 5 nm tiene 21 átomos entre D-S.

9. Sobre la fabricación de transistores MOSFET se afirma correctamente que: 1 Pt

- _____ El proceso de oxidación húmeda produce mejor calidad de óxido que el de oxidación seca.
- _____ La máscara que se utiliza en litografía es una sola lámina de metal.
- _____ El proceso de decapado permite eliminar material de manera completamente vertical.
- _____ El dopado por difusión requiere de altas temperaturas.
- _____ El dopado por implantación iónica se puede realizar a temperatura ambiente.

10. Con respecto a los transistores MOSFET en general se afirma correctamente que:

1 Pt

- _____ Los transistores modernos utilizan otros materiales distintos a metal-óxido-semiconductor
- _____ El transistor MOSFET se fabricó por primera vez antes que el transistor BJT
- _____ La frecuencia de tránsito del MOSFET es típicamente inferior a la del BJT
- _____ El consumo de potencia de un circuito digital con BJT es más alto que con MOSFET
- _____ Un inversor CMOS ideal presenta un consumo de potencia de corto circuito igual a cero.

Problemas

Nombre: _____

Carné: _____

Problema 1 Polarización y pequeña señal

12 Pts

Considere el circuito de la figura 1.1 donde $W_1/L_1 = 20/0,18$, $W_{1,2} = L_{1,2} = 3\mu m$, $K'_1 = 200\mu A/V^2$, $K'_2 = 22,75mA/V^2$, $V_{OV} = V_{GS} - 0,401$, $C_{OX1} = 4,8fF$ e $I_{D1} = 0,5mA$. Considere que la corriente que pasa por R_2 es $I_{D1}/10$. Determine:

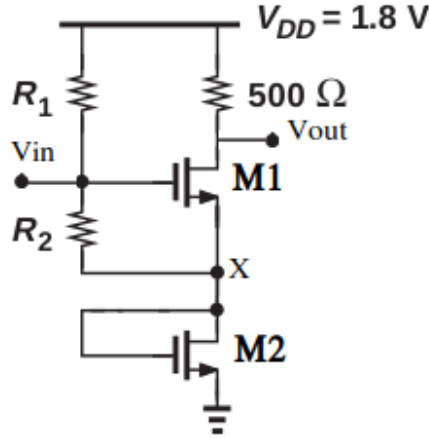


Figura 1.1: Amplificador de tensión

- 1.1. Cual sería el $R_{Thevenin}$ para M2, visto desde el punto indicado con X. 2 Pts
- 1.2. El valor de V_{TH1} . 1 Pt
- 1.3. El valor de R_1 . 2 Pts
- 1.4. El valor de R_2 . 3 Pts
- 1.5. La frecuencia donde la ganancia en corriente se hace unitaria para M1 (f_{T1}), despreciando la capacidad entre compuerta y sustrato, asuma que se encuentra en región de saturación. 2 Pts
- 1.6. Mediante pequeña señal, la ganancia en tensión del circuito A_v . 2 Pts

El inversor CMOS de la Figura 2.1 se quiere utilizar como amplificador de pequeña señal. Sin embargo, por un error de parte del diseñador, el inversor CMOS se fabricó en silicio con un ancho W_2 de $25 \mu\text{m}$ en lugar de usar $30 \mu\text{m}$. Por este motivo, la tensión de salida es 0.542 V para una entrada de 0.900 V ($V_{\text{OUT}} \neq V_{\text{DD}}/2$). La corriente en este punto de operación es $I_{\text{D1}} = I_{\text{D2}} = 2.29 \text{ mA}$. Los parámetros del inversor se muestran en la tabla adjunta.

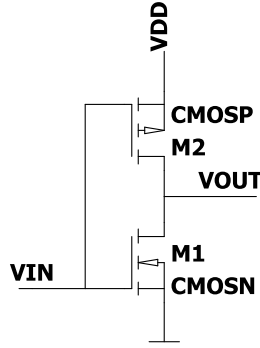


Figura 2.1: Inversor CMOS

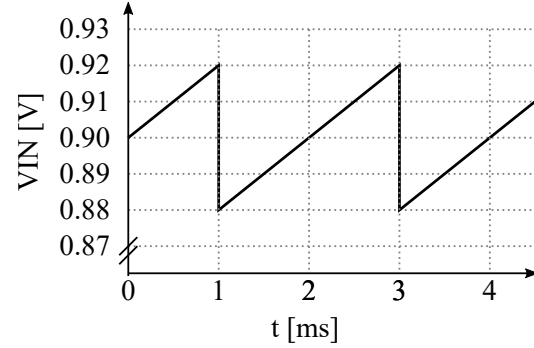


Figura 2.2: Tensión de entrada

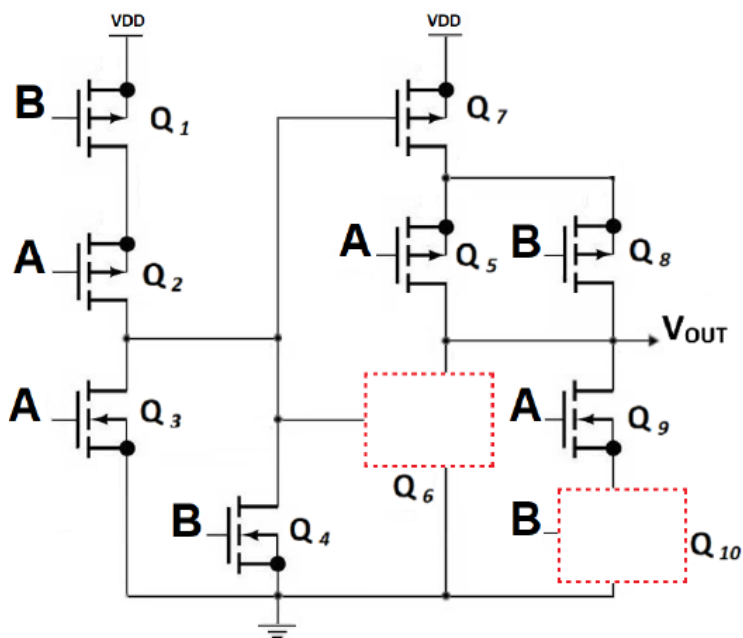
$K_{\text{n}}' = \mu_{\text{n}}\text{Cox}' = 120 \mu\text{A}/\text{V}^2$
$K_{\text{p}}' = \mu_{\text{p}}\text{Cox}' = 40 \mu\text{A}/\text{V}^2$
$L_1 = L_2 = 0.18 \mu\text{m}$
$W_1 = 10 \mu\text{m}$
$W_2 = 25 \mu\text{m}$
$\lambda_1 = 0.1 \text{ V}^{-1}$
$\lambda_2 = 0.125 \text{ V}^{-1}$
$V_{\text{DD}} = 1.8 \text{ V}$
$V_{\text{in}} (\text{DC op}) = 0.9 \text{ V}$
$V_{\text{out}} (\text{DC op}) = 0.542 \text{ V}$
$I_{\text{D1}} (\text{DC op}) = 2.29 \text{ mA}$

- 2.1. Dibuje el circuito equivalente del inversor usando el modelo π analógico. 2 Pts
- 2.2. Determine el valor de g_{m1} , g_{m2} , r_{o1} y r_{o2} . 4 Pts
- 2.3. Determine la ganancia A_{v} del diseño con el error ($W_1=10 \mu\text{m}$, $W_2=25 \mu\text{m}$). 2 Pts
- 2.4. Calcule la impedancia de salida del inversor CMOS vista desde la terminal VOUT. 2 Pts
- 2.5. Dibuje la forma de onda de salida (con el error) para la entrada de la Figura 2.2. 2 Pts
- 2.6. Explique cuál es el problema de no linealidad que presenta esta onda de salida, en relación con la región de operación del transistor durante todo el periodo. Para este punto asuma $V_{\text{THn}}=0.4 \text{ V}$ 2 Pts

Problema 3 Aplicaciones del transistor MOSFET

14 Pts

Considere el circuito mostrado en la Figura 3. Las terminales A, y B son entradas del circuito. La tensión de alimentación es de 3V. La tensión de umbral de los transistores NMOS es de 0.5V y la de los PMOS es de -0.5V. Para todos los transistores, $L = 1\mu\text{m}$, $K'_n = 1\text{mA/V}^2$, $K'_p = 357\mu\text{A/V}^2$, $W_n = 2\mu\text{m}$, $W_p = 4\mu\text{m}$. Desarrolle lo que se le solicita.



Q	Canal
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	

Figura 3.1: Circuito para problema 3

Tabla 3.1: Clasificación por tipo de canal

A	B	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	V_{OUT}
0	0											0
0	1											1
1	0											1
1	1											0

Tabla 3.2: Tabla de verdad y estado de los interruptores

- 3.1. Identifique y dibuje el tipo de transistor de 4 terminales que se debe insertar en el espacio de Q_6 y Q_{10} , para que se cumpla la condición mostrada en la salida (V_{out}) de la tabla 3.2. 2 Pts
- 3.2. Obtenga los valores lógicos V_{out} para todas las posibles combinaciones de las entradas A y B; y anótelos en la tabla 3.2 indicando el estado de cada transistor como C(interruptor cerrado) o A(interruptor abierto). 5 Pts
- 3.3. Clasifique los transistores según el tipo de canal, anótelos en la tabla 3.1. 1 Pt
- 3.4. Sustituya Q_1 y Q_2 por un único transistor equivalente, asumiendo que ambos transistores se encuentran en región de saturación. Indique el valor de K equivalente que se formaría. 3 Pts
- 3.5. Calcule W/L del transistor equivalente formado en el punto anterior. 3 Pts