

Processamento Embarcado em FPGA para Implementação de Métodos Iterativos de Desconvolução no Sistema de Trigger do ATLAS

Melissa Santos Aguiar, Luciano Manhães de Andrade Filho
UFJF - MG - Brasil

José Manuel de Seixas
UFRJ - RJ - Brasil

O LHC (*Large Hadron Collider*) é o principal acelerador de partículas do CERN, sendo o maior e mais energético acelerador de partículas já construído. A aquisição dos dados resultantes das colisões no LHC é realizada pelos seus detectores. Dentre eles, o ATLAS (*A Toroidal LHC Apparatus*), que é composto por sub-detectores dispostos em camadas, sendo cada uma responsável por medir propriedades específicas das partículas geradas pelas colisões. O Calorímetro Hadrônico do ATLAS (*TileCal*) opera a uma alta taxa de eventos e a estimação de energia sofre com a sobreposição de sinais em seus canais de leitura, uma vez que o tempo de resposta (largura do pulso de 150 ns) é maior que o período de colisão (25 ns). Este fenômeno é conhecido como empilhamento de sinais (*pileup*) e a ocorrência do efeito se intensificará à medida que a luminosidade das colisões do LHC aumenta com as constantes atualizações que vêm sendo feitas. O sistema atual de processamento de sinais do detector não está preparado para lidar com o *pileup*, o que pode ocasionar baixa eficiência para a detecção (*trigger*) de eventos. Neste contexto, para lidar com o problema obtendo mais eficiência na reconstrução dos sinais, foi proposta uma abordagem de separação dos sinais empilhados usando métodos de desconvolução, muito empregados em comunicação digital de dados. Neste trabalho, a proposta é implementar em FPGA (*Field-Programmable Gate Array*) um processador customizado que opera um método iterativo de desconvolução baseado em Gradiente Descendente, realizando o estudo da viabilidade de sua aplicação na reconstrução de energia no Calorímetro Hadrônico do ATLAS, tendo baixo custo em elementos lógicos e melhor eficiência que os métodos baseados em filtros FIR. Dada esta validação da topologia, a proposta para trabalhos futuros é modificar a estrutura da Unidade Lógica Aritmética (ULA) do processador de forma a realizar os cálculos matriciais dentro do tempo requerido pelo sistema de aquisição do ATLAS.