



DEPARTAMENTO
DE COMPUTACION

Facultad de Ciencias Exactas y Naturales - UBA

Organización del Computador 1

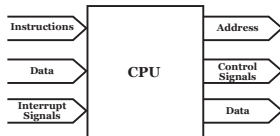
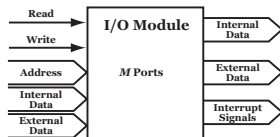
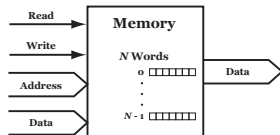
Buses y almacenamiento

Dr. Marcelo Risk

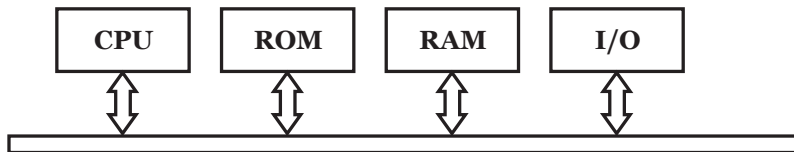
15 de noviembre de 2022

Buses

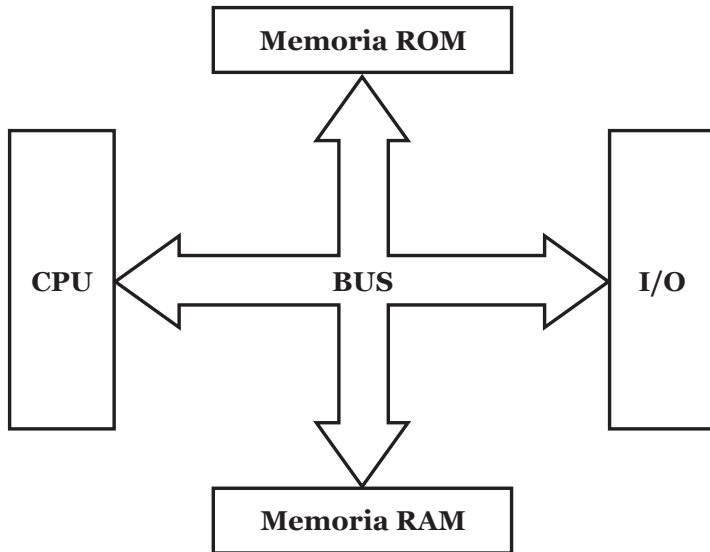
Interconexiones en un computador



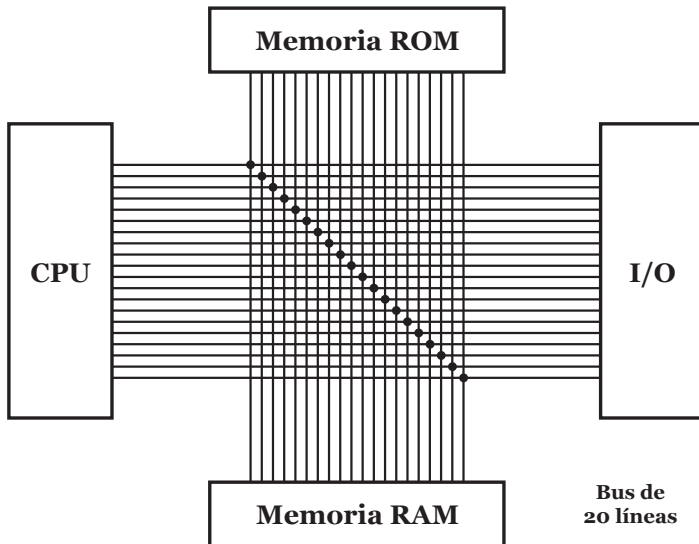
Buses



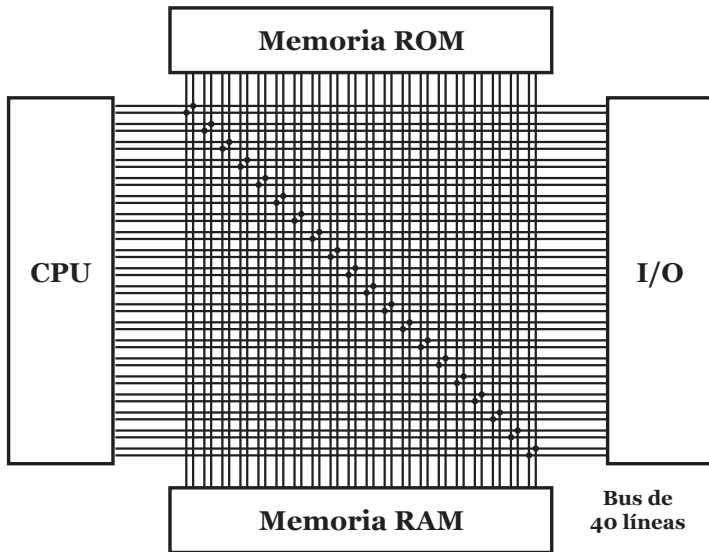
Buses



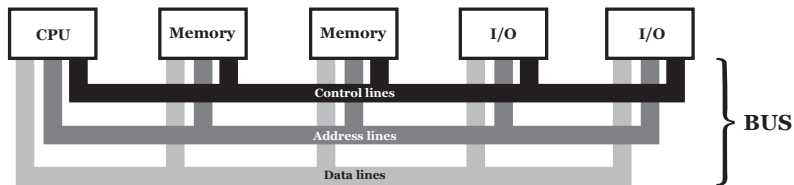
Buses



Buses



Buses



Buses

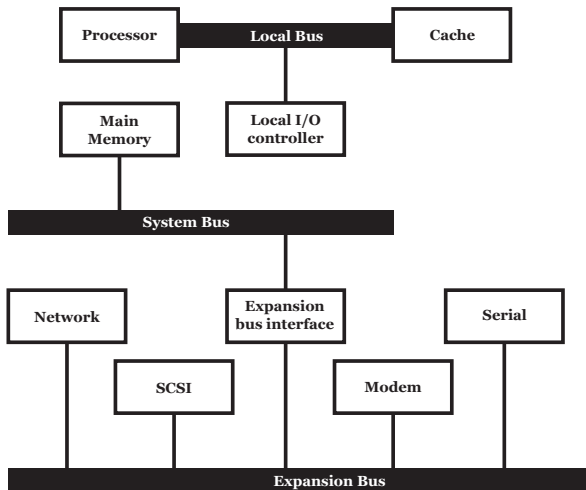


Figura: Arquitectura de bus tradicional

Buses

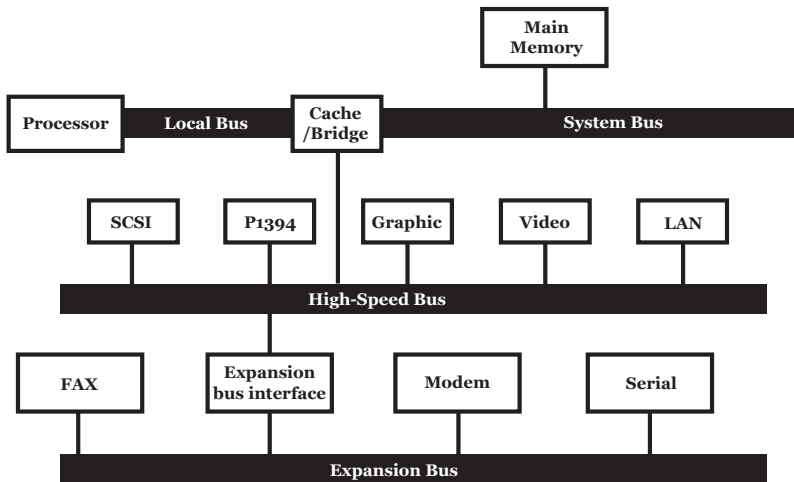


Figura: Arquitectura de bus tradicional

Buses

Un bus es un camino de comunicación entre dos o más dispositivos.

- ▶ Medio de transmisión compartido.
- ▶ Control.

Diseño del bus: tipos de líneas

Líneas dedicadas:

- ▶ Dedicación física: conectan siempre el mismo subconjunto de módulos (ej: bus de dispositivos E/S)
- ▶ Dedicación funcional: realizan siempre la misma función (ej: líneas de control en cualquier bus).

Ventaja: menos disputas por acceso al bus.

Desventaja: se incrementa tamaño y precio.

Diseño del bus: tipos de líneas

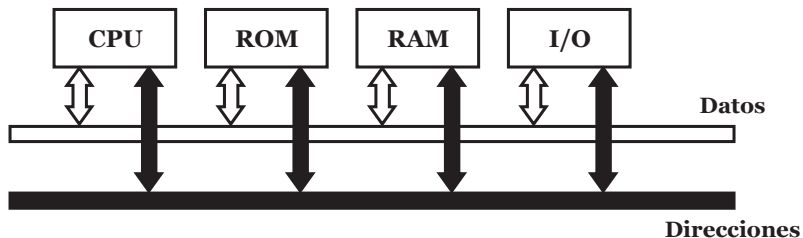


Figura: Líneas dedicadas

Diseño del bus: tipos de líneas

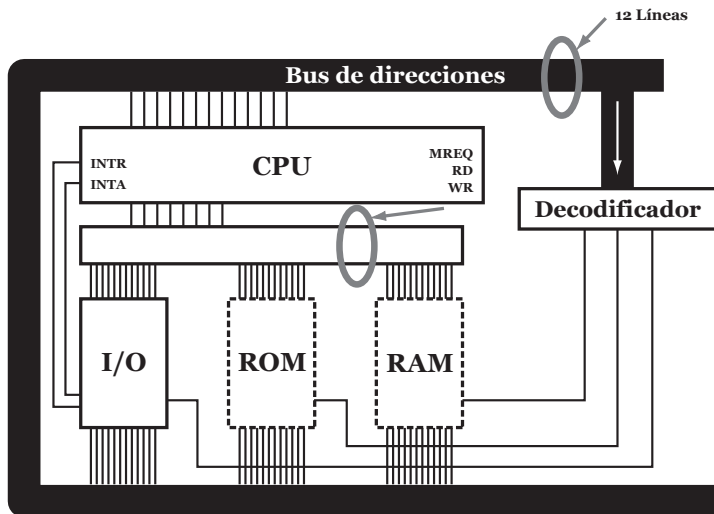


Figura: Líneas dedicadas (ejemplo)

Diseño del bus: tipos de líneas

Líneas multiplexadas:

- ▶ Propósitos diferentes en distintos instantes de tiempo (ej: bus de datos / direcciones según una línea de control)

Ventaja: menos líneas => se reduce tamaño y precio.

Desventaja: se complica la circuitería. Se reduce velocidad del computador.

Diseño del bus: tipos de líneas

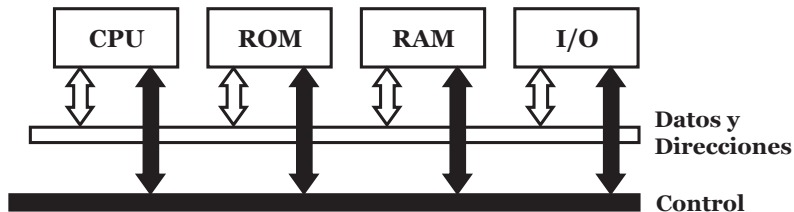


Figura: Líneas multiplexadas

Diseño del bus: tipos de líneas

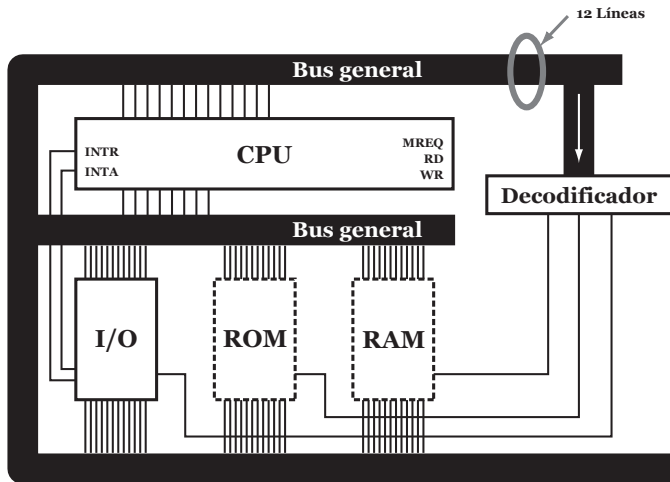


Figura: Líneas multiplexadas (ejemplo)

Ancho del bus

El ancho se define por el número de líneas del bus.

Afecta directamente al desempeño del sistema.

- ▶ Ancho del bus de datos => Nro. de accesos a memoria
- ▶ Ancho del bus de direcciones => cantidad direcciones

Temporización

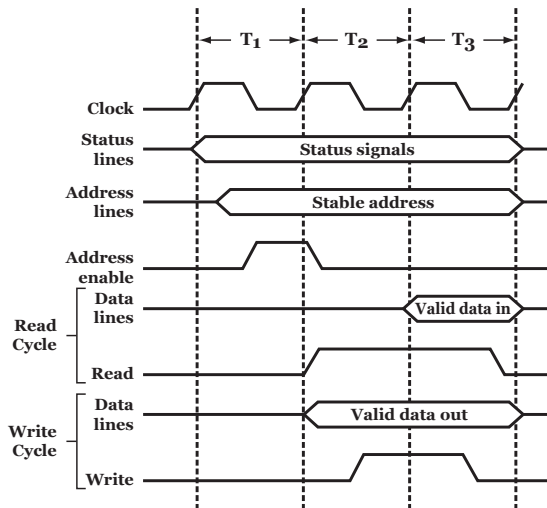
Coordinación de eventos en el bus.

- ▶ Sincrónica:
 - ▶ Incluye reloj.

Ventajas: facilidad de implementación y de pruebas.

Desventajas: velocidad de reloj se adecua al más lento.

Temporización sincrónica



Temporización

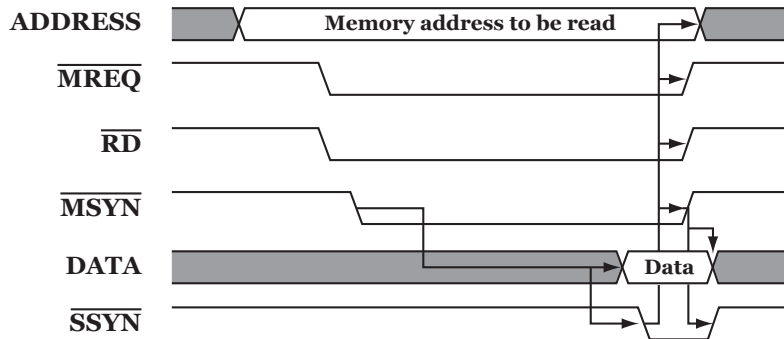
Coordinación de eventos en el bus.

- ▶ Asíncrona:
 - ▶ Los eventos que suceden en el bus provocan nuevos eventos.

Ventajas: mejora rendimiento cuando hay dispositivos lentos y rápidos.

Desventajas: difícil de implementar.

Temporización asincrónica



Transferencia de datos

Bus dedicado:

- ▶ Escritura (master \Rightarrow slave)
 - ▶ 1 ciclo de reloj:
 - master envía dirección y datos por buses distintos.
- ▶ Lectura (slave \Rightarrow master)
 - ▶ 1 ciclo de reloj:
 - master envía dirección por bus de direcciones.
 - slave coloca dato en bus de datos.

Transferencia de datos

Bus multiplexado:

- ▶ Escritura:
 - ▶ transmisión de dirección + transmisión de dato.
- ▶ Lectura:
 - ▶ transmisión de dirección + espera a que slave coloque dato (transferencia de bloques de datos: dirección + varios ciclos de datos)

Ejercicio:

Se desea diseñar una CPU que pueda direccionar 4096 palabras de 1 byte usando buses de direcciones y de datos a) dedicados y b) multiplexados. Indique en cada caso:

- ▶ ¿De cuántas líneas son los buses?
- ▶ ¿El bus cuenta con una señal de clock de 1MHz, cuál es velocidad de transmisión de datos si...
 - ▶ ... una escritura toma 2 ciclos de clock del bus?
 - ▶ ... una lectura toma 3 ciclos de clock del bus?

Arbitraje:

Los dispositivos conectados al bus necesitan control para realizar algunas acciones:

- ▶ CPU necesita dato de memoria
- ▶ Dispositivo E/S necesita leer/escribir dato en memoria sin pasar por la CPU

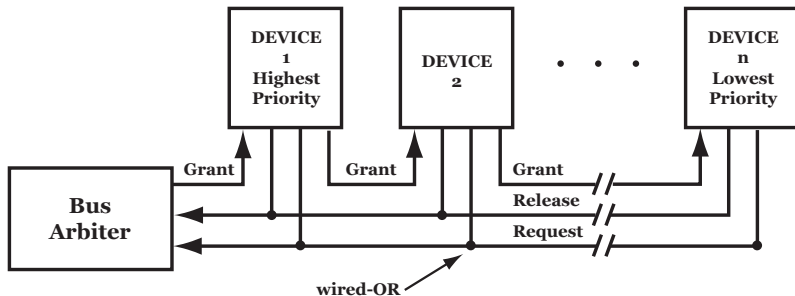
¿De quién es el bus?

Arbitraje:

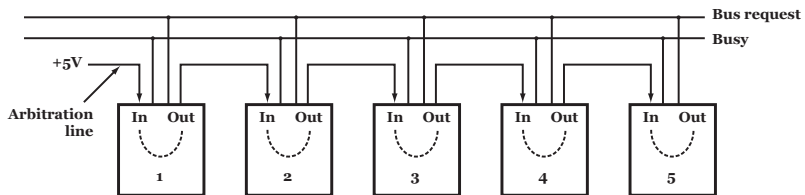
Control del bus secuencial: **Un dispositivo a la vez**

- ▶ **Centralizado:** necesita controlador de bus o árbitro (se usa un chip o parte de la CPU).
- ▶ **Distribuido:** cada módulo incluye sistema de control de acceso y entre todos controlan el bus.

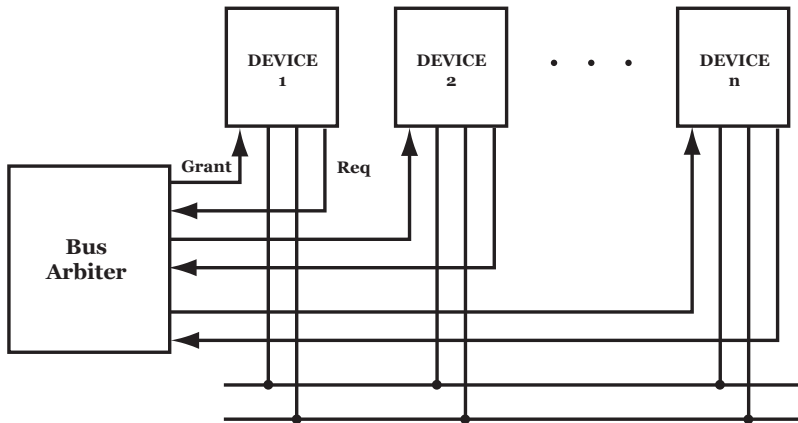
Arbitraje (sincrónico)



Arbitraje



Arbitraje



Tipos de buses:

		Nombre	APLICACIÓN
Dentro de un mismo equipo	Paralelo	Bus del sistema	Conexión entre CPU, caché, memoria...
		<i>ISA</i>	Periféricos
		<i>PCI</i>	Periféricos
		<i>AGP</i>	Conecta tarjeta gráfica y RAM
	Serie	SMBus	Baterías inteligentes de bajo consumo
Entre diferentes equipos	Paralelo	<i>SPP, EPP, ECP</i>	Impresoras, escáneres
		<i>SCSI</i>	Varios HD, CD-Rom, DVD...
		<i>IDE</i>	Varios HD, CD-Rom, DVD...
		LVDS	Conexión a pantallas planas de cristal líquido
	Serie	RS-232	Transmisión de datos entre equipos de medida
		GPIB	Control de instrumentación
		<i>USB</i>	Periféricos (ratones, teclados,...)
		<i>FireWire</i>	Interconexión de ordenadores y periféricos (bus para aplicaciones multimedia)
		Ethernet, Fast Ethernet, Token Ring...	Conexión de red
		Bluetooth	Conexión RF de voz y datos entre PCs, móviles y dispositivos portátiles
		Home RF	Conexión RF de voz y datos entre equipos
		802.11 (Wireless LAN)	Redes LAN sin hilos

1. Buses paralelos dentro de un equipo:

- ▶ ISA:
 - ▶ es una expansión del bus de IBM
 - ▶ se incluye generalmente por compatibilidad Intel
- ▶ PCI:
 - ▶ incluye más líneas
 - ▶ es más rápido que ISA
- ▶ AGP:
 - ▶ diseñado para dispositivos gráficos (tarjetas de video)

Buses // en un equipo

Bus ISA (Industrial Standard Architecture):

- ▶ Bus de PC IBM, estándar hecho para el 8088 (1981)
- ▶ Tiene 62 líneas:
 - ▶ 20 para direcciones
 - ▶ 8 para datos
 - ▶ Varias para control:
 - Memoria (lectura/escritura)
 - E/S (lectura/escritura)
 - Interrupciones (solicitud/concesión)
 - DMA
- ▶ Velocidad de transmisión: 8.33 MB/s.

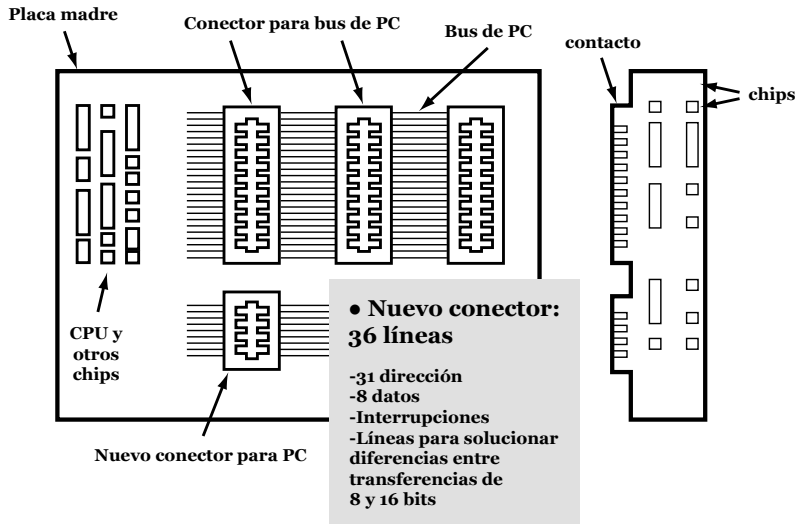
Buses // en un equipo

Bus ISA:

Evolución:

- ▶ IBM introduce para el 80286 palabras de 16 bits
 - ▶ Se diseña nuevamente el bus para 16 bits de datos con un conector separado.

Buses // en un equipo



Buses // en un equipo

Bus ISA:

Evolución:

- ▶ IBM introduce para el 80286 palabras de 16 bits
 - ▶ Se diseña nuevamente el bus para 16 bits de datos con un conector separado.
- ▶ Se introduce el 80386 de palabras de 32 bits
 - ▶ Se diseña el bus EISA (ISA extendido) de 32 bits.

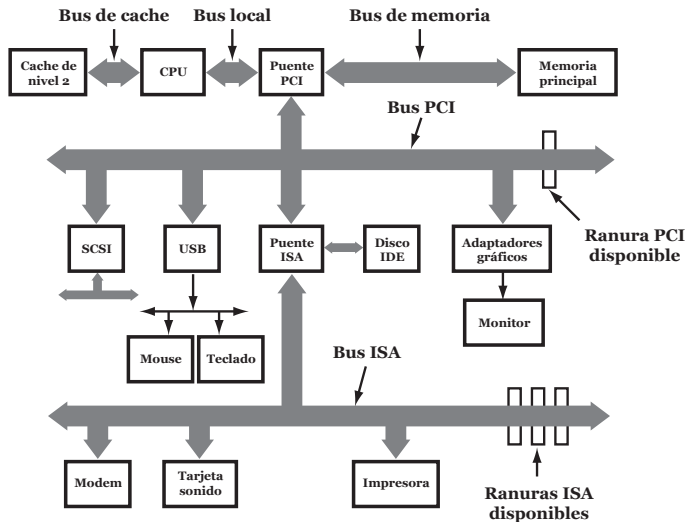
Buses // en un equipo

Bus PCI (Peripheral Component Interconnect):

- ▶ Se desarrolla debido a la baja velocidad del bus ISA.
Así era posible ejecutar aplicaciones multimedia:
Ej: Una pantalla de 1024 x 768 píxeles x 3 colores (bytes)
Secuencias de imágenes de 30 frames/s
=> se necesita una transferencia de 67.5MB/s
- ▶ PCI lo desarrolla Intel en 1990:
 - ▶ 64 líneas de datos.
 - ▶ 66MHz => 4.224 Gbps (528MB/s).
 - ▶ Posee una electrónica sencilla.
 - ▶ Permite interconexión con otros buses (como ISA).

Buses // en un equipo

Ejemplo:



Buses // en un equipo

PCI - estructura y señales:

- ▶ Se configura como bus de 32 ó 64.
- ▶ 49 líneas de señal obligatorias.
 - ▶ Sistema: reloj y reset
 - ▶ Direcciones y datos
 - 32 líneas multiplexadas (datos y direcciones)
 - Líneas para interpretar y validar.
 - ▶ Control de interfaz: coordinan envío y recepción.
 - ▶ Arbitraje: pares de líneas dedicadas maestros-árbitro.
 - ▶ Señales de error (ej: paridad).

Buses // en un equipo

Señales obligatorias del PCI

Terminal	Línea	Nro.	Habilita	Descripción
Sistema	CLK	1	Externo	Reloj de frecuencia 33 ó 66 MHz
	RST#	1	Externo	Restablece el sistema y los dispositivos
Datos y direcciones	AD	32	Maestro/destino	Líneas de dirección y datos multiplexadas
	C/BE	4	Maestro/destino	Indica qué líneas transportan información
	PAR	1	Maestro/destino	Bit de paridad de dirección o datos
Control	FRAME#	1	Maestro	Transferencia (AD y C/BE preparadas)
	IRDY#	1	Maestro	Lectura: maestro acepta datos/ Escritura: datos en AD
	TRDY#	1	Destino	Lectura: datos en AD/ Escritura: destino acepta datos
	STOP#	1	Destino	Detener transacción
	IDSEL	1	Maestro	Selección de inicio del dispositivo
	DEVSEL#	1	Destino	Dispositivo escuchando
Arbitraje	REQ#	1	Externo	Solicitud de bus
	GNT#	1	Maestro	Bus concedido
Error	PERR#	1	Maestro/destino	Se ha detectado un error de paridad en los datos
	SERR#	1	Todos	Error crítico o error de paridad en la dirección

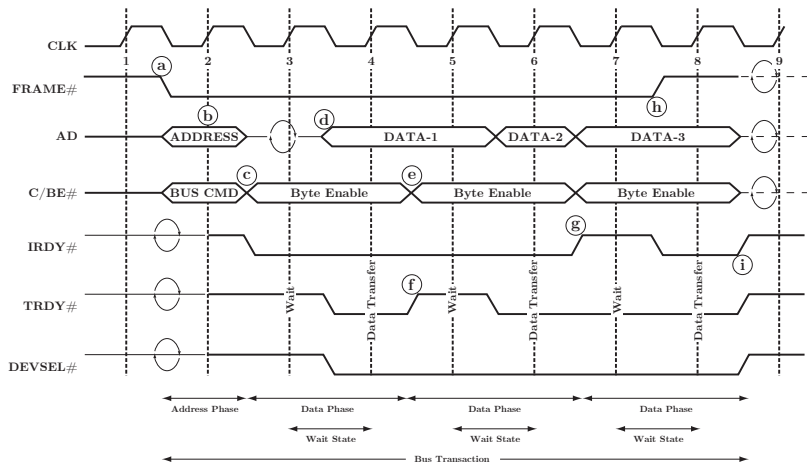
Buses // en un equipo

PCI - estructura y señales:

- ▶ Para 64 bits: aparecen 51 señales opcionales.
 - ▶ Interrupción: líneas dedicadas para cada dispositivo
 - ▶ Soporte de cache para que se conecten al PCI
 - ▶ 32 líneas multiplexadas (datos y direcciones) (adicionales)
 - ▶ Líneas de interpretación y validación
 - ▶ 2 líneas que permiten que 2 dispositivos PCI utilicen 64 bits
 - ▶ Terminales de test: estándar IEEE 1149.1

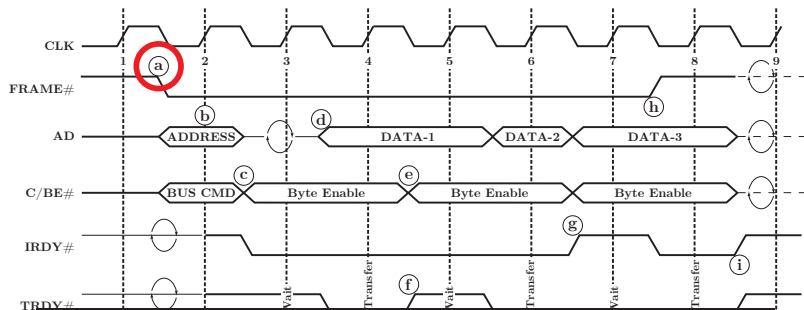
Buses // en un equipo

Transferencia de datos en el PCI (lectura)



Buses // en un equipo

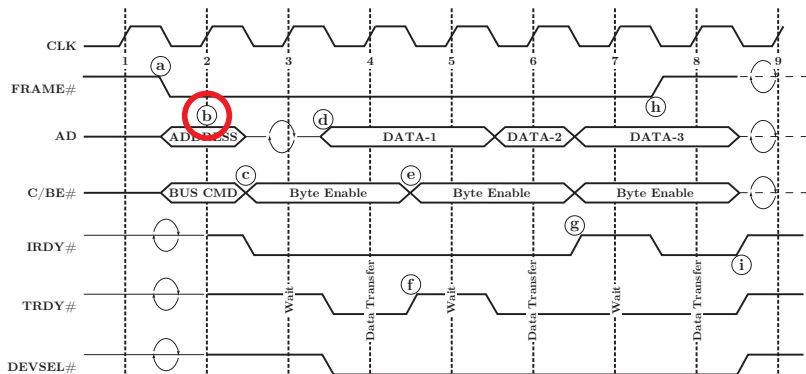
Transferencia de datos en el PCI (lectura)



a) El master obtiene el control del bus, inicia la comunicación activando FRAME, que deberá permanecer activa hasta que el master termine la comunicación. El master también coloca la dirección de inicio en el bus de direcciones y la orden de lectura en C/BE (líneas de comandos).

Buses // en un equipo

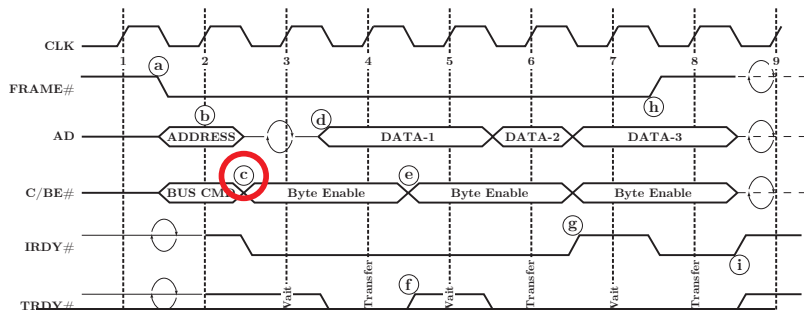
Transferencia de datos en el PCI (lectura)



b) Al comienzo del clock 2, el dispositivo slave (del cual se leerán los datos) reconoce la dirección colocada en AD.

Buses // en un equipo

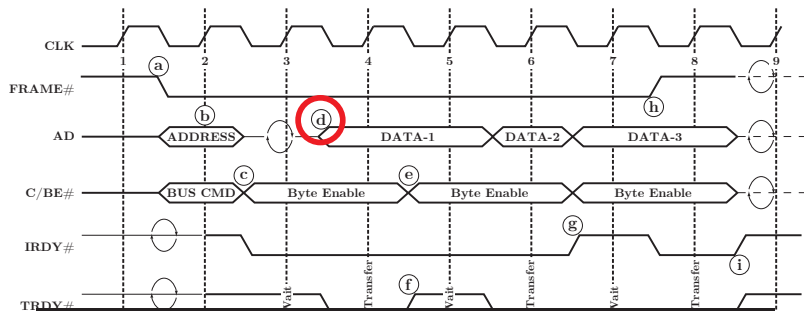
Transferencia de datos en el PCI (lectura)



c) El master deja las líneas AD libres. El maestro cambia las líneas C/BE para indicar cuáles de las líneas AD se utilizarán para transferir el dato direccionado. El master activa IRDY (Initiator ready) para indicar que está preparado para recibir datos.

Buses // en un equipo

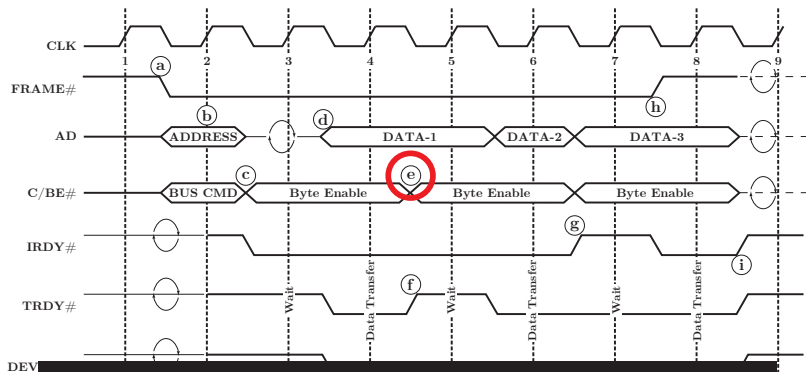
Transferencia de datos en el PCI (lectura)



d) El slave (dispositivo de lectura seleccionado) activa DEVSEL (Device Select) para indicar que ha reconocido las direcciones y va a responder. Coloca el dato solicitado en las líneas AD y activa TRDY# (Target ready) para indicar que hay un dato válido en el bus.

Buses // en un equipo

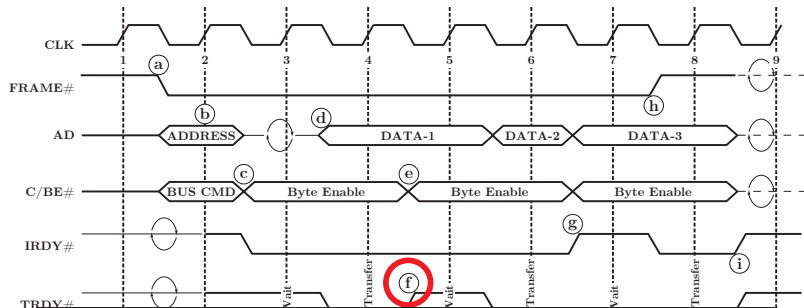
Transferencia de datos en el PCI (lectura)



e) El master lee el dato al comienzo del clock 4 y cambia las líneas de habilitación de byte según se necesite para la próxima lectura.

Buses // en un equipo

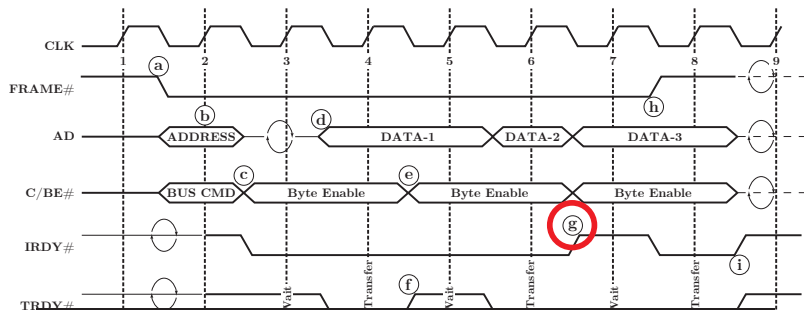
Transferencia de datos en el PCI (lectura)



f) El slave necesita un tiempo adicional para preparar el segundo bloque de datos para la transmisión. Por consiguiente desactiva TRDY para señalar al master que no proporcionará un nuevo dato en el próximo ciclo. En consecuencia, el master no lee las líneas de datos al comienzo del clock 5 y no cambia la señal de habilitación de byte durante ese ciclo. El bloque de datos es leído al comienzo del clock 6.

Buses // en un equipo

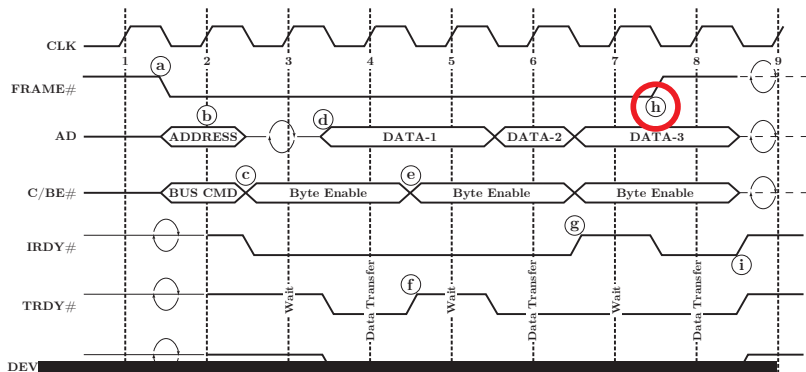
Transferencia de datos en el PCI (lectura)



g) Durante el clock 6, el slave sitúa el tercer dato en el bus. Pero (en este ejemplo específico) el master está ocupado y por lo tanto desactiva IRDY#. Esto hará que el esclavo mantenga el tercer dato en el bus durante un ciclo de reloj extra.

Buses // en un equipo

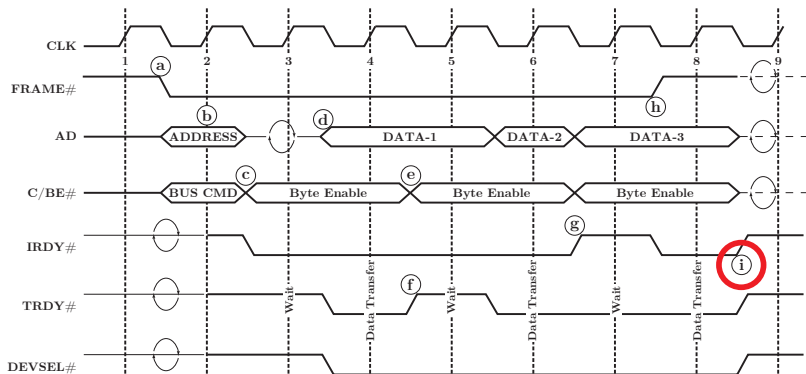
Transferencia de datos en el PCI (lectura)



h) El master sabe que el tercer dato es el último y por eso desactiva FRAME. Además, activa IRDY para indicar que está lista para completar esa transferencia.

Buses // en un equipo

Transferencia de datos en el PCI (lectura)



i) El master desactiva IRDY, con esto hace que el bus vuelva a estar libre, y el slave desactiva TRDY y DEVSEL.

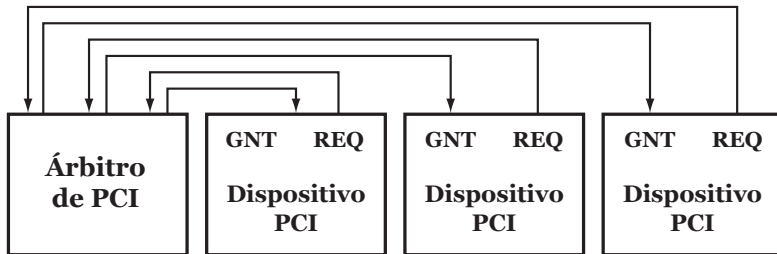
Buses // en un equipo

Arbitraje del PCI:

- ▶ Arbitraje centralizado
 - ▶ Cada maestro tiene dos líneas dedicadas
 - ▶ REQ (petición del bus)
 - ▶ GNT (concesión del bus)
- ▶ Transmisión
 - ▶ Dispositivo PCI (o CPU) solicita bus activando REQ
 - ▶ Espera GNT
 - ▶ Usa el bus mientras tenga GNT

Buses // en un equipo

Arbitraje del PCI:



Buses // en un equipo

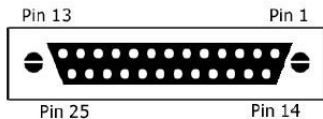
Bus AGP (Accelerated Graphics Port):

- ▶ Bus de alto rendimiento para controlador gráfico.
- ▶ AGP reduce cuellos de botella ya que es un bus dedicado de alta velocidad.
- ▶ Necesidades de las aplicaciones gráficas:
 - ▶ Acceso rápido a memoria local de video (refresh)
 - ▶ Elementos de píxel (3D)
 - ▶ Información del eje Z
 - ▶ Planos superpuestos
 - ▶ Malla poligonal
 - ▶ Texturas
- ▶ 32 líneas multiplexadas: direcciones/datos
- ▶ Alta velocidad (reloj del bus de la CPU)
- ▶ Transmisión: 528 MB/s ó 1 GB/s

Buses // entre dispositivos

SPP: Standard Parallel Port

- 1er. estándar bidireccional (IBM 1987).



PIN	Señal	PIN	Señal
1	nSTROBE	10	nACK
2	D0	11	BUSY
3	D1	12	PE
4	D2	13	SELECT
5	D3	14	nAUTOFEED
6	D4	15	nERROR
7	D5	16	nINIT
8	D6	17	nSELECTIN
9	D7	18-25	GND

Buses // entre dispositivos

SPP

	SEÑAL	Descripción
CONTROL (salida del PC)	nSTROBE	Indica que hay un dato válido en las líneas de datos
	nAUTOFEED	Indica a la impresora que desplace el papel un renglón al final de cada línea
	nSELECT	Le indica a la impresora que ha sido seleccionada
	nINIT	Inicializa la impresora
ESTADO (salida de la impresora)	nACK	Indica que el último carácter fue recibido
	BUSY	Indica que la impresora no puede recibir más datos
	PE	(Paper Empty) Indica que la impresora no tiene papel
	SELECTED	La impresora está seleccionada
	nERROR	La impresora está en estado de error
DATOS	D0-D7	8 líneas de datos de salida

Buses // entre dispositivos

SPP:

- ▶ Proceso:
 1. Computador tiene datos para enviar por SPP: BUSY
 2. Computador envía 8 bits de datos + STROBE
 3. Periférico responde con BUSY
 4. Periférico guarda byte, envía ACK y desactiva BUSY
- ▶ Velocidad de transmisión: 150 KB/s

Buses // entre dispositivos

EPP (Enhanced Parallel Port):

- ▶ Compatible con SPP estándar.
- ▶ IEEE 1284
 - ▶ Transferencia de datos PC - periférico
 - Ciclo de escritura de datos
 - Ciclo de lectura de datos
 - ▶ Direcciones, canales o comandos
 - Ciclo de escritura de dirección
 - Ciclo de lectura de dirección
- ▶ Velocidad de transmisión: 2MB/s

Buses // entre dispositivos

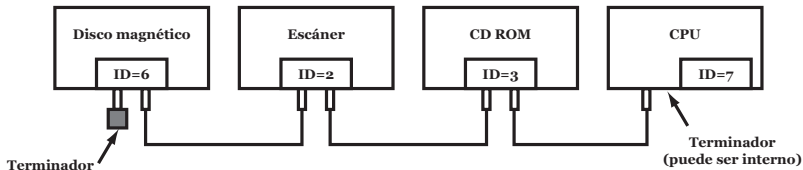
ECP (Extended Capabilities Port):

- ▶ IEEE 1284
- ▶ Permite compresión de datos RLE (Run Length Encoding)
-Para impresoras y escáners.
- ▶ Velocidad de transmisión: 5MB/s

Buses // entre dispositivos

SCSI:

- ▶ Periféricos externos (8, 16, 32 líneas)
- ▶ Introducido por Macintosh en 1984
- ▶ **Se usa en CD, DVD, Audio y HD.**
- ▶ SCSI-1: 5MB/s, SCSI-2: 40MB/s, SCSI-3: 160MB/s
- ▶ Dispositivos encadenados (2 conectores)



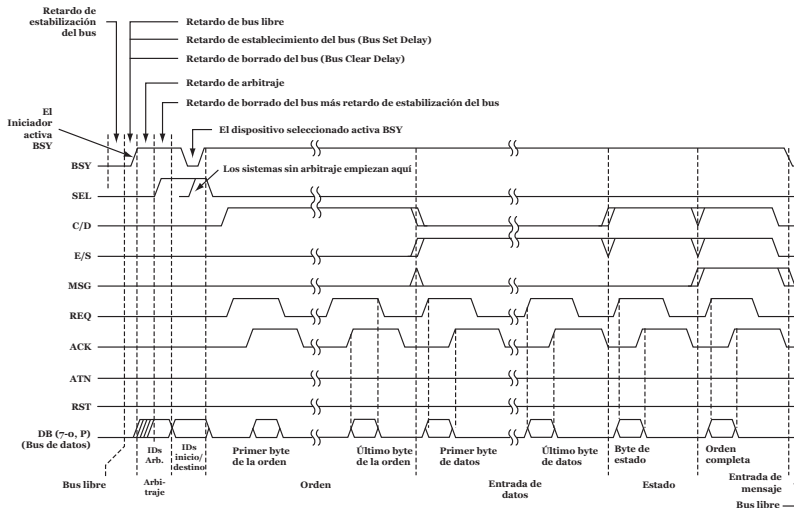
Buses // entre dispositivos

SCSI (señales):

- ▶ BSY: ocupado
- ▶ SEL: selecciona dispositivo
- ▶ C/D: datos / control
- ▶ MSG: mensaje
- ▶ REQ: solicita transferencia
- ▶ ACK: reconoce REQ
- ▶ ATN: mensaje disponible
- ▶ RST: inicio del bus

Buses // entre dispositivos

SCSI: Temporización



Buses // entre dispositivos

IDE (Integrated Drive Electronics):

- ▶ Integrada en placas base (incluyen 2 canales IDE para 4 dispositivos).
- ▶ Comunica CPU con periféricos.
- ▶ Costo reducido.
- ▶ Rendimiento comparable al SCSI.
- ▶ Compatible con ISA, PCI y bus local.

Buses // entre dispositivos

IDE (cables y conectores):

- ▶ PATA 133MB/s
- ▶ SATA 150MB/s



Buses // entre dispositivos

IDE (registros):

► Registros para lectura:

- datos
- error
- sectores totales
- Nro. cilindro
- Disco/cabeza
- Estado

► Registros para escritura:

- datos
- características
- sectores totales
- Nro. cilindro
- Disco/cabeza
- Comando

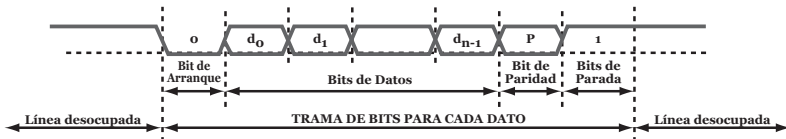
Buses // entre dispositivos

SCSI vs. IDE:

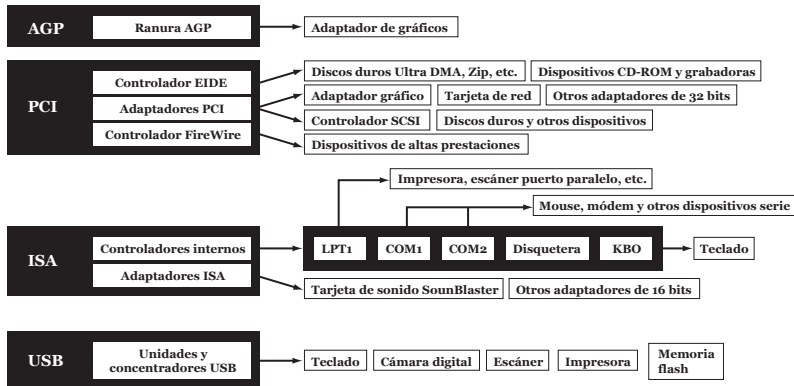
- ▶ Velocidad de transferencia de datos:
SCSI: 160MB/s
IDE: 133MB/s
- ▶ Nro. de dispositivos:
SCSI: 32
IDE: 7
- ▶ Controladora:
SCSI: es necesario añadirla con bus PCI a la placa base
IDE: viene incluida
- ▶ Discos duros:
 - ▶ Velocidad: **SCSI:** 15.000 rpm / **IDE:** 7.200 rpm
 - ▶ Tiempos de acceso: **SCSI:** 3-4ms / **IDE:** 3-4ms
 - ▶ Precio: **SCSI:** X / **IDE:** 0.7 X

- ▶ Se crea en los años 60.
- ▶ La idea es transmitir bit por bit de forma secuencial.
- ▶ Además de los bits de datos, existen bit de arranque, de paridad y de parada.

Formato de la trama:



Uso de los buses en Pentium:



Bus USB

- ▶ USB (Universal Serial Bus), creado por un consorcio de empresas, entre ellas Intel.
- ▶ Creado para sustituir a los buses series (RS-232) y paralelo (IEEE 1284).
- ▶ Modos de transferencia:
 - ▶ low speed: 1.5 MB/s (USB 1.0)
 - ▶ full speed: 12 MB/s (USB 1.1)
 - ▶ high speed: 480 MB/s (USB 2.0)
 - ▶ super speed: 625 MB/s (USB 3.0)
 - ▶ super speed+: 1.212 GB/s (USB 3.1)
 - ▶ Gen 2x2: 2.4 GB/s (USB 3.2)
- ▶ Necesita de un **host**.
- ▶ Se pueden conectar hasta 127 dispositivos por **host**.



Bus Firewire (IEEE 1394)

- ▶ Creado por Apple Computer, refinado luego por Sony.
- ▶ Compite directamente con el USB.
- ▶ Modos de transferencia:
 - Firewire 400: 400 MB/s
 - Firewire 800 o Firewire 2: 800 MB/s
- ▶ Se pueden conectar hasta 63 dispositivos en una misma red.