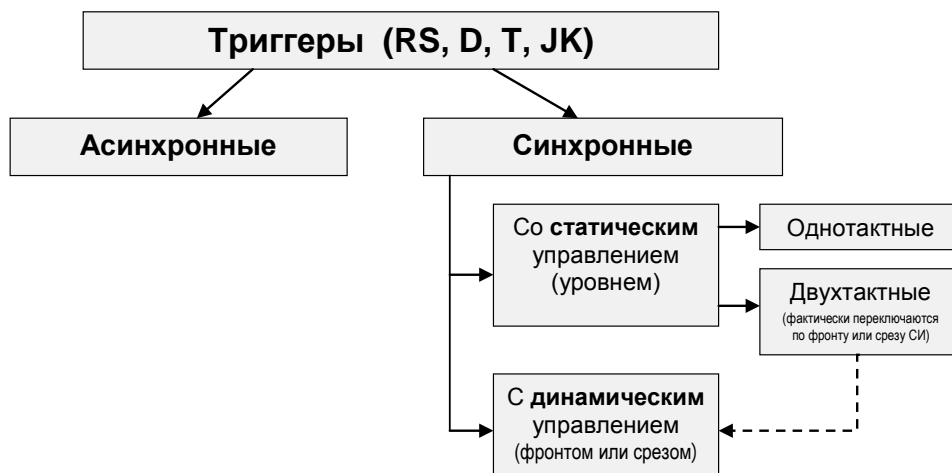


1.1 Триггеры

Триггером называется устройство, имеющее два устойчивых состояния и сохраняющее любое из них сколь угодно долго после снятия внешнего воздействия, вызвавшего переход триггера из одного состояния в другое. Поэтому говорят, что триггер обладает памятью. Триггер можно представить в общем случае состоящим из ячейки памяти и устройства управления (порой весьма сложного), преобразующего входную информацию в комбинацию сигналов, под воздействием которых ячейка памяти принимает одно из двух устойчивых состояний.

По способу записи информации триггеры могут быть *асинхронными* и *синхронными*. Триггер называют асинхронным, если сам сигнал, несущий информацию, вызывает его переключение. В синхронных (тактируемых) триггерах информация записывается при одновременном воздействии информационного сигнала и синхронизирующего (разрешающего) импульса. Синхронизация может осуществляться импульсом (потенциалом) или перепадом потенциала (фронтом или срезом импульса). В первом случае (*статическое управление*) сигналы на информационных входах оказывают влияние на состояние триггера в течение всего времени наличия синхросигнала. Во втором случае (*динамическое управление*) воздействие информационных сигналов проявляется только в моменты изменения потенциала на входе синхронизации, т.е. при переходе его от 0 к 1 (фронт) или от 1 к 0 (срез).



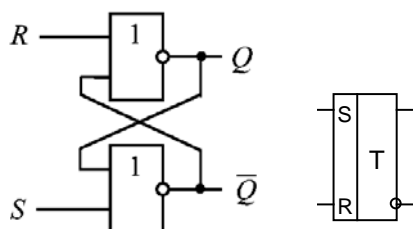
Двухтактные триггеры используют принцип статического управления, но состоят из двух последовательно соединенных триггеров — ведущего, подключаемого к информационным входам; и ведомого — его выходы являются выходами всей двухтактной структуры. Переключение в них происходит по фронту или срезу синхросигнала, поэтому некоторые авторы включают их в класс триггеров с динамическим управлением (пунктир на рисунке).

По функциональному признаку различают *RS*-триггеры, *D*-триггеры, *T*-триггеры и *JK*-триггеры, а также их комбинации.

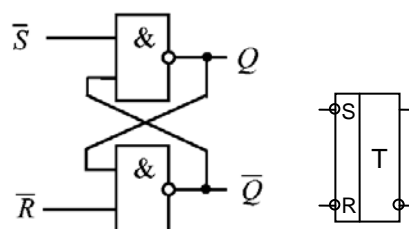
АСИНХРОННЫЕ RS-ТРИГГЕРЫ

Принципиальные схемы и обозначения

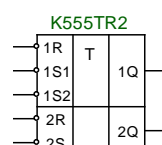
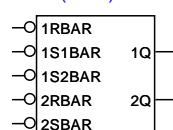
1. Асинхронный RS-триггер с прямыми входами установки S и сброса R



2. Асинхронный RS-триггер с инверсными входами установки S и сброса R



Асинхронный RS
74LS279
(TP2)



Таблицы истинности

R	S	Q_t (текущее сост)	Q_{t+1} (новое сост)	Режим
0	0	X	Q_t	Хранение
0	1	X	1	Установка (Set)
1	0	X	0	Сброс (Reset)
1	1	X	неопр	Запрещенный

R	S	Q_t (текущее сост)	Q_{t+1} (новое сост)	Режим
1	1	X	Q_t	Хранение
1	0	X	1	Установка (Set)
0	1	X	0	Сброс (Reset)
0	0	X	неопр	Запрещенный

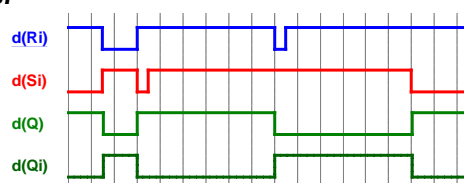
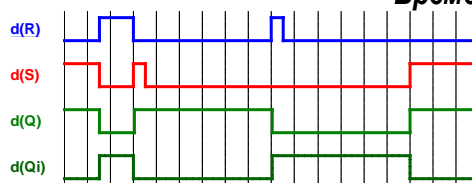
Таблицы переходов

Переход $Q_t \rightarrow Q_{t+1}$	R	S
0 → 0	X	0
0 → 1	0	1
1 → 0	1	0
1 → 1	0	X

Переход $Q_t \rightarrow Q_{t+1}$	R	S
0 → 0	X	1
0 → 1	1	0
1 → 0	0	1
1 → 1	1	X

X – сигнал может принимать любое значение 0(1)

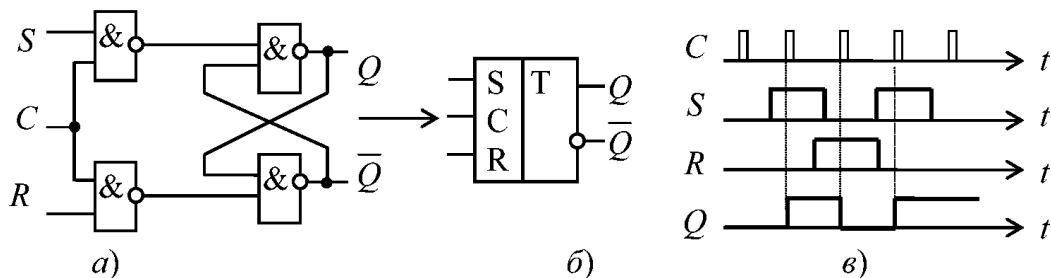
Временные диаграммы



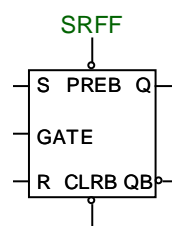
См. также схемные файлы [RS.CIR](#) и [RS_async_inv_2.CIR](#) из каталога [ЦТ_схемы.rar](#)

СИНХРОННЫЕ ТРИГГЕРЫ, УПРАВЛЯЕМЫЕ УРОВНЕМ СИНХРОСИГНАЛА

1. Синхронный RS-триггер, управляемый высоким уровнем синхросигнала (переключение триггера в соответствии с сигналами RS может произойти только при высоком уровне синхросигнала C)



C	R	S	Q_t (текущее сост)	Q_{t+1} (новое сост)	Режим
0	X	X	X	Q_t	Хранение
1	0	0	X	Q_t	Хранение
1	0	1	X	1	Установка (Set)
1	1	0	X	0	Сброс (Reset)
1	1	1	X	неопр	Запрещенный



Имеет дополнительные асинхронные инверсные входы установки PREB и сброса CLRБ, имеющие приоритет перед синхронными входами

См. также схемный файл [RS_sync.CIR](#) и из каталога [ЦТ_схемы.rar](#)

Синхронный D-триггер, управляемый высоким уровнем синхросигнала (переключение триггера в соответствии с сигналом на D-входе может произойти только при высоком уровне синхросигнала C)

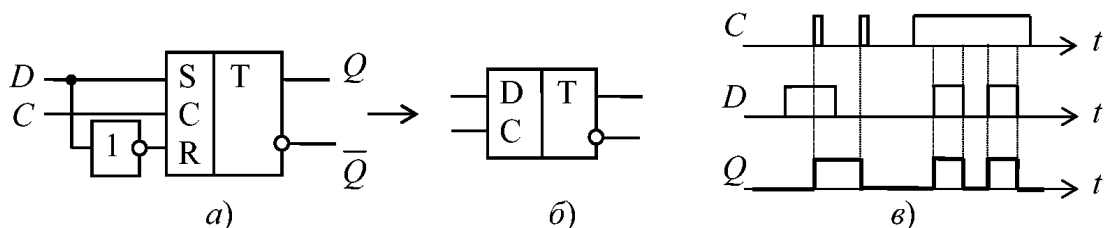
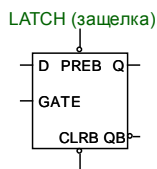
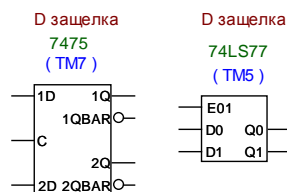


Рисунок 2.25 — Синхронный D-триггер со статическим управлением

C	D	Q_t (текущее сост)	Q_{t+1} (новое сост)	Режим
0	X	X	Q_t	Хранение
1	1	X	1	Запись 1
1	0	X	0	Запись 0



Левый триггер LATCH имеет дополнительные асинхронные инверсные входы установки PREB и сброса CLRБ, имеющие приоритет перед синхронными входами



См. также схемный файл [D_защелка.CIR](#) и из каталога [ЦТ_схемы.rar](#)

D-триггер (от английского *Delay* – задержка) имеет один информационный (D – Data – данные) и один тактируемый (C – Clock (GATE, E) – тактовая последовательность) вход. Такой триггер можно получить из RS -триггера, подав на R -вход инвертированный сигнал с S -входа (рис. 2.25, а). Условное обозначение D -триггера со статическим управлением показано на рис. 2.25, б. Из временных диаграмм, приведенных на рис. 2.25, в можно увидеть, что при $C=1$ триггер работает как повторитель ($Q=D$), а при переходе сигнала на входе C от логической единицы к логическому нулю триггер запирается и переходит в режим хранения (защелкивает информацию со входа D). В отличие от RS -триггера, D -триггер не имеет запрещенного состояния.

Статический синхронный триггер реагирует на входные сигналы в течение всего времени, пока тактовый сигнал C равен единице. Часто, однако, требуется триггер, в котором считываемая информация не передавалась бы непосредственно на выход, а появлялась там только тогда, когда все схемы уже заперты. Этим свойством обладают триггеры с динамическим управлением.

D-триггер с динамическим управлением, тактируемый фронтом тактового импульса, можно выполнить по двухступенчатой схеме, показанной на рис. 2.26, а. При $C=0$ триггер первой ступени повторяет сигнал D , но триггер второй ступени защелкнут (находится в режиме хранения). При переходе к $C=1$ первый триггер защелкивает на своем выходе информацию со входа D , а второй повторяет ее на своем выходе. Таким образом, двухступенчатый триггер по фронту тактового импульса защелкивает на своем выходе уровень сигнала с входа D и сохраняет его до следующего фронта. Триггеры с динамическим управлением необходимы для построения счетчиков и регистров сдвига.

Из двух вариантов УГО динамического входа, приведенных на рис. 2.26, б и в, в дальнейшем будем использовать вариант б, меняя направление косой черты для обозначения входа при тактировании по срезу импульса (\backslash), по фронту — $/$.

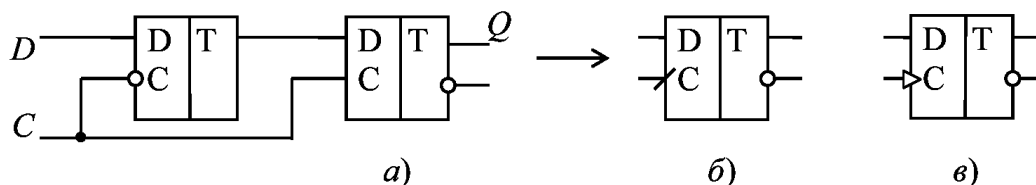


Рисунок 2.26 — Синхронный триггер задержки с динамическим управлением (а) и варианты его УГО (б, в)

Серийно производимые в семействах ТТЛ D-триггеры, переключающиеся по *положительному фронту*, устроены не по принципу «ведущий-ведомый», на основе которого действует схема, приведенные на рис. 2.26, а. Вместо этого в триггерах типа 74LS74 (555TM2) реализована схема на 6 вентилях (рис. 2.27), которая меньше по объему и быстрее и обычно в литературе называется *шестиэлементным триггером* или *схемой трех триггеров* [1, 2].

В ней, после прихода синхроимпульса $C=1$ состояние вы-

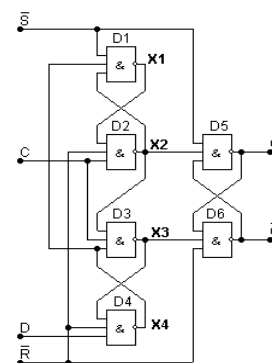


Рис. 2.27

ходного асинхронного RS-триггера (D5-D6) становится нечувствительным к изменениям сигнала на информационном входе D. Т.е. изменение состояние на выходе в соответствии с сигналом на D-входе происходит в момент окончания переднего фронта синхроимпульса (также как и в двухтактном триггере на рис. 2.26, а).

Для следующего переключения триггера необходимо сначала подать $C=0$, при этом выходной RS-триггер (D5-D6) переводится в режим хранения ранее записанной информации. Фронтом следующего импульса синхронизации триггер будет переведен в новое состояние, определяемое значением на информационном входе D (в момент действия фронта).

Рассмотренный триггер является *триггером с прямым динамическим управлением* (принимает информацию по фронту синхросигнала). На практике в него вводят дополнительно асинхронные входы предустановки \bar{R} и \bar{S} , которые имеют *приоритет* над информационным входом D.

T-триггер (от английского *Toggle* – опрокидываться, кувыркаться) имеет только тактовый вход T и меняет свое состояние на противоположное по фронту или срезу каждого нового тактового импульса (рис. 2.28). На рисунке показано УГО T-триггера и как можно выполнить T-триггер на базе RS- или D-триггеров с динамическим управлением. Каждый раз по фронту сигнала T изменяется уровень напряжения на выходе Q. Частота изменения потенциала на выходе T-триггера в два раза меньше частоты импульсов на его тактовом входе. Это свойство T-триггера используется при построении двоичных счетчиков, а T-триггер называют также счетным триггером.

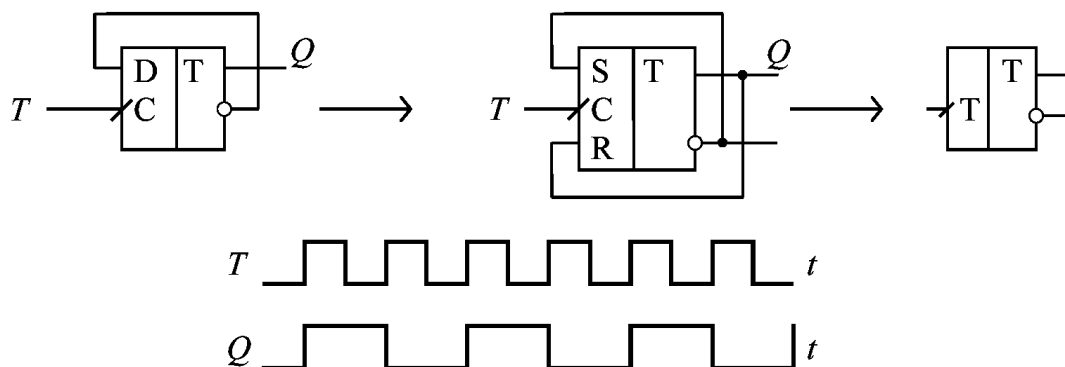


Рисунок 2.28 — Счетный триггер, синхронизируемый фронтом и временные диаграммы его работы

JK-триггер выполняет наиболее универсальные функции (*J – Jerk* – резкое движение, толчок; *K – Kill* – ликвидировать). Он строится на базе RS-триггера, но, в отличие от него, в JK-триггере устранено запрещенное состояние при $J=K=1$. При совпадении логических единиц на информационных входах J и K он работает как счетный (режим переключения Toggle — T-триггера), т.е. меняет свое состояние на противоположное при каждом новом такте. Логическая 1 на входе J устанавливает триггер в состояние единицы (режим записи 1, установка), логическая 1 на входе K переводит триггер в состояние логического нуля (режим записи 0, сброс) при наличии тактирования. При наличии логических нулей на входах J и K тактовый импульс не меняет состояние триггера (режим хранения). Во избежание режима генерации для его построения требуется применять RS-триггер двухступенчатого типа или с дина-

мическим управлением (рис. 2.30). Все работоспособные триггеры JK-типа имеют динамическое управление (переключаются по фронту или срезу синхроимпульса).

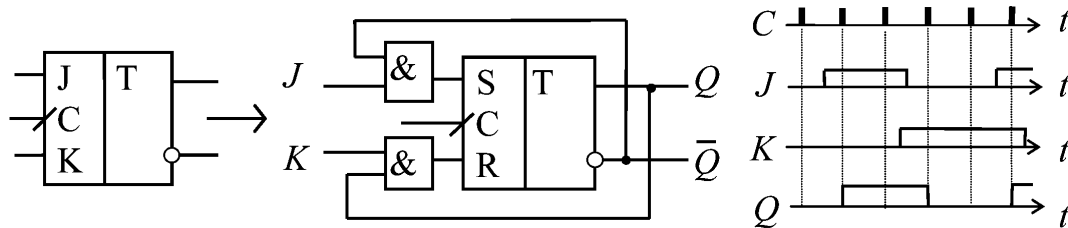


Рисунок 2.30 — JK-триггер с динамическим синхровходом (тактируемый фронтом СИ)

В современных интегральных микросхемах JK-триггеров используются 2 структуры:

- Триггер, использующий внутренние задержки составляющих его логических элементов (рис. 2.37). Работоспособность триггера обеспечивается только при условии $t_{3\partial 1,2} > 2 \cdot t_{3\partial 3,4,5,6} + t_{3\partial 7,8}$ (задержки вентилях D1 и D2 превышают суммарную задержку вентилях «И» и «ИЛИ-НЕ»). Триггер переключается по отрицательному перепаду тактирующего сигнала (среза синхроимпульса). По такой схеме с добавлением входов (входа) предварительной установки строятся триггеры TB6 (74LS107), TB9 (74LS112), TB10 (74LS113), TB11 (74LS114). На рис. 2.37 показана внутренняя структура триггера TB9. Асинхронные входы предварительной установки (также как и в других синхронных триггерах) имеют приоритет над синхронными входами.
- Шестиэлементный JK-триггер (рис. 2.38). Он подобен ранее рассмотренному шестиэлементному D-триггеру (см. рис. 2.27). Управляется передним фронтом синхроимпульса. Имеет асинхронные входы предварительной установки, которые (также как и в других синхронных триггерах) имеют приоритет над синхронными входами.

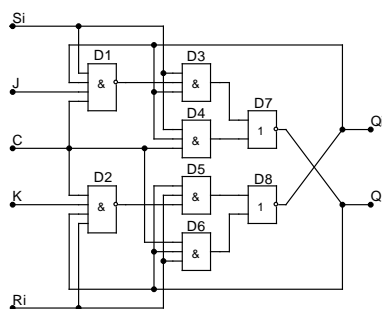


Рисунок 2.37 — JK-триггер TB9

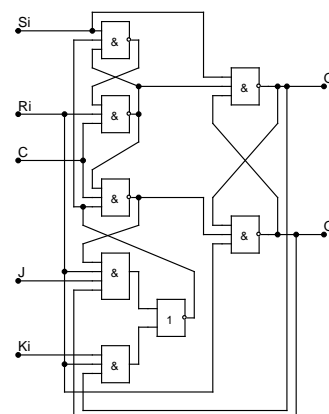


Рисунок 2.38 — JK-триггер TB15

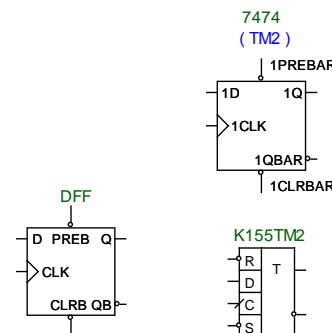
Вышеупомянутый *приоритет асинхронных входов предварительной установки* обеспечивается схемотехникой синхронных триггеров. Входы предварительной установки подключаются непосредственно к выходному RS-триггеру, формирующему выходной сигнал элемента памяти (см. рис. 2.27, 2.37, 2.38).

СИНХРОННЫЕ ТРИГГЕРЫ, УПРАВЛЯЕМЫЕ ФРОНТОМ (СРЕЗОМ) СИНХРОСИГНАЛА

1. Синхронный D-триггер, управляемый фронтом синхросигнала (переключение триггера в соответствии с сигналом на D-входе происходит в момент действия переднего фронта синхросигнала C) см.

Сокращенная таблица функционирования

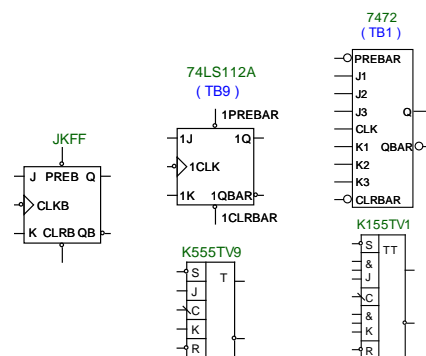
\overline{R}	\overline{S}	D	C	Q_t	Q_{t+1}	Режим
1	0	X	X	X	1	Асинхронная установка
0	1	X	X	X	0	Асинхронный сброс
1	1	1	↑	X	1	Запоминание состояния D-входа
1	1	0	↑	X	0	
0	0	X	X	X	Неопр.	Запрещен.



См. также схемный файл **D-триггер синхр_алгоритм работы.CIR** из каталога ЦТ_схемы.рар

2. Синхронный JK-триггер, управляемый срезом синхросигнала (переключение триггера в соответствии с сигналом на J и K-входах происходит в момент действия заднего фронта синхросигнала C)

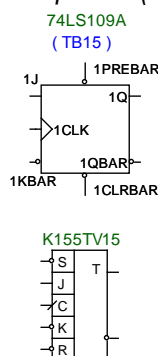
\overline{R}	\overline{S}	J	K	C	Q_t	Q_{t+1}	Режим
1	0	X	X	X	X	1	Установка
0	1	X	X	X	X	0	Сброс
1	1	0	0	↓	X	Q_t	Хранение
1	1	0	1	↓	X	0	Kill
1	1	1	0	↓	X	1	Jerk
1	1	1	1	↓	X	$\overline{Q_t}$	Toggle
0	0	X	X	X	X	Неопр.	запрещен



7472 (TB1) имеет логику (3-входовой элемент И) на входах J и K
См. также схемный файл **TV9.CIR** из каталога ЦТ_схемы.рар

3. Синхронный JK-триггер, управляемый фронтом синхросигнала (переключение триггера в соответствии с сигналом на J и K-входах происходит в момент действия переднего фронта синхросигнала C), вход K — инверсный (кружок о)

\overline{R}	\overline{S}	J	K	C	Q_t	Q_{t+1}	Режим
1	0	X	X	X	X	1	Установка
0	1	X	X	X	X	0	Сброс
1	1	0	1	↑	X	Q_t	Хранение
1	1	0	0	↑	X	0	Kill
1	1	1	1	↑	X	1	Jerk
1	1	1	0	↑	X	$\overline{Q_t}$	Toggle
0	0	X	X	X	X	Неопр.	запрещен



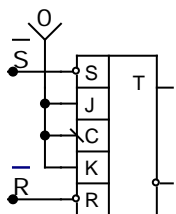
См. также схемный файл **TV15_74LS109.CIR** из каталога ЦТ_схемы.рар

При **анализе алгоритма работы триггера** по его УГО (условному графическому обозначению) в контрольной работе №4 следует обращать внимание:

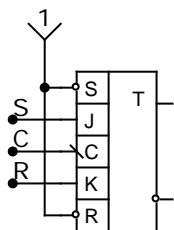
1. Какие триггер имеет асинхронные *входы предварительной установки* — прямые (обозначены без кружка) или инверсные (обозначены кружком о). При этом меняется таблица переключений триггера. См. стр. 2.
2. Какие триггер имеет *информационные входы* (R, S, D, J, K) — прямые (обозначены без кружка) или инверсные (обозначены кружком о). При этом меняется таблица переключений триггера. См. стр. 2 (RS триггеры), 7 (JK-триггеры).
3. Какой *синхровход* имеет триггер —
 - статический (без обозначения) — триггер переключается при наличии высокого уровня синхросигнала;
 - или динамический (\nearrow \rightarrow — фронт; \searrow \rightarrow — срез) — триггер переключается по переднему (заднему) фронту синхросигнала.

Взаимные преобразования триггеров

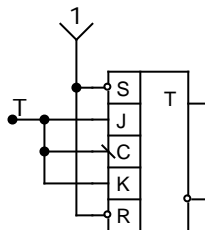
Асинхронный RS-триггер



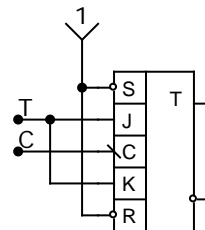
Синхронный RS-триггер



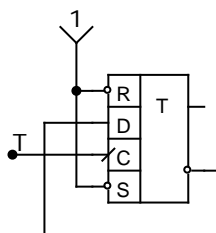
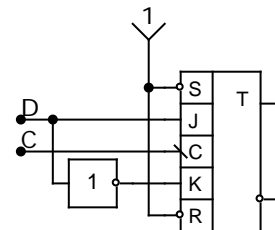
Асинхронный T-триггер



Синхронный T-триггер



Синхронный D-триггер



Сводная карта всех триггеров-примитивов и ТТЛ-триггеров (которые также можно найти в системе моделирования Micro-CAP 9, 10) приведена на рис. 2.39. Триггеры серий КМОП и ЭСЛ представлены на рис. 2.40.

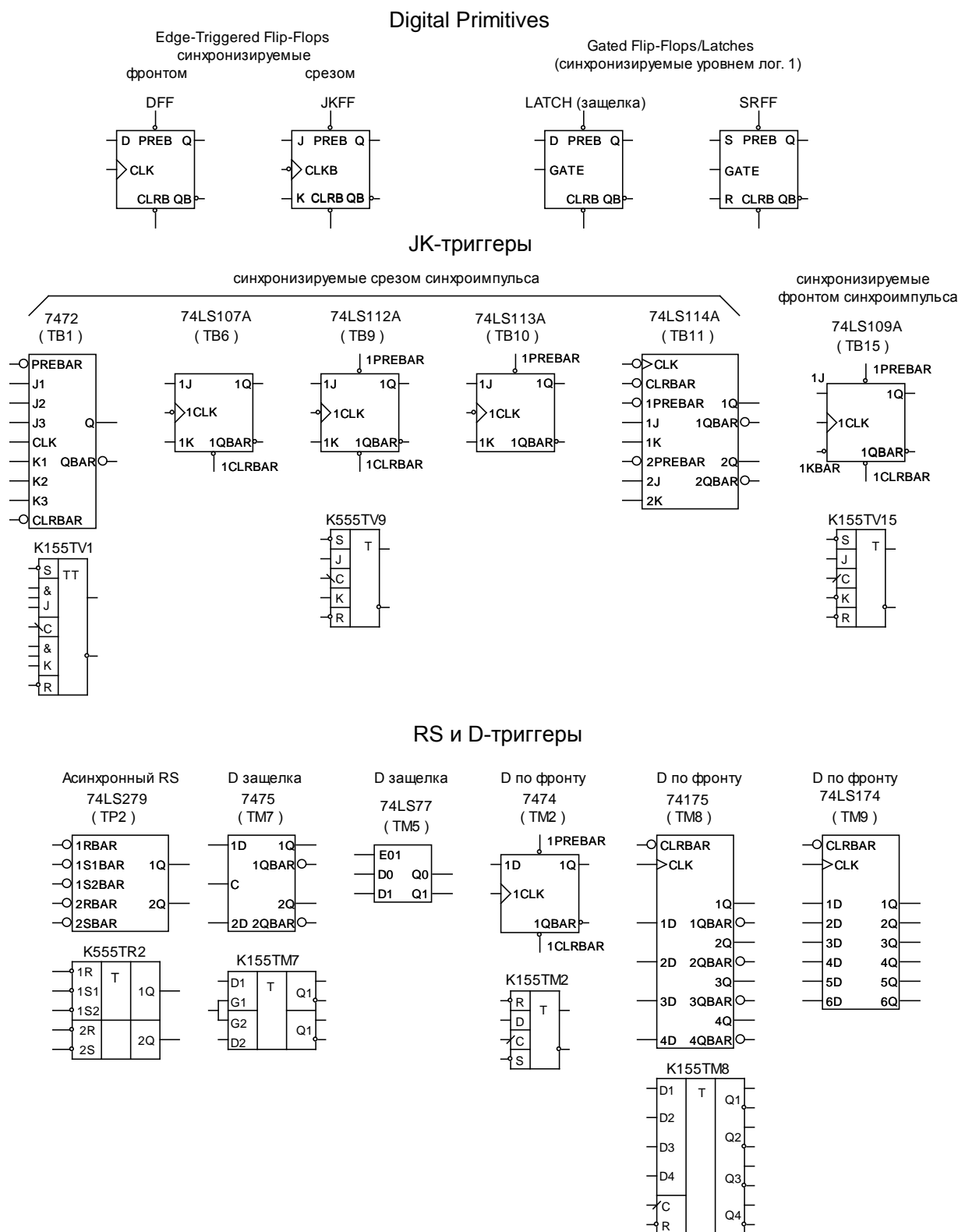
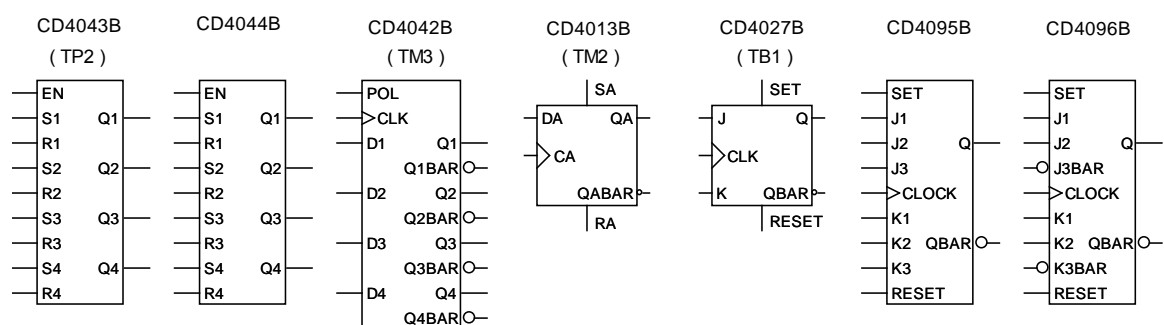


Рисунок 2.39 — Разновидности триггеров ТТЛ, имеющиеся в программе Micro-CAP

Триггера КМОП



Триггера ЭСЛ

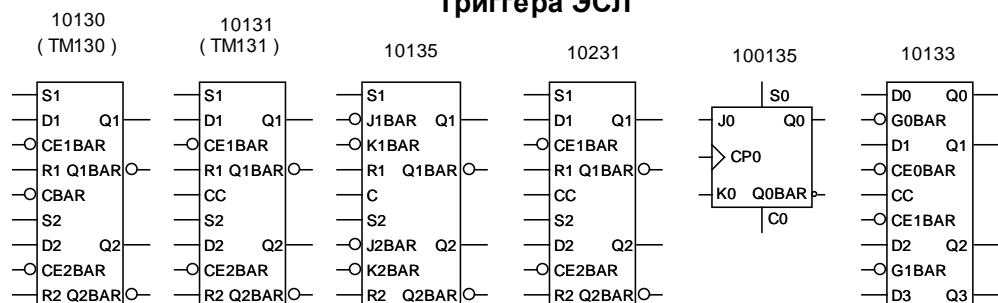


Рисунок 2.40 — Разновидности триггеров КМОП и ЭСЛ