

USART Baud Rate Registers – UBRRL und UBRRH (Initialwert; 0x00)

15	14	13	12	11	10	9	8	
URSEL	–	–	–	UBRR[11:8]				UBRRH
UBRR[7:0]								UBRRL
7	6	5	4	3	2	1	0	
R/W	R	R	R	R/W	R/W	<div> $f_{\text{Baud}} = \frac{f_{\text{sys}}}{16 \cdot (\text{UBRR} + 1)}$ (für $U2X=0$) </div>		
R/W	R/W	R/W	R/W	R/W	R/W			
<u>Achtung:</u> Für Schreibzugriff auf UBRRH muss URSEL =0 sein!						<div> $f_{\text{Baud}} = \frac{f_{\text{sys}}}{8 \cdot (\text{UBRR} + 1)}$ (für $U2X=1$) </div>		
USART I/O Data Register – UDR (Initialwert: 0x00)								

Achtung: Für Schreibzugriff auf UBRRH muss URSEL=0 sein!

USART I/O Data Register – UDR (Initialwert; 0x00)

7	6	5	4	3	2	1	0	
RXB[7:0]								UDR (Read)
TXB[7:0]								UDR (Write)
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

USART Control and Status Register A – UCSRA (Initialwert; 0x20)

R	R/W	R	R	R	R	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RXC	TXC	UDRE	FE	DOR	PE	U2X	MPCM
Empfänger 0: kein Zei. 1: Zeichen Interrupt	Daten aus Schiebereg. 1: gesendet Interrupt	Sendedaten- Register 1: leer Interrupt	Empfangs- Rahmen 1: Fehler	Empfänger- Überlauf 1: Fehler	Paritäts- kontrolle 1: Fehler	Steuerbit doppelte Baudrate	Steuerbit Multi- prozessor- betrieb

Lesen des UDR-Empfangspuffers setzt **FE**, **DOR** und **PE** zurück

USART Control and Status Register B – UCSRB (Initialwert; 0x00)

R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RXCIE	TXCIE	UDRIE	RXEN	TXEN	UCSZ2	RXB8	TXB8
Empfänger Interrupt 1: frei	Sender Interrupt 1: frei	Sendedaten Interrupt 1: frei	Empfänger 0: gesperrt 1: frei	Sender 0: gesperrt 1: frei	Zeichenlänge siehe UCSRC	Empfänger Bit 8	Sender Bit 8

USART Control and Status Register C – UCSRC (Initialwert; 0x86)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
URSEL	UMSEL	UPM1	UPM0	USBS	UCSZ1	UCSZ0	UCPOL
URSEL = 1	Betriebsart 0: Async. 1: Sync.	Parität: 0 0: keine 0 1: reserviert 1 0: gerade Parität 1 1: ungerade Parit.		Stoppbits 0: 1 Bit 1: 2 Bits	Datenlänge UCSZ2 UCSZ1 UCSZ0 0 0 0: 5bit Übertragung 0 0 1: 6bit Übertragung 0 1 0: 7bit Übertragung 0 1 1: 8bit Übertragung 1 1 1: 9bit Übertragung		Synchron- betrieb Phasenlage des Schiebe- taktes

Achtung: Für Schreibzugriff auf UCSRC muss URSEL=1 sein! Register nicht direkt lesbar!