

ADC-Register (ATmega16)

ADC Multiplexer Selection Register – ADMUX (Initialwert; 0x00)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0
Referenzspannung 0 0 : Pin AREF 0 1 : von AVCC 1 0 : – 1 1 : 2.56 V intern		Ausrichtung 0 : rechts 1 : links	unipolar/differenziell/Verstärkung 0 0 : acht unipolare Kanäle Tabelle MUX2 bis MUX0 0 1 : zwei differenzielle Kanäle mit Verstärkungsfaktoren 1 0 : sieben differenzielle Kanäle gegen ADC1 (negativ) 1 1 : fünf differenzielle Kanäle gegen ADC2 (negativ)		unipolare Kanalauswahl 0 0 0 : Kanal ADC0 PA0 0 0 1 : Kanal ADC1 PA1 0 1 0 : Kanal ADC2 PA2 0 1 1 : Kanal ADC3 PA3 1 0 0 : Kanal ADC4 PA4 1 0 1 : Kanal ADC5 PA5 1 1 0 : Kanal ADC6 PA6 1 1 1 : Kanal ADC7 PA7		

Differenzielle Eingänge mit Verstärkung				differenziell ohne Verstärkung			differenziell ohne Verstärkung		
MUX4-0	pos Ein	neg Ein	Verstärk.	MUX4-0	pos Ein	neg Ein	MUX4-0	pos Ein	neg Ein
01000	ADC0	ADC0	10x	10000	ADC0	ADC1	11000	ADC0	ADC2
01001	ADC1	ADC0	10x	10001	ADC1	ADC1	11001	ADC1	ADC2
01010	ADC0	ADC0	200x	10010	ADC2	ADC1	11010	ADC2	ADC2
01011	ADC1	ADC0	200x	10011	ADC3	ADC1	11011	ADC3	ADC2
01100	ADC2	ADC2	10x	10100	ADC4	ADC1	11100	ADC4	ADC2
01101	ADC3	ADC2	10x	10101	ADC5	ADC1	11101	ADC5	ADC2
01110	ADC2	ADC2	200x	10110	ADC6	ADC1	11110	Eingang 1.22 Volt	
01111	ADC3	ADC2	200x	10111	ADC7	ADC1	11111	Eingang Ground	

ADC Control and Status Register A – ADCSRA (Initialwert: 0x00)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0
Wandler 1: ein 0: aus	1 : Start 0 : Ende der Wandl.	0 : Einzel 1 : Dauer Wandl.	1: Interrupt Daten bereit	1: Interrupt frei	Wandlungstakteiler 0 0 0 Teiler : 2 0 0 1 Teiler : 2 0 1 0 Teiler : 4 0 1 1 Teiler : 8 1 0 0 Teiler : 16 1 0 1 Teiler : 32 1 1 0 Teiler : 64 1 1 1 Teiler : 128		

Anmerkung: Für die maximale Auflösung von 10Bit muss der Wandlungstakt zwischen 50kHz und 200kHz liegen.

ADC-Register (ATmega16)

The ADC Data Register – ADCH, ADCL (Initialwerte: 0x00; alle Bits: R)

ADLAR = 0:

15	14	13	12	11	10	9	8	
–	–	–	–	–	–	ADC9	ADC8	ADCH
ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
7	6	5	4	3	2	1	0	

ADLAR = 1:

15	14	13	12	11	10	9	8	
ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
ADC1	ADC0	–	–	–	–	–	–	ADCL
7	6	5	4	3	2	1	0	

Falls ADCL gelesen wird, werden beide ADC Datenregister solange nicht mehr vom ADC beschrieben, bis ADCH gelesen wird.

Special Function I/O Register – SFIOR (Initialwert: 0x00)

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADTS2	ADTS1	ADTS0	–	ACME	PUD	PSR2	PSR10
Triggerquelle für ADSC = 1							
0 0 0	Freilaufbetrieb						
0 0 1	Analogkomparator						
0 1 0	Externer Interrupt0						
0 1 1	Timer0 Compare						
1 0 0	Timer0 Überlauf						
1 0 1	Timer1 Compare B						
1 1 0	Timer1 Überlauf						
1 1 1	Timer1 Capture						