

Arquitectura de Computadoras

CURSO 2022

Turno:
Clase 2

Resumen clase 2

Interrupciones

- Concepto de interrupción
- Características de las interrupciones
- Tratamiento de las interrupciones
- Controlador programable de interrupciones PIC
- Interrupciones del 8086
- Interrupciones del MSX88

Concepto de Interrupción

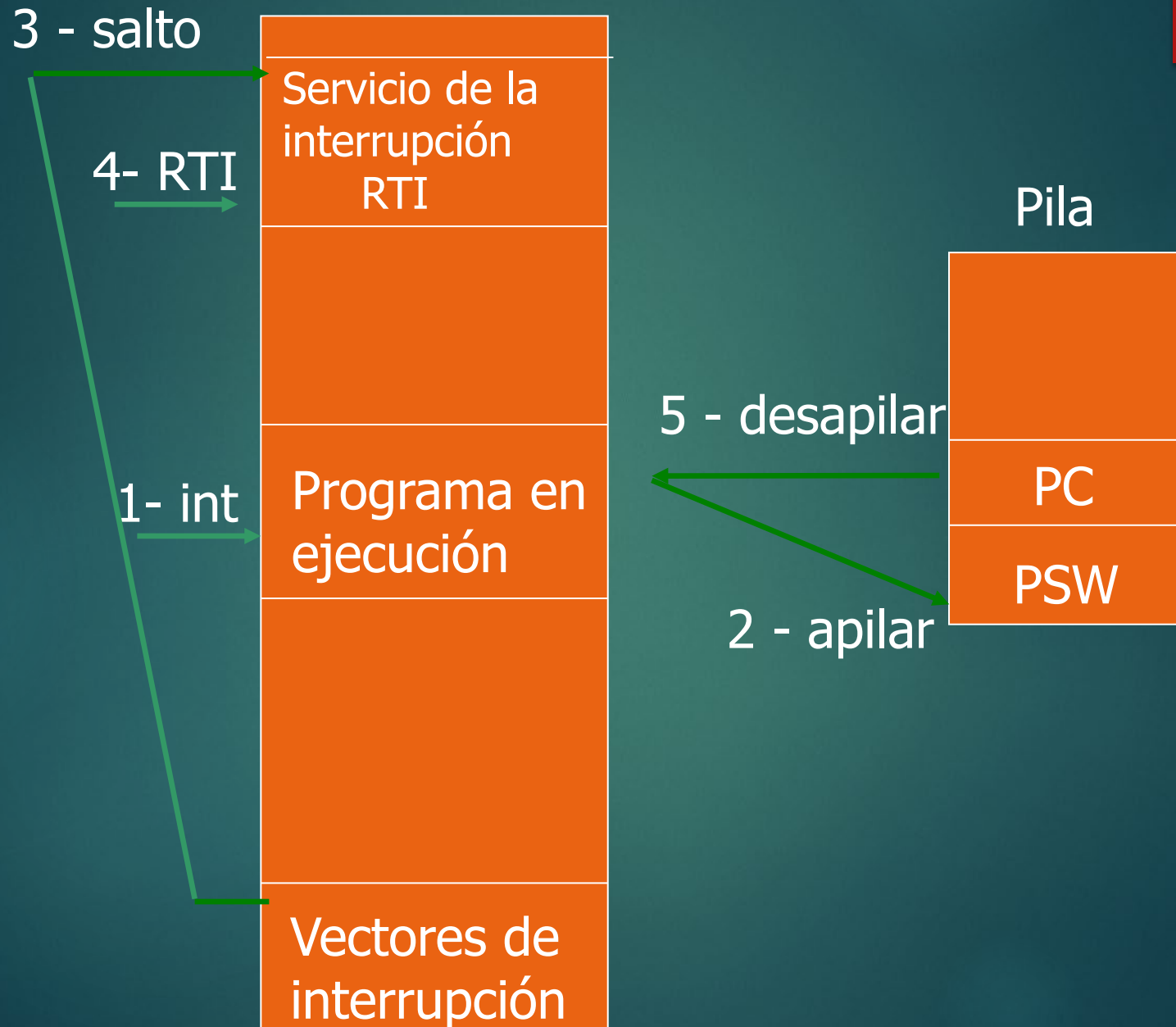
3

- En condiciones “normales”, la CPU lee y ejecuta una instrucción a continuación de la otra de manera ininterrumpida (el “bucle interno del ciclo de instrucción”).
- Una interrupción es un mecanismo que permite alterar ese proceso de “ejecución normal” de la CPU.
- Este mecanismo permite que la CPU suspenda la tarea que está haciendo y responda a una solicitud de atención para resolver (ejecutar) otra tarea (servicio de la interrupción).
- Una vez completado el servicio de la interrupción, el procesador retoma la tarea suspendida, en el punto donde se detuvo (de una manera similar al llamado a subrutina).

Concepto de Interrupción

- De acuerdo al concepto de interrupción, el procesador conmuta de una tarea en ejecución a otra a ejecutarse por efecto de la presencia de un evento (la interrupción). Por lo tanto se requiere de 3 acciones:
- **1)** Detener (suspender) la tarea que está ejecutando el procesador (suspender, no terminar ni abortar).
- **2)** Bifurcar (saltar) a otra tarea, asociada a la solicitud de interrupción (comúnmente conocida como servicio interrupción).
- **3)** Restablecer la tarea suspendida en las condiciones en las que se encontraba en el momento en el que se la detuvo.

Operación de una Interrupción



Concepto de Interrupción

6

- La forma en que opera la interrupción se puede ver en la figura anterior.
- **1.-** La CPU recibe, mientras está ejecutando una tarea (el programa en ejecución), un pedido de interrupción.
- **2.-** La CPU salva todo o parte del estado de la CPU correspondiente a la tarea a ser suspendida. Al menos salva el Contador de programa (PC) y el registro de estado (PSW), típicamente en la Pila del sistema . Esto lo hace porque lo necesita para restaurar la tarea suspendida.
- **3.-** La CPU busca, en un área de memoria definida, la dirección de comienzo (el “vector”) del servicio de la interrupción, y comienza a ejecutar dicho servicio.

Concepto de Interrupción

7

- **4.-** Cuando la CPU termina el servicio de la interrupción, tiene que retornar al programa interrumpido. Esto se hace mediante una instrucción especial de Retorno de interrupción (RTI).
- **5.-** La ejecución de la instrucción RTI desapila exactamente lo apilado cuando atendió la interrupción (es decir, todo o parte del estado de la CPU). Como mínimo recupera el PC y el PSW. De esta manera retoma la tarea suspendida (el programa en ejecución) en el punto en que fue interrumpida.

Características de las interrupciones

8

- El origen de una interrupción es la ocurrencia de un evento que requieren la intervención de la CPU.
- Existen 2 tipos de eventos:
 - Interno: es decir, debido a la ocurrencia de una situación dentro del Sistema de cómputo. Algunos eventos internos que pueden producir interrupción son: un error asociado a la ejecución de una instrucción, desbordamiento aritmético (“overflow”), división por cero, temporizados propios del sistema, fallo del hardware, error de paridad en la memoria, pérdida de energía.
 - Externo: asociado a operaciones de E/S con periféricos. Algunos eventos típicos que pueden generara interrupción son: finalización de una transferencia, error en la transferencia, dispositivo indisponible, etc.

Características de las interrupciones

Interrupciones múltiples

- La necesidad de administrar eventos de distinto origen requiere, en la mayor parte de los casos, administrar varias interrupciones.
- Dado el origen diverso de las interrupciones, hay algunas que son más importantes que otras.
- En general, los procesadores son capaces de manejar varias interrupciones de distinta características y orígenes.

Prioridades

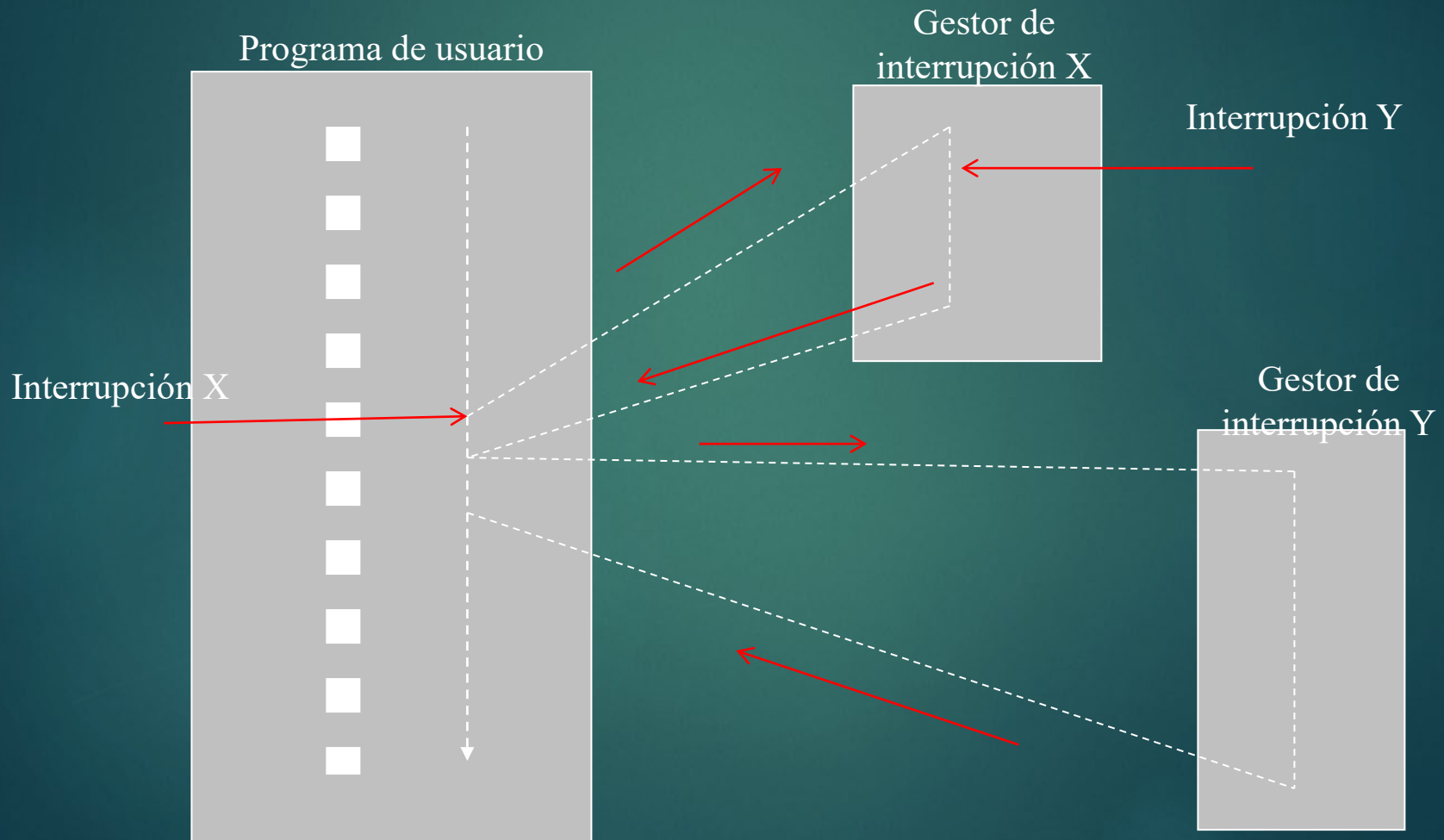
Prioridades en interrupciones múltiples

- Las interrupciones más importantes deben tener mayor “prioridad” que las menos importantes.
- Cuanto mayor sea su prioridad, mayor es la urgencia para ser atendida, incluso si hay una interrupción en curso.
- Si las interrupciones son de igual prioridad, se procesan en el orden en que llegan.
- Si las interrupciones tienen distinta prioridad, las interrupciones de mayor prioridad pueden interrumpir a las de menor prioridad. La inversa no vale.

Prioridades

11

➤ Procesamiento de interrupciones de igual prioridad.



Prioridades

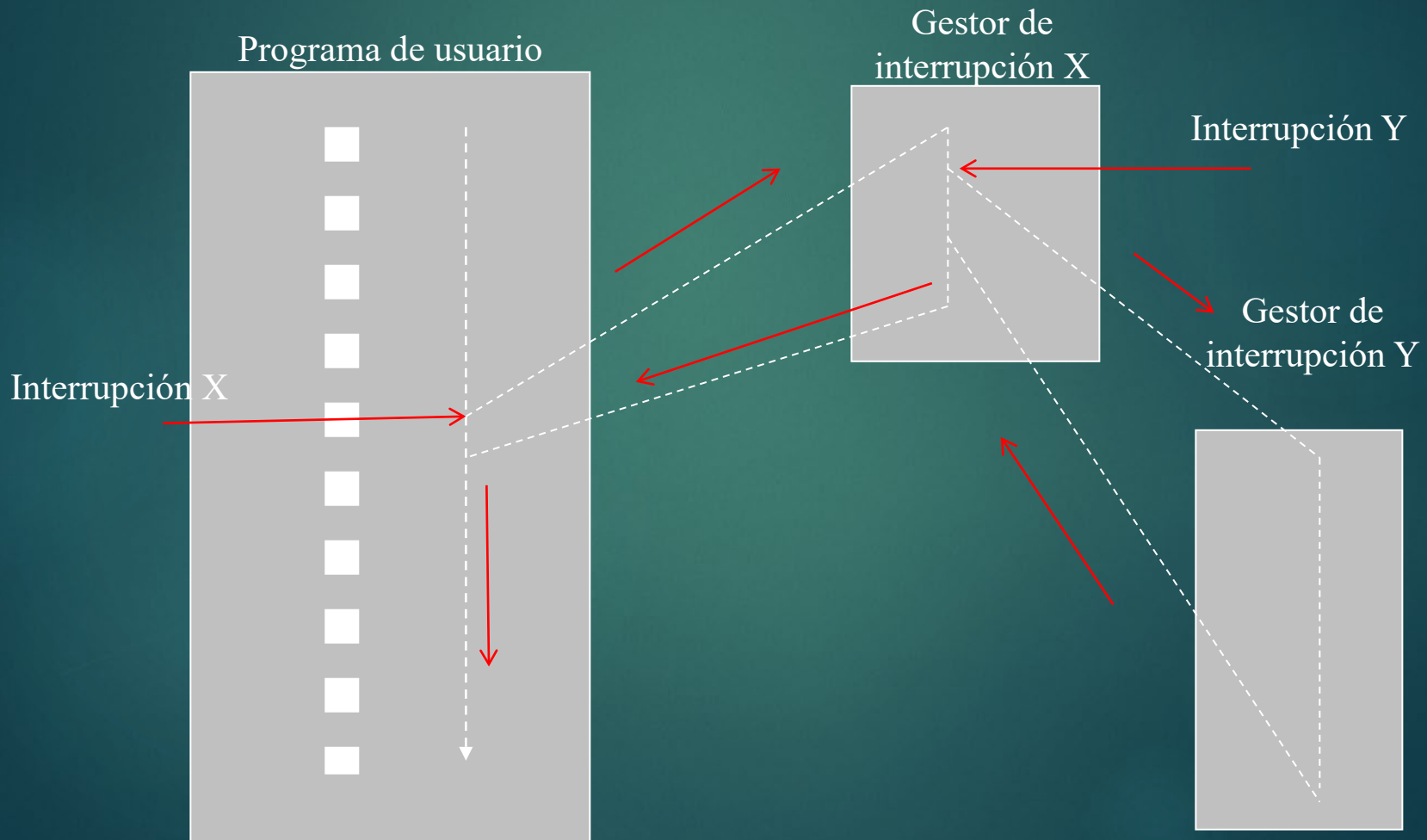
Procesamiento de interrupciones de igual prioridad

- Las interrupciones se atienden según el orden de llegada.
- Cuando llega una interrupción y es atendida, se inhabilita el resto de las interrupciones de igual o menor nivel de prioridad.
- Si llega una nueva interrupción quedará pendiente.
- El procesador ejecutará el servicio de la interrupción atendida.
- Al finalizar el servicio se habilitarán nuevamente las interrupciones.
- La interrupción pendiente será atendida.

Prioridades

13

- Procesamiento de interrupciones de distinta prioridad.



Prioridades

14

Procesamiento de interrupciones de distinta prioridad

- Una interrupción de prioridad más alta puede interrumpir en cualquier momento a una interrupción de prioridad menor.
- Cuando se ha gestionado la interrupción de prioridad más alta, el procesador vuelve a las interrupciones previas (de menor prioridad).
- Terminadas todas las rutinas de gestión de interrupciones se retoma el programa del usuario.

Tipos de interrupciones

15

Interrupciones enmascarables y no-enmascarables

- Los sistemas de cómputo pueden responder de manera diferente a los distintos tipos de interrupciones, principalmente asociado a la prioridad que tienen.
- Típicamente tienen 2 categorías de interrupciones.
 - No Enmascarables: son interrupciones que no pueden ser ignoradas, es decir, se atienden indefectiblemente, y están asociadas a eventos críticos, peligrosos o de alta prioridad.
 - Enmascarables: pueden ser, eventualmente, “ignoradas”. Para ello el procesador permite realizar algunas acciones que pueden inhibir la atención de la interrupción. Las interrupciones enmascarables generalmente están asociadas a operaciones menos críticas, por ejemplo de E/S.

Tipos de interrupciones

16

Interrupciones por hardware y por software

- Desde el punto de vista de la forma en que se invocan, las interrupciones pueden ser 2 de tipos:
 - Por Hardware: son generadas por señales físicas asociadas a eventos externos o internos. De acuerdo al origen de la señal de interrupción, pueden ser:
 - Externas
 - Internas
 - Por Software: son producto de la ejecución de instrucciones con efecto similar a una interrupción por hardware.

Tipos de interrupciones

17

Interrupciones por hardware externas

- Son conocidas como Interrupt request.
- El origen de estas señales de pedido de interrupción proviene típicamente de dispositivos conectados al subsistema de E/S.
- Se consideran las “verdaderas” interrupciones porque son aleatorias en relación al proceso en ejecución (es decir, pueden ocurrir en “cualquier instante de tiempo”).
- El sistema de cómputo tiene que ser capaz de manejar estos eventos externos “no planeados” ó “asincrónicos”.
- Pueden o no estar relacionadas con el proceso en ejecución en ese momento.

Tipos de interrupciones

18

Interrupciones por software

- Son conocidas como Software interrupt.
- Son instrucciones explícitas que tienen un efecto similar a una interrupción por hardware.
- Como normalmente el SO administra los servicios de las Interrupciones, las Interrupciones por software permiten invocar los servicios del SO asociados a las Interrupciones (en otras palabras, son “llamadas” a funciones del SO).
- El SO define los lugares donde se cargan los servicios de las Interrupciones. El usuario no conoce, a priori, esos lugares, pero usa los servicios invocándolos a través de las interrupciones que maneja el SO.

Tipos de interrupciones

19

Interrupciones por hardware internas

- Son conocidas como Trap o excepciones.
- Son señales creadas dentro del sistema de cómputo en respuesta a situaciones propias del proceso en ejecución y no vinculadas con operaciones de E/S, por tal motivo no son estrictamente aleatorias.
- Algunos eventos que pueden producir un Trap son:
 - **Condiciones excepcionales:** overflow en ALU de punto flotante.
 - **Fallas de programa:** tratar de ejecutar una instrucción no definida.
 - **Fallas de hardware:** error de paridad de memoria.
 - **Accesos no alineados o a zonas de memoria protegidos**

Tipos de interrupciones

20

Interrupciones por software

- Hay sistemas que no permiten hacer una llamada directa a una función del SO, por estar en una zona reservada.
- Si no se pudieran usar las interrupciones por software como mecanismo de invocación de esos servicios que administra el SO, cuando se necesita administrar una tarea por interrupción, se debería:
 - **Opción 1:** escribir el servicio (bastante complicado)
 - **Opción 2:** el programa que requiere el servicio debería buscar entre todas las llamadas a funciones del BIOS y SO la que necesita, y reemplazar en el código la dirección de esa función invocada (también muy complicado).

Tratamiento de las interrupciones

21

Gestión de las interrupciones

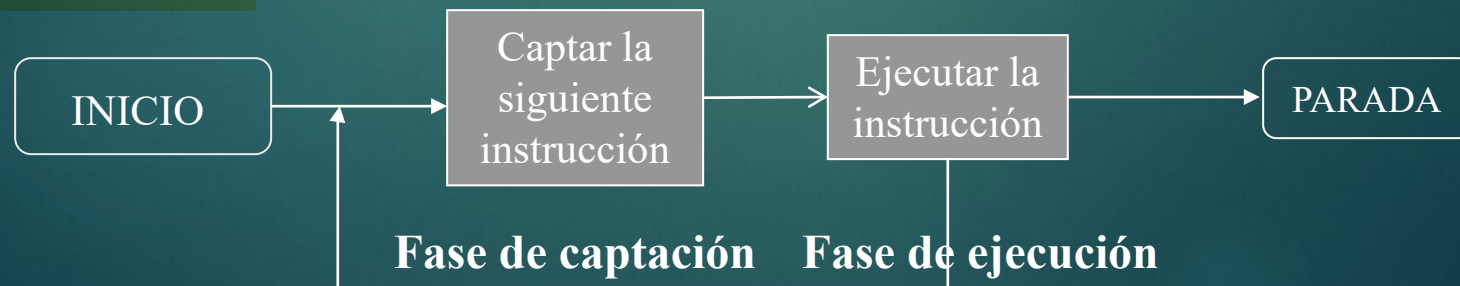
➤ El uso de interrupciones requiere de la gestión ordenada de las siguientes acciones básicas:

1. Detectar el pedido de interrupción
2. Detener la tarea que se estaba ejecutando
3. Salvar el estado de la tarea que se estaba ejecutando
4. Obtener la dirección de comienzo del servicio de la interrupción y bifurcar a dicho servicio
5. Ejecutar el servicio de la interrupción
6. Retornar y restaurar el estado en que estaba la tarea interrumpida.
7. Continuar con la ejecución normal de la tarea interrumpida (en el punto en el que se detuvo)

Tratamiento de las interrupciones

Detección del pedido de interrupción

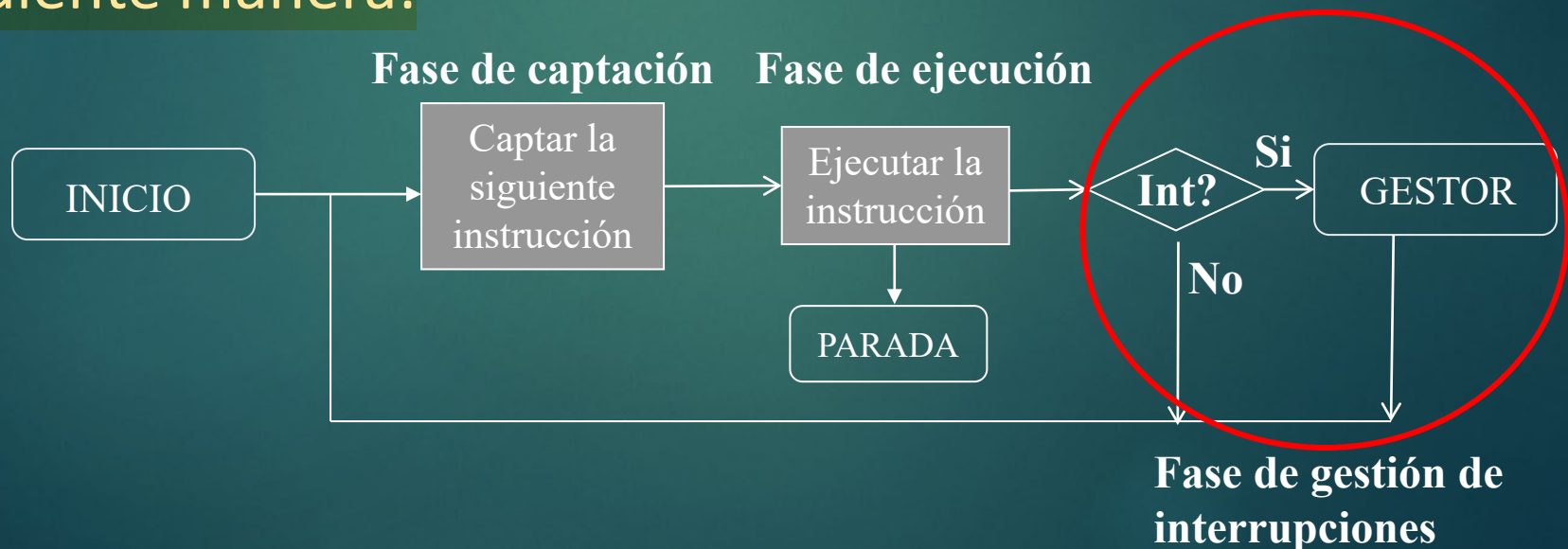
- El primer paso en la administración de las interrupciones consiste en detectar el pedido de atención.
- Para ejecutar esta operación, el procesador examina, en cada ciclo de instrucción, la presencia de interrupciones.
- De acuerdo a lo visto previamente, el ciclo de instrucción podía interpretarse como un bucle de ejecución interna, infinito, compuesto por 2 fases: búsqueda de la instrucción y ejecución.



Tratamiento de las interrupciones

Detección del pedido de interrupción

- Para poder implementar la tarea de detección de interrupciones, en el ciclo de instrucción anterior se agrega, además de las fases de captura y ejecución, la fase de gestión de interrupciones.
- El ciclo completo de la instrucción queda modificado de la siguiente manera:



Tratamiento de las interrupciones

24

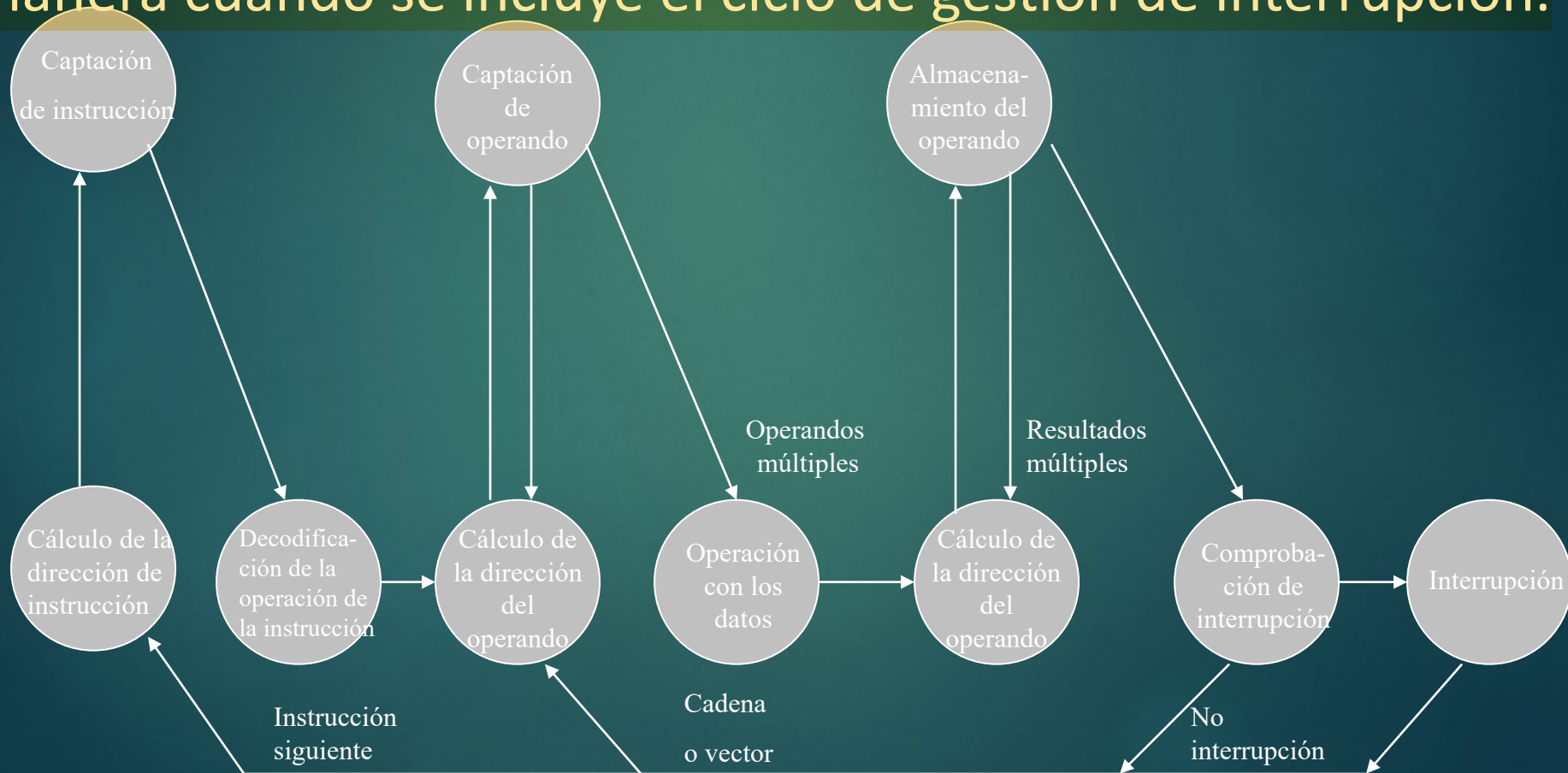
Detección del pedido de interrupción

- La etapa de gestión de interrupciones en el ciclo de instrucción, determina la presencia o ausencia de pedido de interrupciones.
- La presencia de un pedido de interrupción se manifiesta mediante una o más señales discretas (bits) comúnmente llamadas bandera (o “Flag”) que la CPU examina.
- El estado de estos flags asociados a interrupciones están en algún registro (especial) de la CPU.
- Dependiendo del estado 0 o 1 del flag (es decir, del pedido de interrupción) se tienen 2 posibles caminos.

Tratamiento de las interrupciones

Detección del pedido de interrupción

El ciclo de instrucción detallado se modifica de la siguiente manera cuando se incluye el ciclo de gestión de interrupción.



Tratamiento de las interrupciones

26

Almacenamiento del proceso a ser interrumpido

- Si no hay pedido pendiente (Flag inactivo) se inicia el ciclo de captación de la siguiente instrucción (proceso “normal” de ejecución).
- Si hay algún pedido de interrupción pendiente, el procesador guarda en la pila del Sistema, el “estado del proceso”.
- Existen 2 estrategias de guardado del estado del proceso:
 - Guardar solo la próxima instrucción a ejecutar y algún registro crítico (por ejemplo el registro de estado).
 - Guardar todos los registros del procesador.
- El objetivo de esta operación es el de restablecer el estado del procesador al terminar el servicio de la interrupción.

Tratamiento de las interrupciones

27

Bifurcación al servicio de la interrupción

- Obtiene la dirección donde comienza la rutina de la interrupción y carga el PC con este valor, bifurcando de esta manera, al servicio de la interrupción.
- Existen varias técnicas para obtener la dirección donde comienza el servicio de la interrupción. En general se dispone de un área de memoria reservada, donde están estas direcciones. Tener en cuenta que son varias direcciones porque el procesador es capaz de atender varias interrupciones, y habrá una dirección por interrupción.
- Esta área de memoria se llama área de vectores de interrupciones.

Tratamiento de las interrupciones

28

Detección del pedido de múltiples interrupciones

- Dentro del proceso de gestión de las interrupciones, lo primero que tiene que hacer la CPU es detectar el pedido de interrupción. Cuando hay múltiples fuentes de interrupción, hay varias formas para identificar el origen del pedido. Los más comunes son:
 - **Opción 1:** 1 señal física de entrada a la CPU por cada Interrupción.
 - **Opción 2:** 1 única señal física de entrada a la CPU para todas las interrupciones e identificación por software.
 - **Opción 3:** 1 única señal física de entrada a la CPU para todas las interrupciones e identificación por hardware.

Tratamiento de las interrupciones

29

Detección del pedido de múltiples interrupciones

- **Opción 1:** Se tiene 1 señal física de entrada a la CPU por cada interrupción, es decir que hay múltiples líneas de pedido de interrupción en la CPU. Dado que disponer de líneas en la CPU para interrupción es costoso, la cantidad de señales para ser usadas en interrupciones se acota normalmente a un número reducido (por ejemplo 3 o 4).
- Cada dispositivo que puede provocar interrupción tiene una entrada física de interrupción conectada directamente a la CPU.
- La implementación es bastante sencilla.
- Restringida por la cantidad de líneas disponibles en la CPU.

Tratamiento de las interrupciones

30

Detección del pedido de múltiples interrupción

- **Opción 2:** Hay 1 sola entrada física de pedido de interrupción a la que están conectados todos los dispositivos.
- Para poder identificar la fuente de la solicitud, la CPU debe “preguntar” a cada dispositivo si ha producido el pedido de interrupción. Este método de consulta se conoce como encuesta o polling, y es básicamente un programa que ejecuta la CPU dentro de los servicios de interrupción.
- Al ser un esquema de detección por software, el tener que consultar uno por uno a todos los dispositivos lo hace relativamente lento e ineficiente.

Tratamiento de las interrupciones

31

Detección del pedido de múltiples interrupción

- **Opción 3:** Hay 1 sola entrada física de pedido de interrupción a la que están conectados todos los dispositivos.
- Para poder identificar la fuente de la solicitud, la CPU recibe a continuación, típicamente a través del bus de datos, un número que identifica la fuente de la interrupción (conocido como “vector de la interrupción”).
- El vector es provisto por el periférico que generó el pedido, o por algún dispositivo que se ocupe de generar el número dependiendo de la interrupción a ser atendida.

Controlador de interrupciones PIC

32

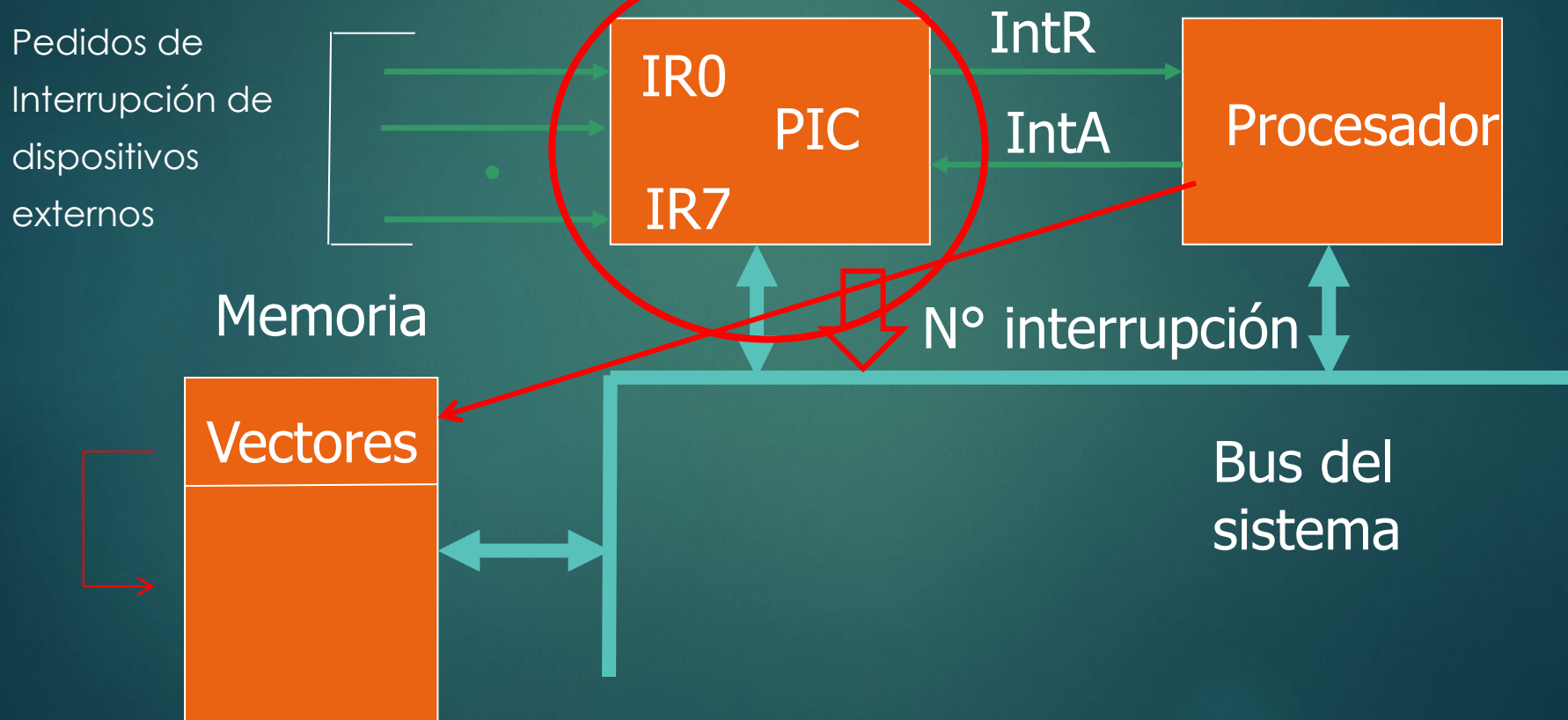
Interrupciones vectorizadas con el PIC

- La opción 3 se conoce como Interrupciones vectorizadas.
- El escenario que se tiene es el siguiente:
 - El procesador tiene una única entrada de pedido de interrupciones.
 - Hay varios “productores” de interrupciones.
 - Un “dispositivo especial” administra las necesidades propias de la interrupción. En la familia Intel, este dispositivo se conoce como Controlador Programable de Interrupciones (‘PIC’). El PIC se encarga, entre otras cosas, de generar el vector, administrar prioridades, habilitar interrupciones, etc.

Controlador de interrupciones PIC

Interrupciones vectorizadas con el PIC

La figura siguiente representa el **esquema de conexionado del PIC en un sistema de interrupciones vectorizadas (i80x86)**.



Controlador de interrupciones PIC

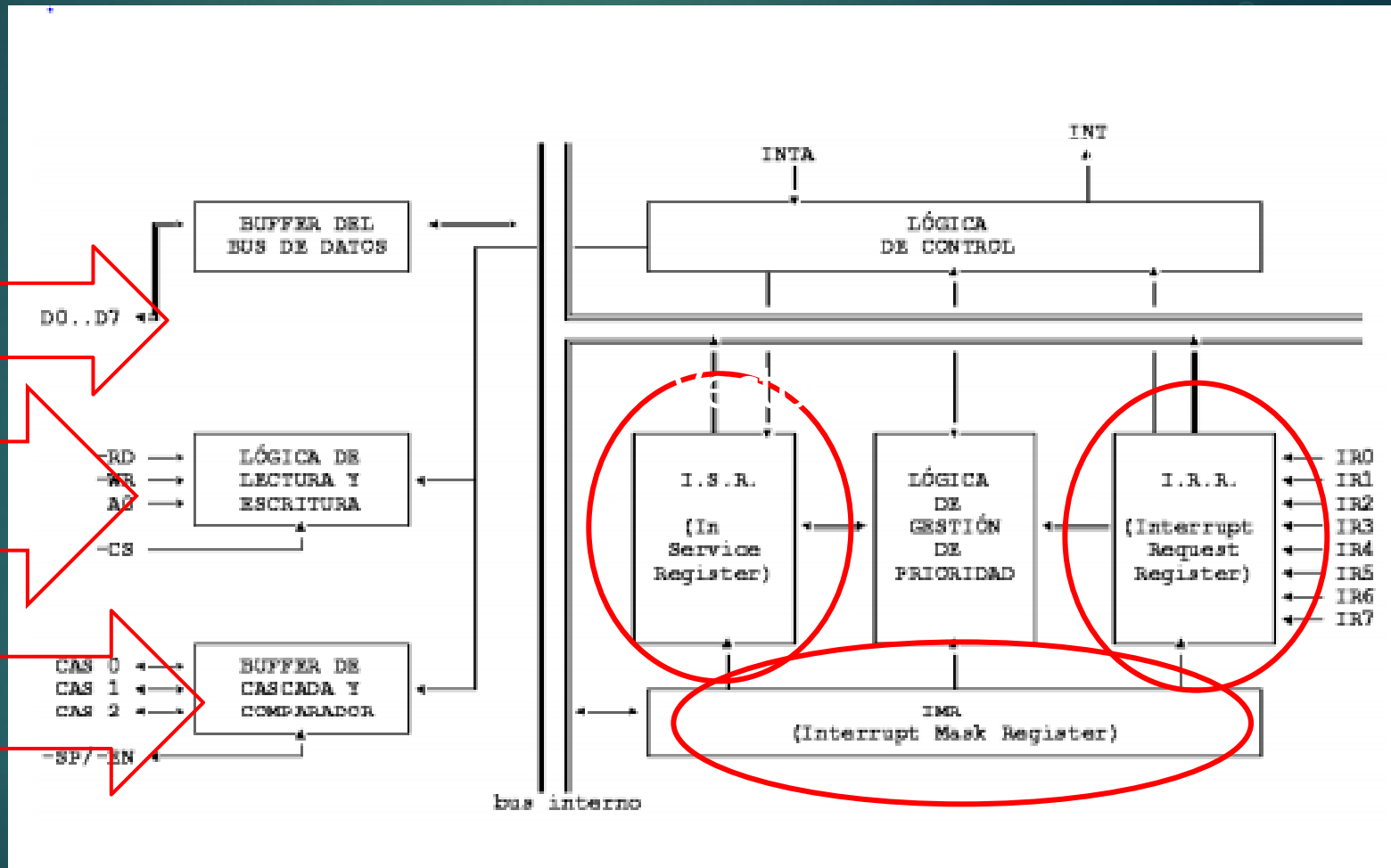
34

Interrupciones vectorizadas con el PIC

- El PIC recibe los pedidos de interrupción, típicamente de periféricos que piden atención.
- El PIC solicita atención a la CPU con la única señal de pedido de interrupción IntR (Interrupt request)
- Cuando la CPU está lista para atender la interrupción, le avisa al PIC mediante la señal IntA (Interrupt acknowledge).
- El PIC genera en el bus de datos el número de la interrupción (vector) a ser atendida. La CPU lee ese número y busca en la memoria el vector correspondiente al servicio de esa interrupción.
- Dado que se hace por hardware, es mucho más rápido.

Controlador de interrupciones PIC

La estructura interna de PIC se puede apreciar en la figura siguiente.



BUS del SISTEMA

Controlador de interrupciones PIC

36

Interrupciones vectorizadas con el PIC

- El PIC internamente tiene 3 registros principales.
 - El ISR que identifica la interrupción en servicio
 - El IRR que contiene los pedidos de interrupción provenientes de los periféricos.
 - El IMR que se usa para habilitar/deshabilitar los pedidos de interrupción. Esta funcionalidad se conoce como enmascaramiento de interrupciones.

Interrupciones del i8086

- A modo de ejemplo se van a describir las características más importantes de las interrupciones en el 8086.
- El 8086 tiene 2 interrupciones por hardware: INTR y NMI
 - La interrupción NMI es del tipo no-enmascarable.
 - La interrupción INTR es del tipo enmascarable. La INTR tiene asociado un flag IF que determina si la INTR va a ser atendida o no (de ahí el concepto de interrupción enmascarable).
- El Procesador dispone de una señal de reconocimiento de interrupción INTA.

Banderas:

OF	DF	IF	TF	SF	ZF	AF	PF	CF
-	-	x	x	-	-	-	-	-

Interrupciones del i8086

38

- El 8086 tiene 1 instrucción de interrupción por software: INT n (con n entre 0 y 255).
- La instrucción de retorno de interrupción es IRET.
- Dispone de 2 banderas relacionadas con las interrupciones:
 - Bandera IF para habilitar/deshabilitar la INTR (si IF=0 no se atiende la INTR)
 - Bandera TF para habilitar/deshabilitar el modo "Trace" (single-step). El modo "trace" o "single-step" es un mecanismo implementado mediante una interrupción (la interrupción de Trace), que habilita a la CPU ejecutar de a 1 instrucción por vez.

Interrupciones del i8086

- El esquema de manejo de las interrupciones es vectorizado.
- El área de memoria donde están los vectores de las interrupciones está ubicado en las posiciones más bajas de memoria (normalmente tipo RAM)

es decir: 0000-03FF (= 1024 bytes)

- En total hay 256 vectores, identificados como 0 a 255 (o 00-FFH), correspondiente a 256 interrupciones distintas.
- Cada vector ocupa 4 bytes: 2 para el registro de segmento de código (CS) y 2 para el Contador de Programa (IP).

Interrupciones del i8086

40

La imagen siguiente muestra una parte de la cartilla de interrupciones del 8086 (vectores 0 a 22H) y su uso tentativo.

Interrupción		Uso
Hex	Decimal	
00h	0	Generada por la CPU cuando se intenta hacer una división por cero
01h	1	Utilizada par ir paso a paso por los programas (como DEBUG)
02h	2	Interrupción no enmascarable
03h	3	Utilizada para establecer puntos de ruptura en programas (igual que con DEBUG)
04h	4	Generada cuando operaciones aritméticas dan operaciones de desbordamientos
05h	5	Invoca la rutina de servicio de imprimir pantalla de la ROM BIOS
06h	6	Reservada para DOS
07h	7	Reservada para DOS
08h	8	Generada por el tic-tac del reloj del hardware
09h	9	Generada por acción del teclado
0Ah a 0Dh	10 a 13	Reservadas para BIOS
0Eh	14	Señala atención al diskette (por ejemplo, para señalar operación completada)
0Fh	15	Utilizada para controlar la impresora
10h	16	Invoca servicios de video de la ROM BIOS
11h	17	Invoca el servicio de lista de equipamiento de ROM BIOS
12h	18	Invoca servicio de tamaño de memoria de la ROM BIOS
13h	19	Invoca servicios de disco de la ROM BIOS
14h	20	Invoca servicios de comunicaciones de la ROM BIOS
15h	21	Invoca servicios del sistema de la ROM BIOS
16h	22	Invoca los servicios estándar del teclado de la ROM BIOS
17h	23	Invoca los servicios de la impresora de la ROM BIOS
18h	24	Activa el lenguaje BASIC de la ROM
19h	25	Invoca la rutina cargadora de la secuencia de arranque de la ROM BIOS (invocarla equivale a hacer un RESET)
1Ah	26	Invoca los servicios de hora y fecha de la ROM BIOS
1Bh	27	Interrupción de la ROM BIOS para Ctrl-Break
1Ch	28	Interrupción generada con cada pulso de reloj
1Dh	29	Apunta a la tabla de parámetros de control del video
1Eh	30	Apunta a la tabla de parámetros de la unidad de disco
1Fh	31	Apunta a los caracteres gráficos del CGA
20h	32	Invoca al servicio de terminación de programa del DOS
21h	33	Invoca a todos los servicios de llamada a función DOS
22h	34	Dirección de la rutina de terminación del programa del DOS

Interrupciones del MSX88

41

- Como ya se mencionó anteriormente, el procesador usado en el simulador MSX88 es una versión simplificada del 8086, por lo que presenta algunas diferencias respecto de la CPU verdadera.
- Interrupciones por hardware
 - Línea INT (interrupción enmascarable) y línea de reconocimiento de interrupción INTA
 - Línea NMI (interrupción no-enmascarable)
- Interrupciones por software
 - Instrucción: INT xx
 - Retorno de interrupción: IRET

Interrupciones del MSX88

42

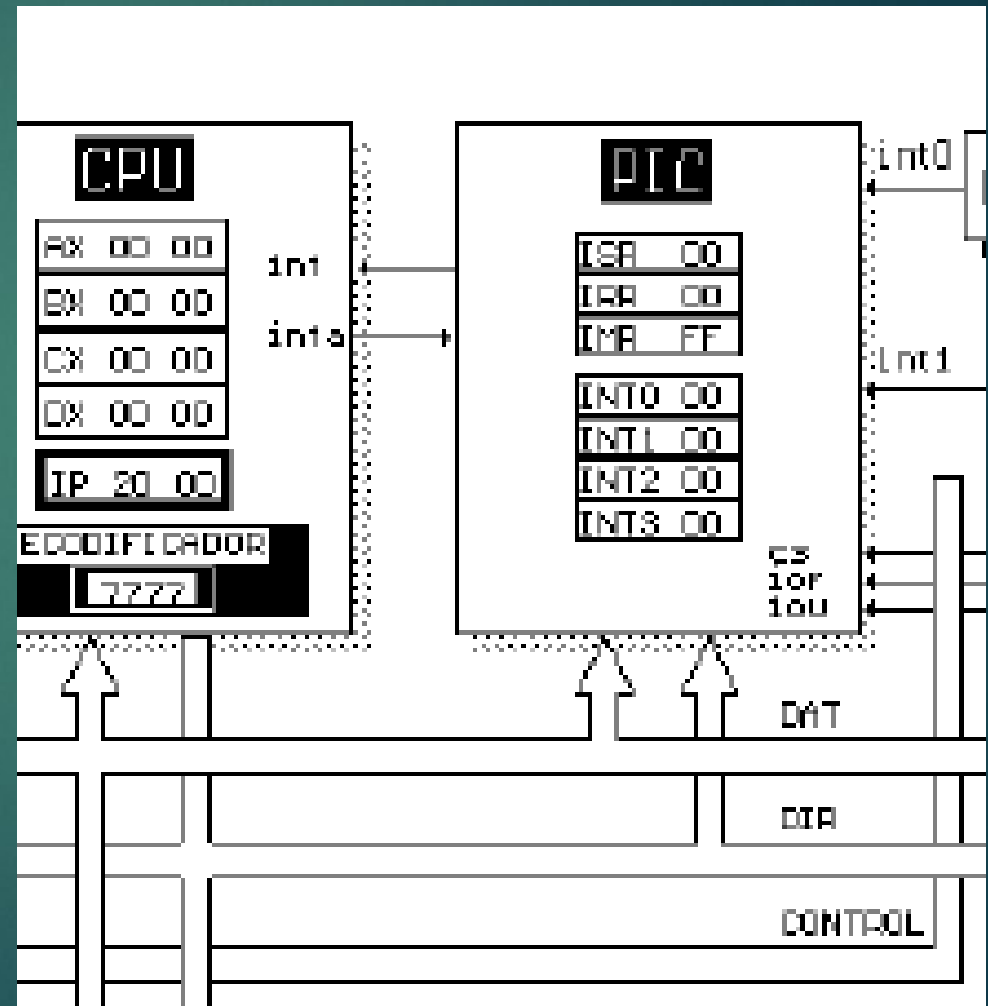
- Los vectores de las interrupciones están en la parte más baja de la memoria.
- Cada entrada (o vector) es una palabra doble (4 bytes), que contiene la dirección del procedimiento que brinda el servicio. La parte alta del vector es 0.
 - Ej: 0000yyyy, donde yyyy es la dirección lógica/física.
- El MSX88 tiene preasignados los siguientes vectores:
 - Tipo 0 – finaliza ejecución de programa
 - Tipo 3 – punto de parada para depuración/seguimiento
 - Tipo 6 – lectura de entrada std. Requiere el uso de BX.
 - Tipo 7 – escritura de salida std. Requiere BX y AL.

Interrupciones del MSX88

La imagen siguiente muestra un **esquema interno del PIC**.

Registros internos PIC

- **INT0...INT7**
 - Vector de cada int.
- **IRR**: petición de int
 - Indica con bit en 1
- **ISR**: int en servicio
 - Indica con bit en 1
- **IMR**: máscara de int
 - enmascara con 1



Interrupciones del MSX88

44

- Los registros internos del PIC se sitúan a partir de la dirección 20H (del espacio de direcciones de E/S).
- Son accedidos con operaciones lectura y escritura en el espacio de E/S, es decir, mediante las instrucciones IN y OUT.

20H	EOI
21H	IMR
22H	IRR
23H	ISR
24H	INT0
...	...
2BH	INT7

Interrupciones del MSX88

Las Interrupciones de hardware preasignadas en el MSX88 son:

- **INT0** – tecla F10 - Produce una interrupción cada vez que se presiona F10
- **INT1** – Timer - Conectada a la salida del Timer
- **INT2** – Handshake - Conectada a una salida para Handshake
- **INT3** – DMA - Conectada a la salida del puerto a Impresora
- **INT4 a INT7** no usadas

Referencias

- William Stallings, Capítulo 3.
- MSX88, Manual de usuario.
- Lecturas recomendadas
 - “Interrupciones en la arquitectura INTEL IA32”, Blázquez, J.M. 2004.