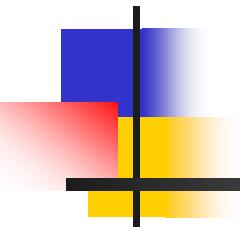
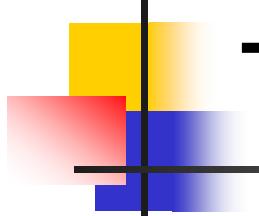


Organización de Computadoras

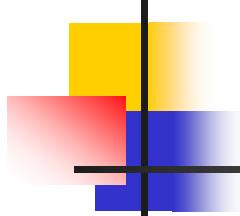


Clase 9



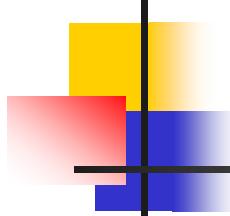
Temas de Clase

- Subsistema de Memoria
- Organización de Memoria Principal



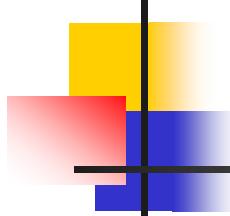
Memoria

- **Velocidad del procesador:** se duplica cada 18 meses (sin variar su precio) la cantidad de instrucciones ejecutadas por segundo.
- **Memoria:** se cuadriplica su tamaño cada 36 meses (al mismo precio). Velocidad aumenta a razón de un 10% anual.



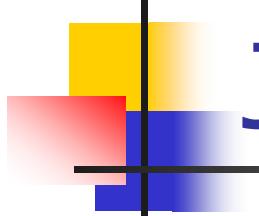
Memoria (2)

➤ A medida que aumenta la brecha entre las velocidades del procesador y de la memoria, las distintas arquitecturas buscan tender un puente sobre esta brecha. Una computadora típica suele tener distintos tipos de memoria, desde una rápida y cara (registros) hasta una barata y lenta (discos).



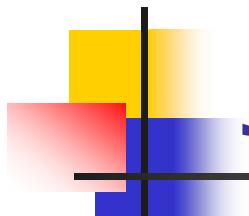
Memoria (3)

➤ La interacción entre los diferentes tipos de memoria se aprovecha de forma tal que se logra un comportamiento, por parte de la computadora, equivalente al que tendría con una memoria única, grande y rápida, cuando en realidad tiene distintos tipos de memoria trabajando en forma coordinada.



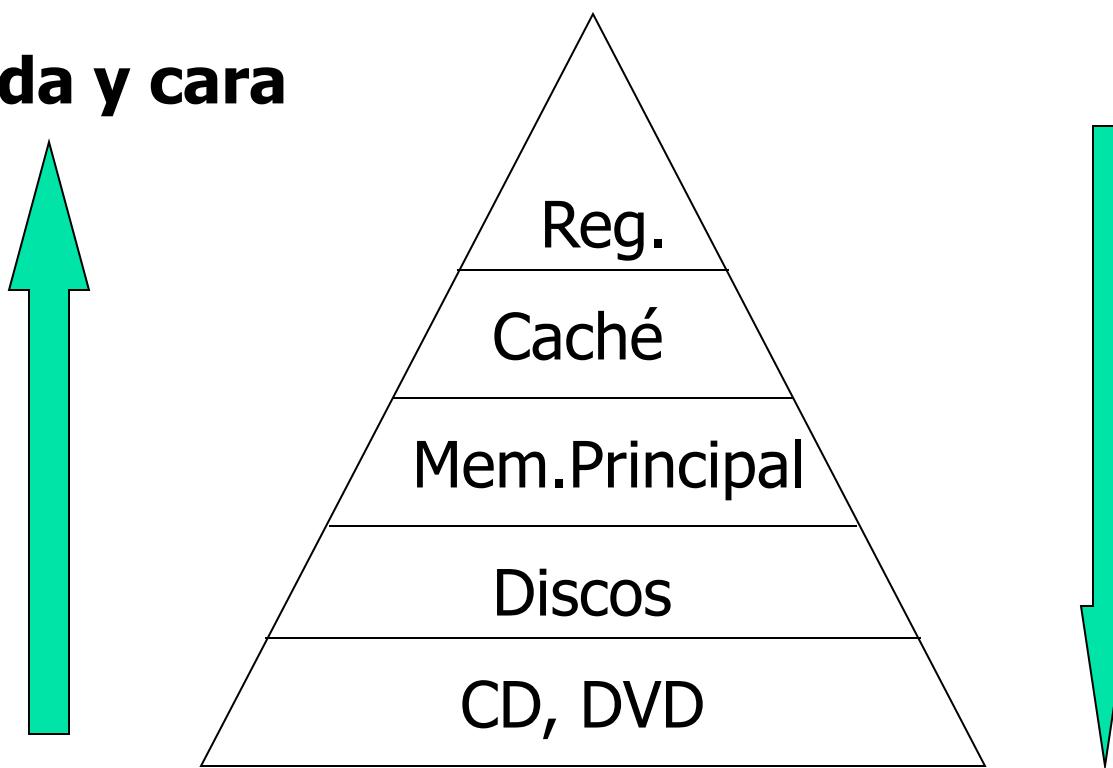
Jerarquía de memorias

- La forma en que se organizan estos distintos tipos de memoria es lo que se conoce como *jerarquía de memoria.*
- En la cima de la jerarquía están los registros. En la base, las memorias secundarias (discos magnéticos) y de almacenamiento “off line” (CD, DVD, cintas).

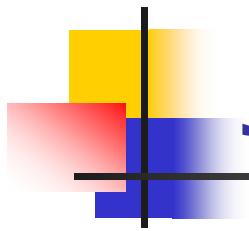


Jerarquía de memorias (2)

Rápida y cara

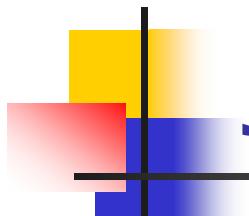


Lenta pero barata



Jerarquía de memorias (3)

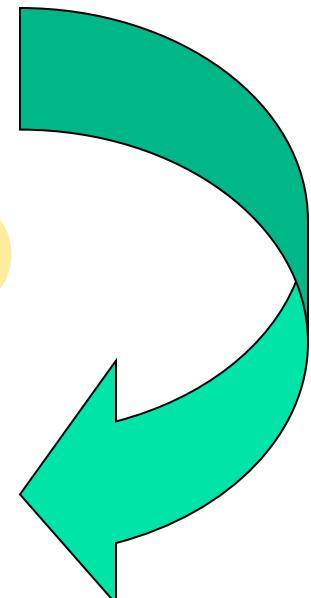
- A medida que ascendemos tenemos mayor rendimiento y más costo por bit. Entre la memoria principal y la secundaria hay otro tipo de memoria para salvar la brecha.
- Cuando ascendemos, también aumenta la frecuencia de accesos a ese tipo de memoria.



Jerarquía de memorias (4)

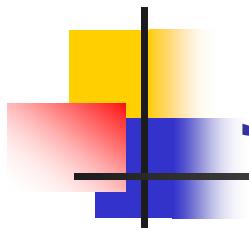
✓ Memoria del computador :

- Tecnologías diferentes
- Fundamentos físicos distintos
- Localización en lugares distintos



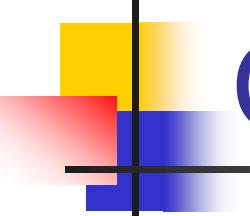
Objetivo :

- Capacidad de almacenamiento
- Tiempo de acceso reducido



Jerarquía de memorias (4)

Tipos de memoria	Tiempo de acceso	Tamaño típico
Registros	1 ns	1 KB
Caché	5-20 ns	1 MB
Mem. Principal	60-80 ns	1 GB
Discos	10 ms	160 GB



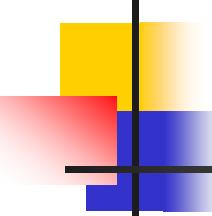
Características

✓ Duración de la información:

- Memorias volátiles: RAM
- Memorias no volátiles: discos, cintas
- Memorias permanentes: ROM, EPROM

✓ Modo de acceso:

- Acceso por palabra: memoria principal
- Acceso por bloque: discos, caché



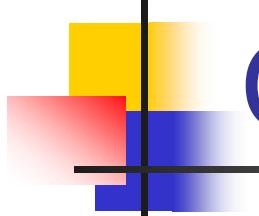
Características (2)

Velocidad

❖ Memorias semiconductoras:

- ❖ **Tiempo de acceso:** tiempo máximo que transcurre desde que se inicia la operación de lec/esc hasta obtener/almacenar el dato.
- ❖ **Tiempo de ciclo:** tiempo mínimo que tiene que haber entre dos operaciones sucesivas sobre la memoria

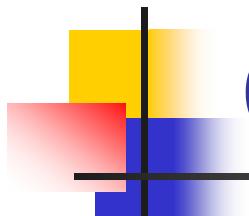
$$t_{\text{ciclo}} > t_{\text{acceso}}$$



Características (3)

❖ Memorias magnéticas:

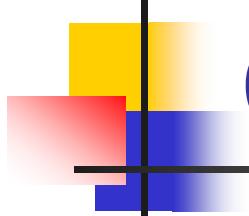
- ❖ **Tiempo de acceso:** tiempo de posicionar el cabezal + tiempo de latencia
(+ tiempo de lectura)
- ❖ **Velocidad de transferencia:** bytes/seg



Características (4)

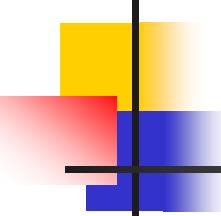
❖ Métodos de acceso

- **Acceso aleatorio:** el tiempo para acceder a una locación dada es independiente de la secuencia de accesos anteriores y es constante. Ejemplo la memoria principal.
- **Acceso secuencial:** el acceso debe hacerse en una secuencia lineal específica. Variable. Ejemplo son las unidades de cinta.



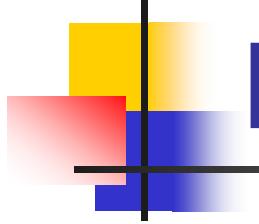
Características (5)

- **Acceso directo:** los bloques ó registros individuales tienen una dirección única que se basa en la localización física. Variable. Ejemplo los discos magnéticos.
- **Acceso asociativo:** memoria caché



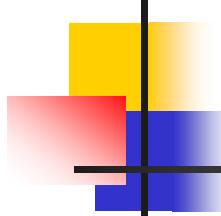
Memoria de acceso aleatorio

- ❖ RAM (Random Access Memory). Aleatorio significa que se puede acceder a cualquier celda de memoria en el mismo tiempo, independientemente de la posición en la estructura de la memoria.
- ❖ Basada en flip flops: memoria estática (SRAM)
- ❖ Basada en transistores: memoria dinámica (DRAM).
 - ❖ Cargas almacenadas en transistores (capacitores)
- ❖ El acceso a las ROM también es de éste tipo



Memoria de acceso aleatorio

- ❖ DRAM almacena más información que SRAM en la misma superficie.
 - ❖ Los 'capacitores' son más chicos que los flip flop
- ❖ DRAM hay que "refrescarla"
 - ❖ Los 'capacitores' se descargan
 - ❖ Usada como memoria principal
- ❖ SRAM más rápida
 - ❖ Usada como memoria caché

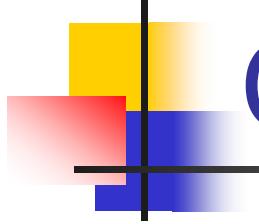


Organización (1)

El elemento básico de una memoria de semiconductor es la celda de memoria.

➤ Todas las celdas de memoria de semiconducto r comparten 3 propiedades:

1. Dos estados estables: para representar al uno (1) y al cero (0).
2. Se puede escribir en ellas, al menos una vez
3. Se pueden leer para conocer el estado.

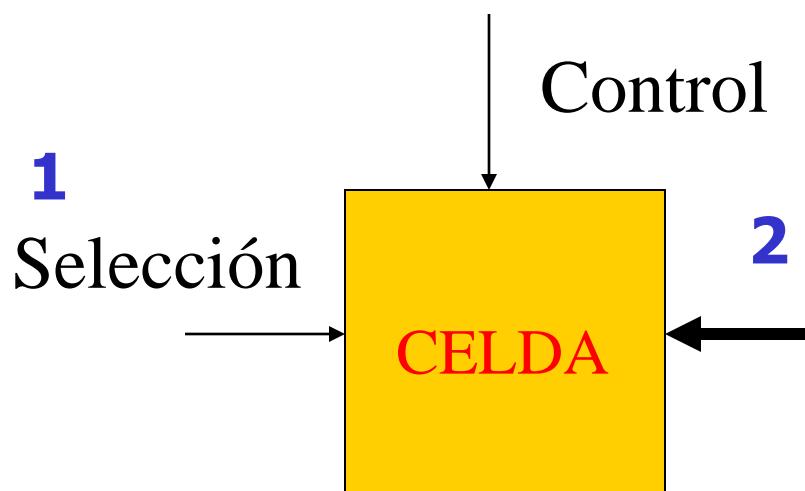


Organización (2)

- En general la celda tiene 3 terminales funcionales capaces de llevar una señal eléctrica:
 - Selección: selecciona una celda de memoria
 - Control: especifica lectura ó escritura
 - Escritura/Lectura de datos

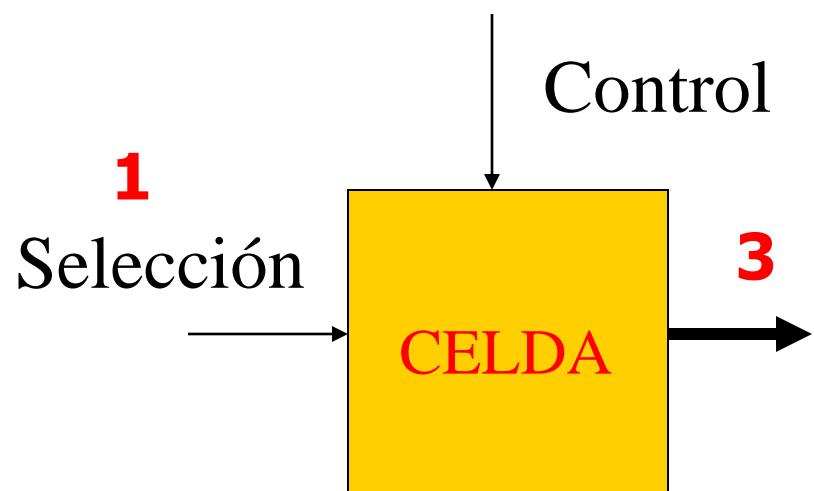
Organización (3)

3- Escribir



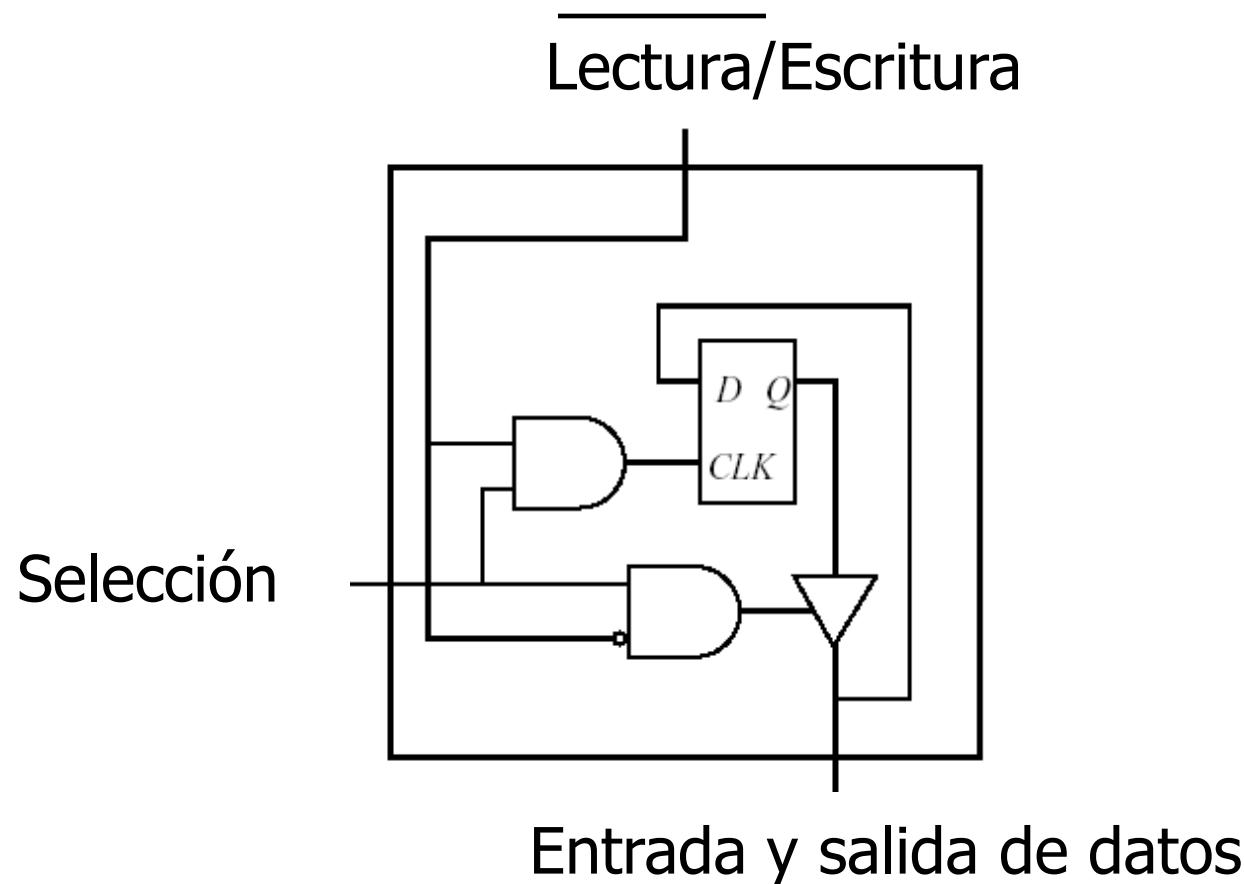
Escritura de Datos

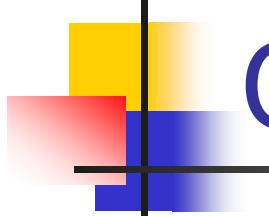
2- Leer



Lectura de Datos

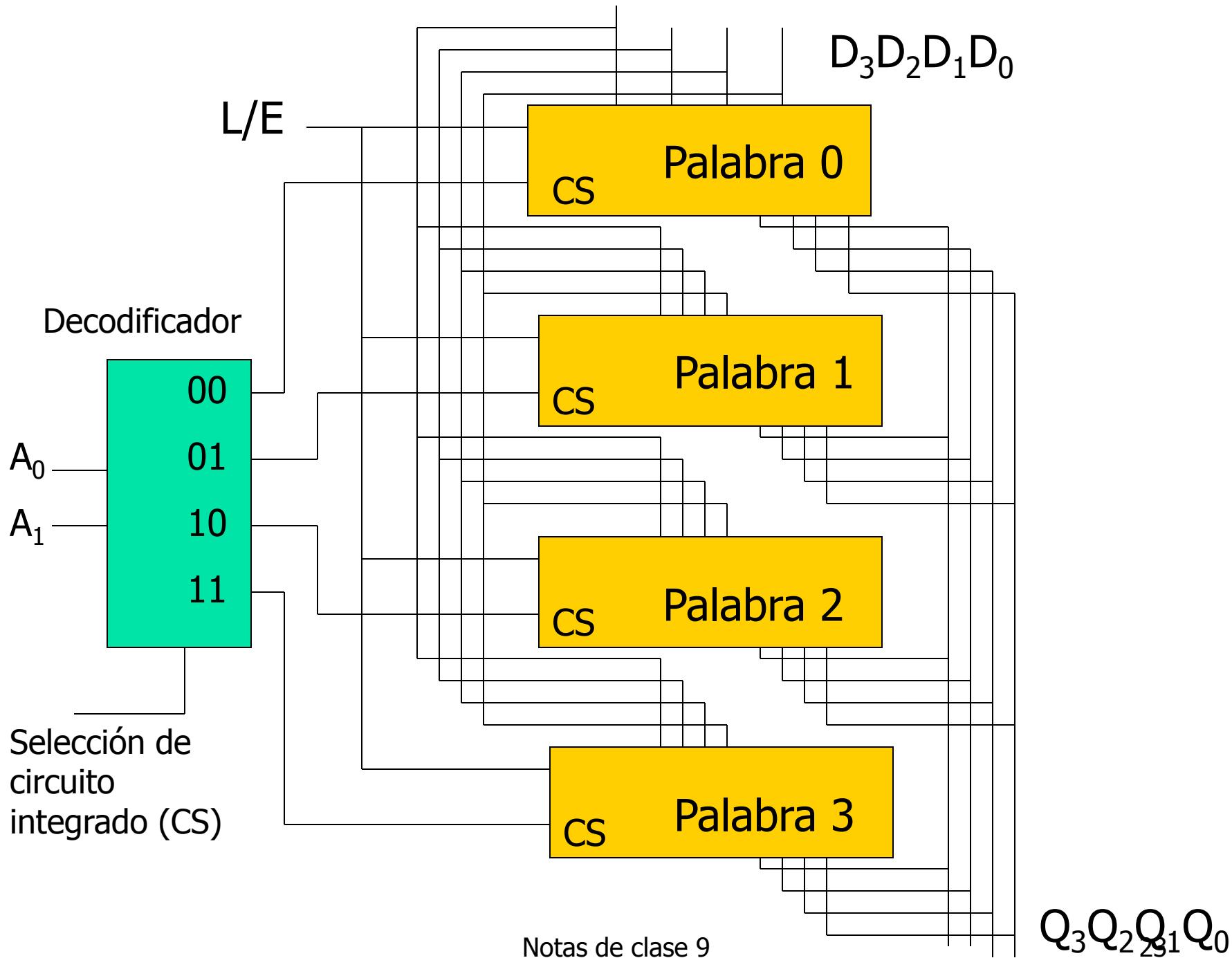
Celda de memoria

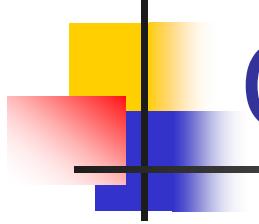




Organización de la memoria

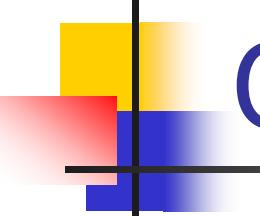
- Una memoria de 1 bit la implementamos con flip-flop y 'armamos' registros sencillos de n bits con flip-flops (notas de clase3).
- Para construir memorias 'más grandes' se requiere una organización diferente, en la cual sea posible 'direccional' palabras individuales.





Organización del chip

- Cada chip contiene un arreglo de celdas de memoria.
- En las memorias de semiconductor se han empleado dos enfoques organizacionales: 2D y 2½D.



Organización 2D

- El arreglo está organizado en 2^W palabras de B bits cada una. Cada línea horizontal (una de 2^W) se conecta a cada posición de memoria, seleccionando un renglón.
- Las líneas verticales conectan cada bit a la salida.
- El decodificador que está en el chip, tiene 2^W salidas para W entradas (bits del bus de direcciones).

Organización 2D (2)

Ej.

W líneas de dirección

Chip de memoria

Decodi-
ficador
de
renglón
1 de 2^w

Lectura/Escritura

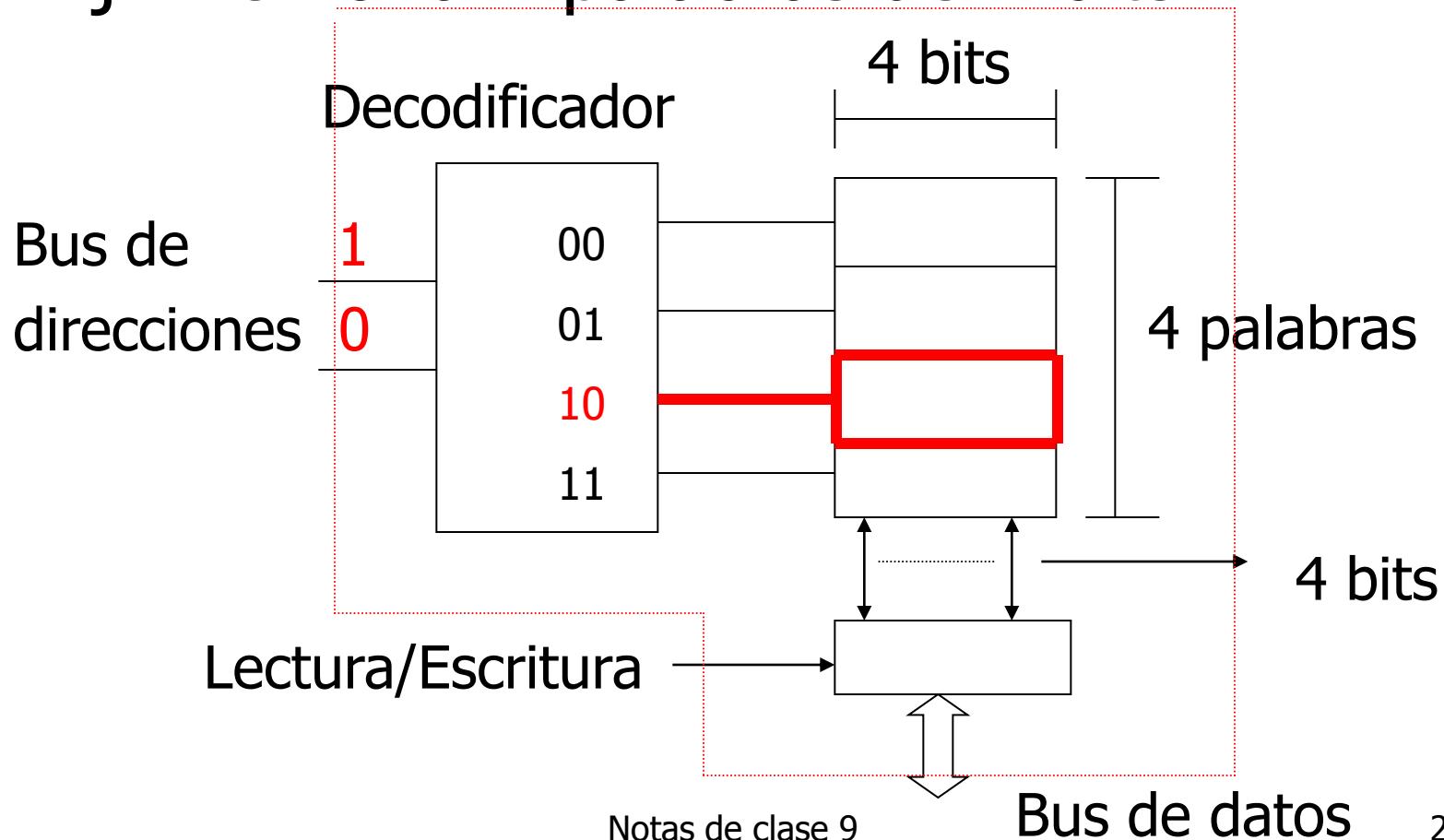
B bits

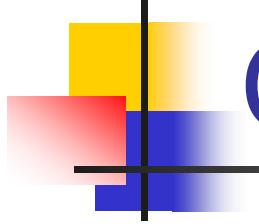
2^W palabras

Bus de datos

Organización 2D (3)

Ej. memoria 4 palabras de 4 bits



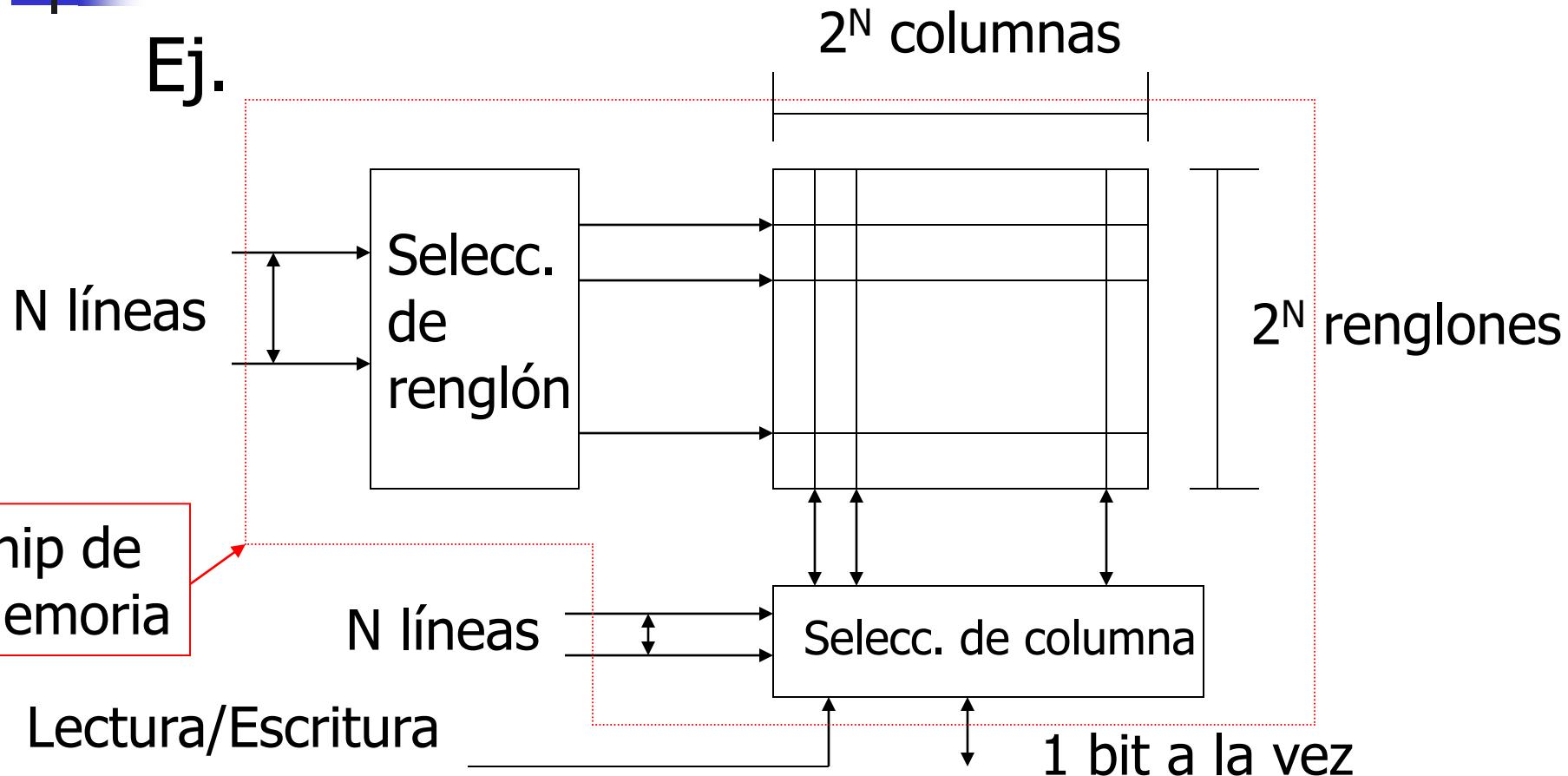


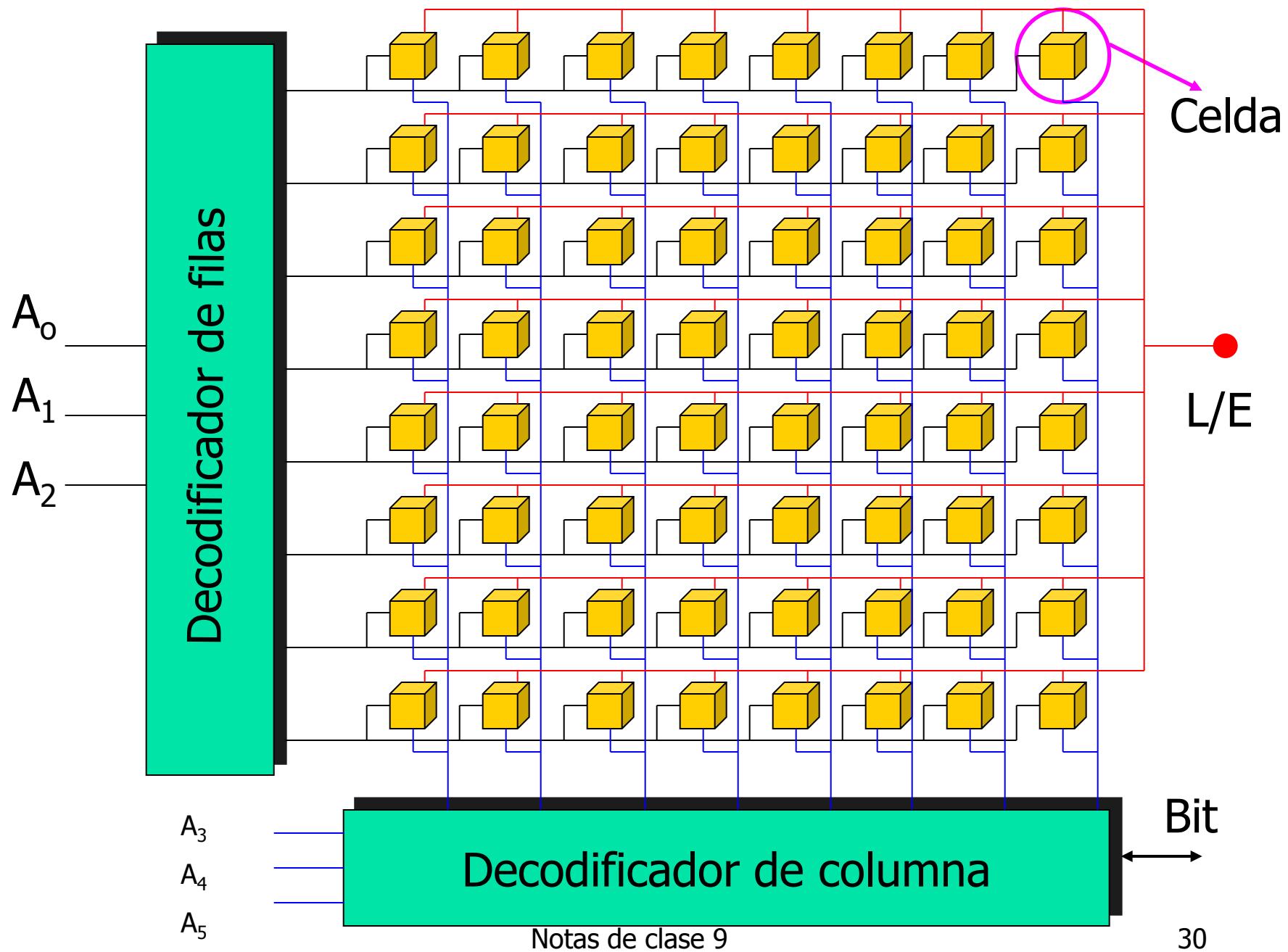
Organización 2½D

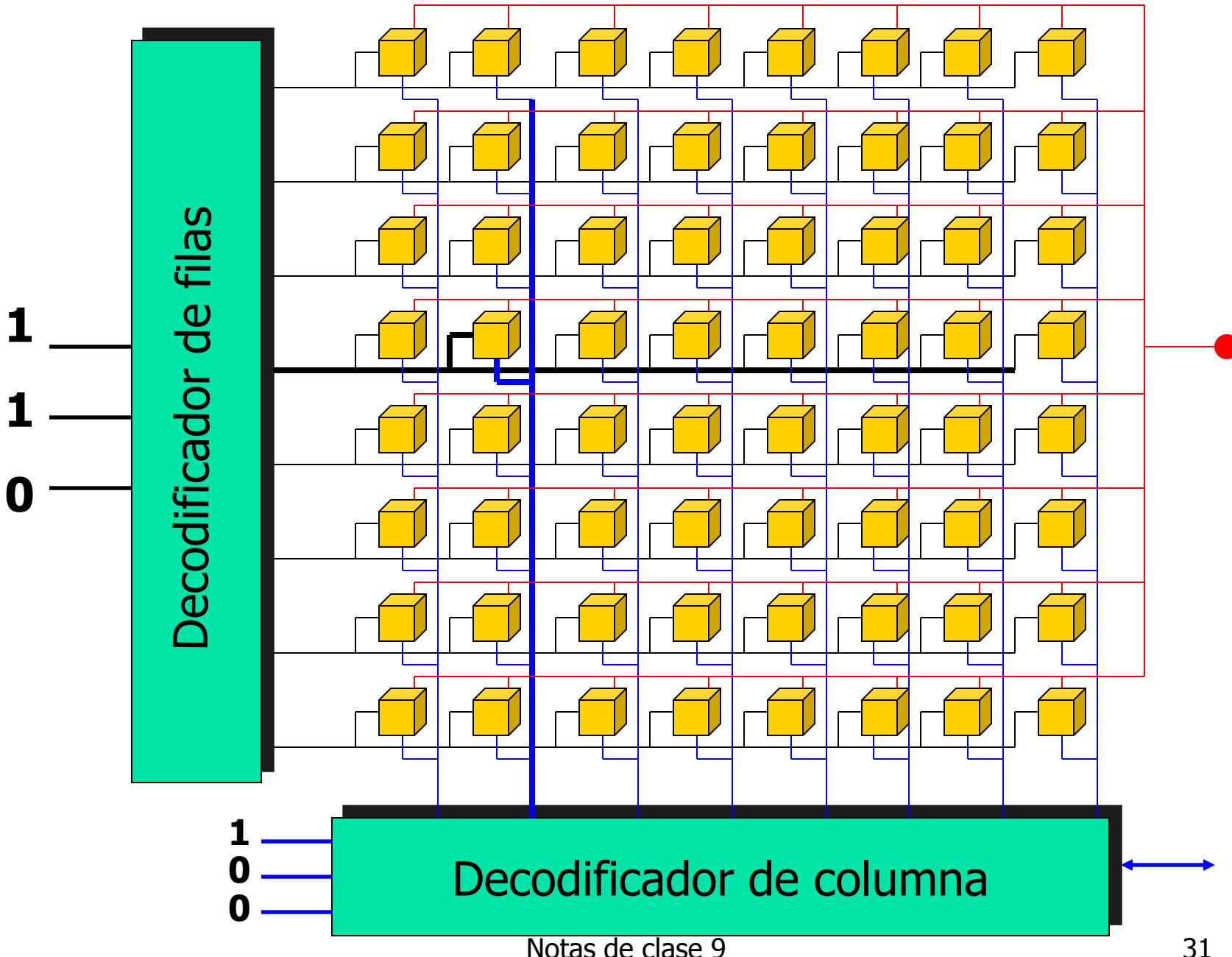
- El arreglo es 'cuadrado' y funciona igual que 2D.
- Los bits de una misma palabra están dispersos en distintos chips.
- La dirección se divide en dos partes: una selección de renglón y una selección de columna. Hay 2 decodificadores.

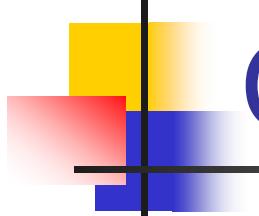
Organización 2½D (2)

Ej.



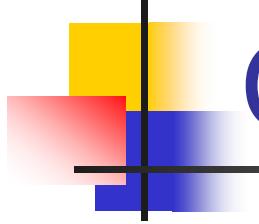






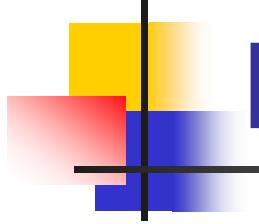
Comparación

- En 2D todos los bits están en el mismo chip.
- En 2½D los bits de una misma palabra estarán en distintos chips.
- 2D es muy larga y estrecha, Nº grande de palabras de pocos bits. Cada línea de selección de palabra tiene que tener un manejador y conectarse al decodificador. Ocupan mucha superficie.



Comparación (2)

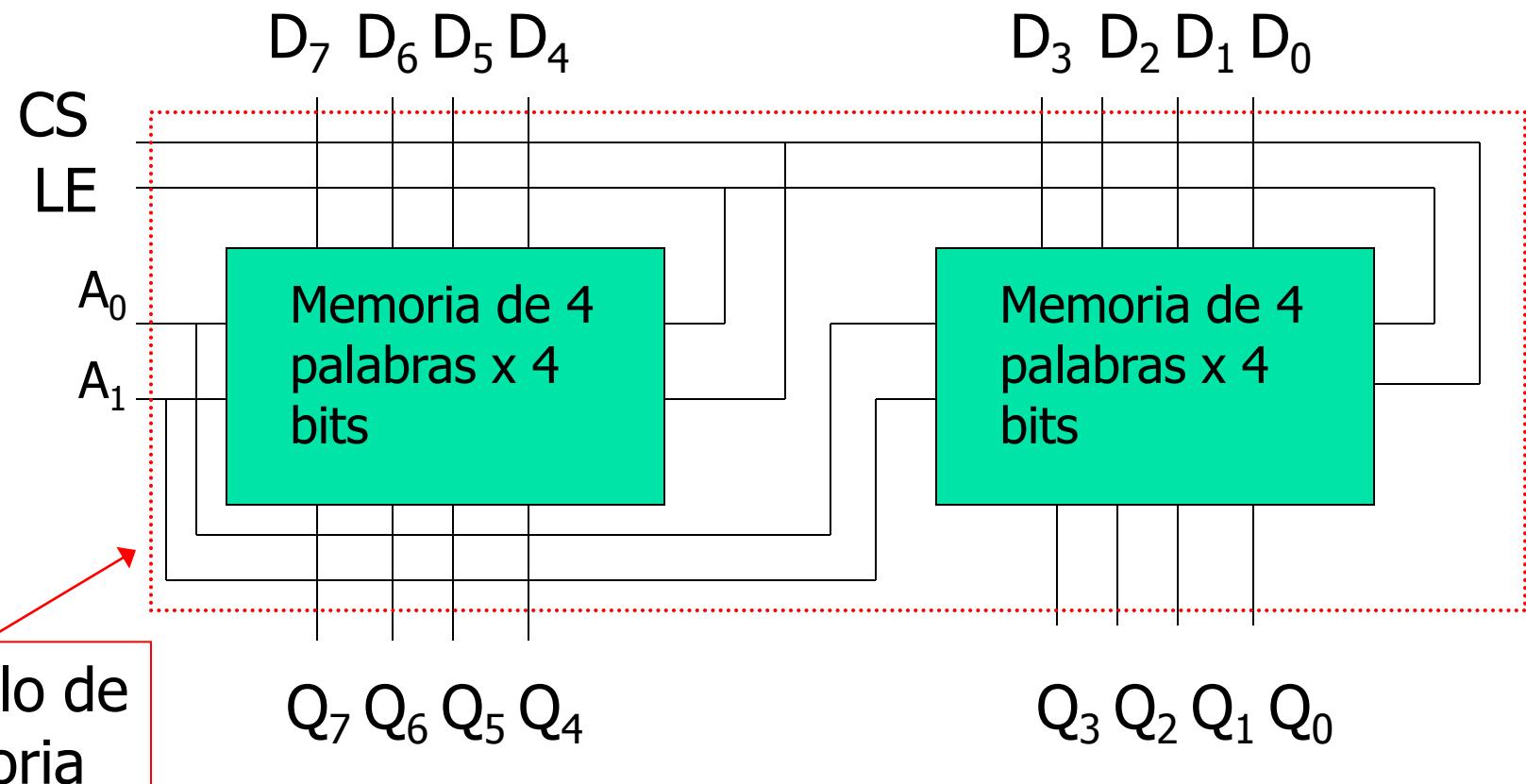
- 2D dificulta el uso eficaz de los circuitos correctores de error. En 2½D al estar los bits dispersos en distintos chips hay menor probabilidad de error.
- En 2½D al usar decodificación separada de filas y columnas, reduce la complejidad de los decodificadores.

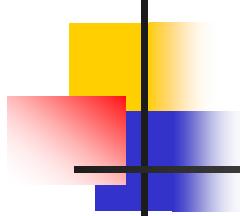


Problema 1

- Cada módulo de memoria cubre el espacio de direccionamiento requerido, pero sólo cubre una parte de la palabra.
- Solución: usar varios módulos 'en paralelo'.
 - Ver figura siguiente.

Memoria: 4 palabras x 8 bits

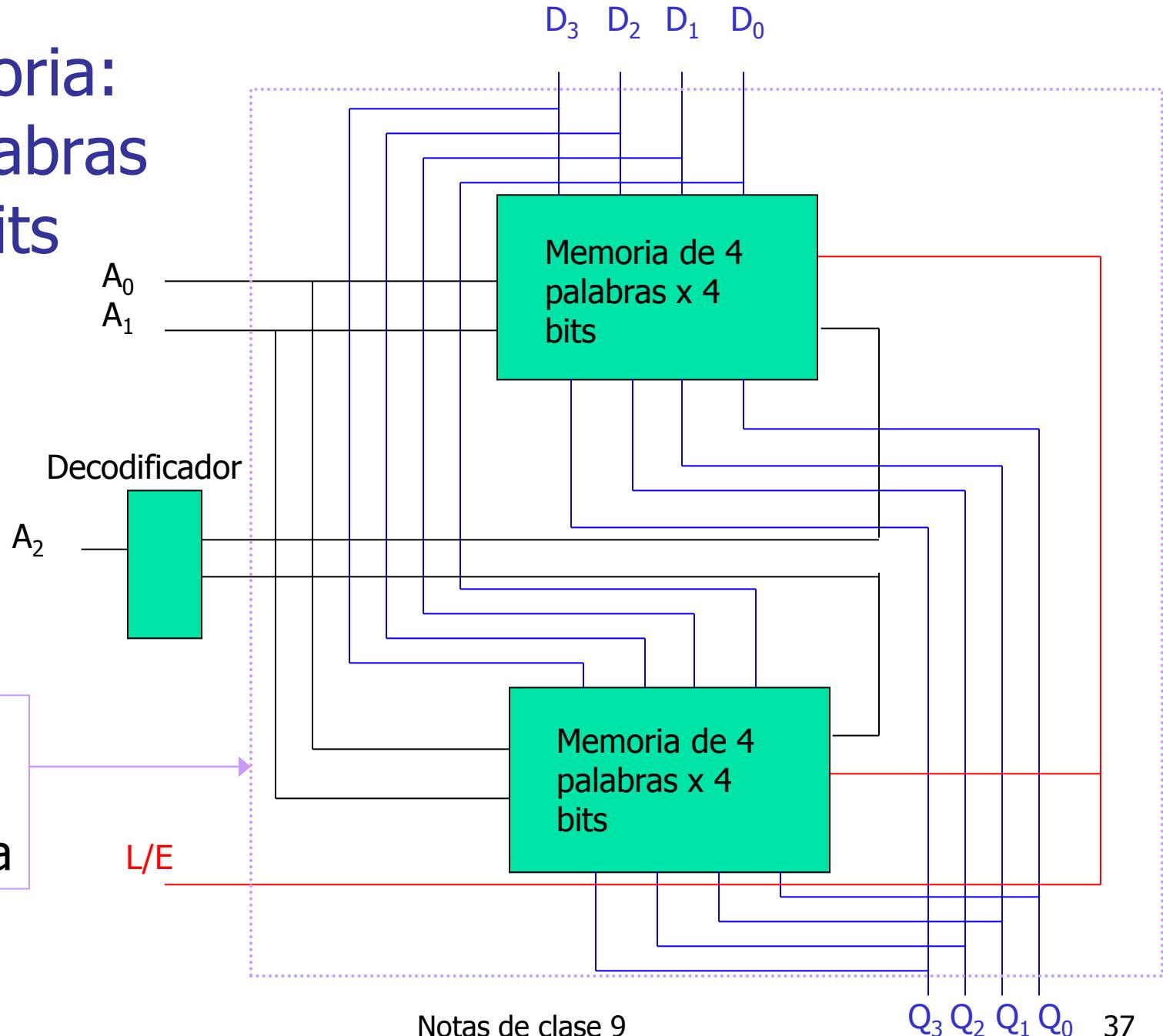


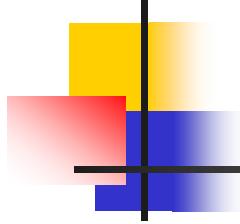


Problema 2

- La longitud de la palabra es la deseada, pero los módulos no tienen la capacidad deseada.
- Solución: cubrir un cierto rango de direcciones con módulos de memoria 'en serie'.
 - Cada módulo 'estará' en direcciones distintas.
 - Ver figura siguiente.

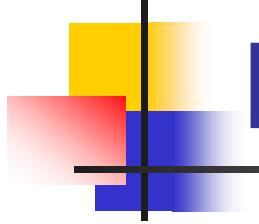
Memoria: 8 palabras x 4 bits





Nuevas tecnologías RAM

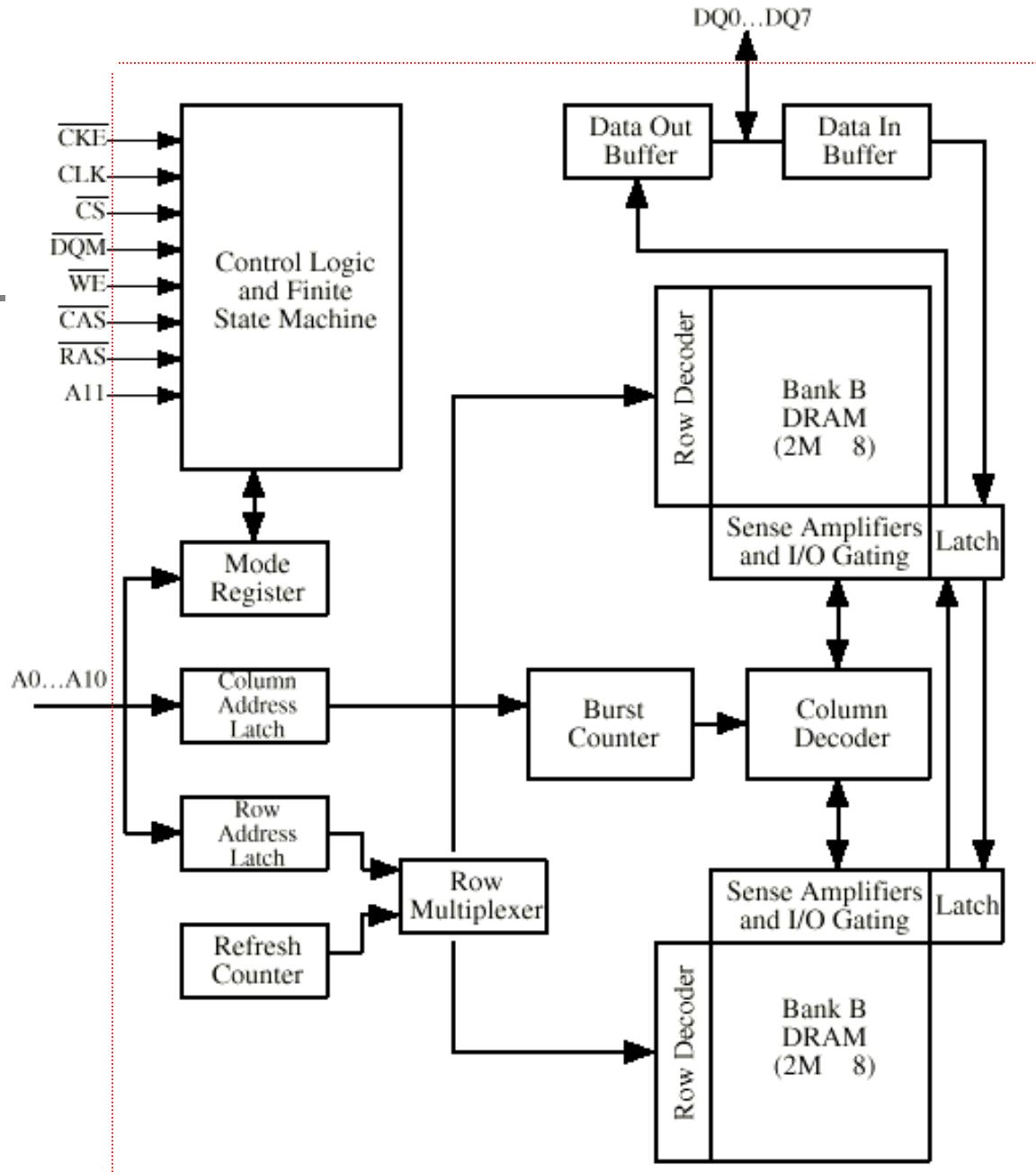
- La DRAM básica es la misma desde los primeros chips de RAM
- Enhanced DRAM
 - Contiene pequeña SRAM
 - La SRAM guarda la última línea leída (como una Cache!)
- Cache DRAM
 - Contiene una SRAM mas grande
 - Se usa la SRAM como cache o como buffer serial

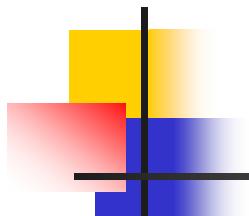


Nuevas tecnologías RAM (2)

- **Synchronous DRAM (SDRAM)**
 - Actualmente en DIMMs
 - Acceso sincronizado con un reloj externo
 - Se presenta una dirección a la RAM
 - RAM encuentra los datos (y CPU esperaría la DRAM)
 - SDRAM mueve datos en tiempo del reloj del sistema, la CPU conoce cuando los datos estarán listos
 - CPU puede hacer otra cosa mientras tiene que esperar
 - Modo Burst permite SDRAM trabajar en bloques

SDRAM





mas información ...

- Capítulo 4: Memoria Interna
 - Stallings, W.. 5º Ed.
- Links de interés
 - <http://www.pctechguide.com/14Memory.htm>