

## **Trabajo Práctico N° 3:** **Lógica y Puertas.**

### **FUNCIONES LÓGICAS ELEMENTALES. PUERTAS LÓGICAS**

#### **Ejercicio 1.**

*Realizar las siguientes operaciones lógicas:*

<b>Inciso</b>	<b>Operación</b>	<b>Cadena 1</b>	<b>Cadena 2</b>	<b>Resultado</b>
(a)	AND	10011001	10101110	10001000
(b)	AND	01011000	11110011	01010000
(c)	OR	10011001	10101110	10111111
(d)	OR	01011000	11110011	11111011
(e)	XOR	10011001	10101110	00110111
(f)	XOR	01011000	11110011	10101011
(g)	NOT	010111000	---	101000111
(h)	NOT	111010100	---	000101011
(i)	NAND	10011001	10101110	01110111
(j)	NAND	01011000	11110011	10101111
(k)	NOR	10111001	11101110	00000000
(l)	NOR	01011010	11010011	00100100
(m)	XNOR	10111001	11101110	10101000
(n)	XNOR	01011010	01011010	11111111

**Ejercicio 2.**

Dado un byte  $X = [X_7, X_6, X_5, X_4, X_3, X_2, X_1, X_0]$  (los  $X$  representan bits con valores indeterminados), ¿qué resultado se obtendrá al aplicarle una operación lógica junto a un valor predeterminado (máscara)? Analizar, para cada operación, cómo los bits de la “máscara” condicionan el resultado que se obtendrá. ¿Puede reconocer un patrón para cada máscara? En los casos de más de una operación, obtener el resultado y a ese resultado aplicarle la operación siguiente.

(a)  $X \text{ OR } 00011000$ .

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{OR} \quad 0 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \\
 \hline
 X_7 X_6 X_5 \ 1 \ 1 \ X_2 X_1 X_0
 \end{array}$$

(b)  $X \text{ OR } 11001100$ .

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{OR} \quad 1 \ 1 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \\
 \hline
 1 \ 1 \ X_5 X_4 \ 1 \ 1 \ X_1 X_0
 \end{array}$$

(c)  $X \text{ AND } 01010101$ .

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{AND} \ 0 \ 1 \ 0 \ 1 \ 0 \ 1 \ 0 \ 1 \\
 \hline
 0 \ X_6 0 \ X_4 0 \ X_2 0 \ X_0
 \end{array}$$

(d)  $X \text{ AND } 01001100$ .

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{AND} \ 0 \ 1 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \\
 \hline
 0 \ X_6 0 \ 0 \ X_3 X_2 0 \ 0
 \end{array}$$

(e)  $X \text{ XOR } 01010101$ .

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{XOR} \ 0 \ 1 \ 0 \ 1 \ 0 \ 1 \ 0 \ 1
 \end{array}$$

$$X_7 \bar{X}_6 X_5 \bar{X}_4 X_3 \bar{X}_2 X_1 \bar{X}_0$$

(f)  $XXOR\ 11001100$ .

$$\begin{array}{r} X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\ XOR\ 1\ 1\ 0\ 0\ 1\ 1\ 0\ 0 \end{array}$$

$$\bar{X}_7 \bar{X}_6 X_5 X_4 \bar{X}_3 \bar{X}_2 X_1 X_0$$

(g)  $X\ OR\ 10000001\ AND\ 00111001\ XOR\ 11001111$ .

$$\begin{array}{r} X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\ OR\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 1 \end{array}$$

$$\begin{array}{r} 1\ X_6 X_5 X_4 X_3 X_2 X_1\ 1 \\ AND\ 0\ 0\ 1\ 1\ 1\ 0\ 0\ 1 \end{array}$$

$$\begin{array}{r} 0\ 0\ X_5 X_4 X_3\ 0\ 0\ 1 \\ XOR\ 1\ 1\ 0\ 0\ 1\ 1\ 1\ 1 \end{array}$$

$$1\ 1\ X_5 X_4 \bar{X}_3\ 1\ 1\ 0$$

(h)  $X\ AND\ 10001110\ OR\ 11001100\ XOR\ 01010011$ .

$$\begin{array}{r} X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\ AND\ 1\ 0\ 0\ 0\ 1\ 1\ 1\ 0 \end{array}$$

$$\begin{array}{r} X_7\ 0\ 0\ 0\ X_3 X_2 X_1\ 0 \\ OR\ 1\ 1\ 0\ 0\ 1\ 1\ 0\ 0 \end{array}$$

$$\begin{array}{r} 1\ 1\ 0\ 0\ 1\ 1\ X_1\ 0 \\ XOR\ 0\ 1\ 0\ 1\ 0\ 0\ 1\ 1 \end{array}$$

$$1\ 0\ 0\ 1\ 1\ 1\ \bar{X}_1\ 1$$

(i)  $XXOR\ 10010010\ AND\ 11100110\ OR\ 00110111$ .

$$\begin{array}{r}
 X_7X_6X_5X_4X_3X_2X_1X_0 \\
 XOR\ 1\ 0\ 0\ 1\ 0\ 0\ 1\ 0 \\
 \hline
 \bar{X}_7X_6X_5\bar{X}_4X_3X_2\bar{X}_1X_0 \\
 AND\ 1\ 1\ 1\ 0\ 0\ 1\ 1\ 0 \\
 \hline
 \bar{X}_7X_6X_50\ 0\ X_2\bar{X}_10 \\
 OR\ 0\ 0\ 1\ 1\ 0\ 1\ 1\ 1 \\
 \hline
 \bar{X}_7X_61\ 1\ 0\ 1\ 1\ 1
 \end{array}$$

(j)  $XXNOR\ 10011001\ NAND\ 11001100\ NOR\ 00011000$ .

$$\begin{array}{r}
 X_7X_6X_5X_4X_3X_2X_1X_0 \\
 XNOR\ 1\ 0\ 0\ 1\ 1\ 0\ 0\ 1 \\
 \hline
 X_7\bar{X}_6\bar{X}_5X_4X_3\bar{X}_2\bar{X}_1X_0 \\
 NAND\ 1\ 1\ 0\ 0\ 1\ 1\ 0\ 0 \\
 \hline
 \bar{X}_7X_61\ 1\ \bar{X}_3X_21\ 1 \\
 NOR\ 0\ 0\ 0\ 1\ 1\ 0\ 0\ 0 \\
 \hline
 X_7\bar{X}_60\ 0\ 0\ \bar{X}_20\ 0
 \end{array}$$

(k)  $XXOR\ 10100101\ NAND\ 11100111\ NOR\ 01010110$ .

$$\begin{array}{r}
 X_7X_6X_5X_4X_3X_2X_1X_0 \\
 XOR\ 1\ 0\ 1\ 0\ 0\ 1\ 0\ 1 \\
 \hline
 \bar{X}_7X_6\bar{X}_5X_4X_3\bar{X}_2X_1\bar{X}_0 \\
 NAND\ 1\ 1\ 1\ 0\ 0\ 1\ 1\ 1 \\
 \hline
 X_7\bar{X}_6X_51\ 1\ X_2\bar{X}_1X_0 \\
 NOR\ 0\ 1\ 0\ 1\ 0\ 1\ 1\ 1 \\
 \hline
 \bar{X}_70\ \bar{X}_50\ 0\ 0\ 0\ 0
 \end{array}$$

**Ejercicio 3.**

Completar las siguientes líneas punteadas con el operador lógico adecuado (sean AND, OR, XOR, NOT) en las siguientes expresiones de modo tal que se cumpla la igualdad propuesta. Se entiende que cada  $X$  es un bit desconocido que puede ser 1 o 0, debiendo obtenerse el resultado final al combinar diferentes operaciones lógicas, siguiendo el orden correcto.

**(a)**

$$1000 \text{ OR } 1101 = 1101.$$

**(b)**

$$1111 \text{ AND } 0101 = 0101.$$

**(c)**

$$1101 \text{ XOR } 1001 = 0100.$$

**(d)**

$$\text{NOT}(1111 \text{ XOR } 0011) = 1100.$$

$$\text{NOT } 0011 = 1100.$$

**(e)**

$$X_3X_2X_1X_0 \text{ AND } 1110 \text{ OR } 0101 \text{ XOR } 0101 = X_30X_10.$$

$$X_3X_2X_10 \text{ OR } 0101 \text{ XOR } 0101 = X_30X_10.$$

$$X_31X_11 \text{ XOR } 0101 = X_30X_10.$$

**(f)**

$$X_3X_2X_1X_0 \text{ OR } 1000 \text{ AND } 1011 \text{ OR } 1110 = 01\bar{X}_1X_0.$$

$$1X_2X_1X_0 \text{ AND } 1011 \text{ OR } 1110 = 01\bar{X}_1X_0.$$

$$10X_1X_0 \text{ XOR } 1110 = 01\bar{X}_1X_0.$$

**(g)**

**NOT**  $(X_3X_2X_1X_0 \text{ AND } 1001) = \bar{X}_311\bar{X}_0$ .

**NOT**  $X_300X_0 = \bar{X}_311\bar{X}_0$ .

**Ejercicio 4.**

Dado un byte  $X = [X_7, X_6, X_5, X_4, X_3, X_2, X_1, X_0]$  (los  $X$  representan bits con valores indeterminados), aplicar operaciones lógicas (1 o más) con un byte MASK, que se deberá también determinar, para lograr los efectos:

(a) Poner en 1 los bits 1, 3 y 5 dejando los demás bits iguales.

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{OR} \quad 0 \ 0 \ 1 \ 0 \ 1 \ 0 \ 1 \ 0 \\
 \hline
 X_7 X_6 1 \ X_4 1 \ X_2 1 \ X_0
 \end{array}$$

(b) Poner en 1 los bits 4 y 6 dejando los demás iguales.

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{OR} \quad 0 \ 1 \ 0 \ 1 \ 0 \ 0 \ 0 \ 0 \\
 \hline
 X_7 1 \ X_5 1 \ X_3 X_2 X_1 X_0
 \end{array}$$

(c) Poner en 0 los bits 1, 3 y 5 dejando los demás iguales.

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{AND} \quad 1 \ 1 \ 0 \ 1 \ 0 \ 1 \ 0 \ 1 \\
 \hline
 X_7 X_6 0 \ X_4 0 \ X_2 0 \ X_0
 \end{array}$$

(d) Poner en 0 los bits 4 y 6 dejando los demás iguales.

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{AND} \quad 1 \ 0 \ 1 \ 0 \ 1 \ 1 \ 1 \ 1 \\
 \hline
 X_7 0 \ X_5 0 \ X_3 X_2 X_1 X_0
 \end{array}$$

(e) Cambiar los bits 1, 3 y 5 a su complemento dejando los demás iguales.

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{XOR} \quad 0 \ 0 \ 1 \ 0 \ 1 \ 0 \ 1 \ 0 \\
 \hline
 X_7 X_6 \bar{X}_5 X_4 \bar{X}_3 X_2 \bar{X}_1 X_0
 \end{array}$$

**(f)** Cambiar los bits 4 y 6 a su complemento dejando los demás iguales.

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{XOR } 0 \ 1 \ 0 \ 1 \ 0 \ 0 \ 0 \ 0 \\
 \hline
 X_7 \bar{X}_6 X_5 \bar{X}_4 X_3 X_2 X_1 X_0
 \end{array}$$

**(g)** Poner en 1 los bits 1 y 5, poner en 0 los bits 7 y 0, cambiar el bit 6 por su complemento y dejar los demás iguales.

$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{OR } 0 \ 0 \ 1 \ 0 \ 0 \ 0 \ 1 \ 0 \\
 \hline
 X_7 X_6 1 \ X_4 X_3 X_2 1 \ X_0 \\
 \text{AND } 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \\
 \hline
 0 \ X_6 1 \ X_4 X_3 X_2 1 \ 0 \\
 \text{XOR } 0 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \\
 \hline
 0 \ \bar{X}_6 1 \ X_4 X_3 X_2 1 \ 0
 \end{array}$$

**(h)** Poner en 0 los bits 1, 5 y 6, cambiar el bit 4 por su complemento y dejar los demás iguales.

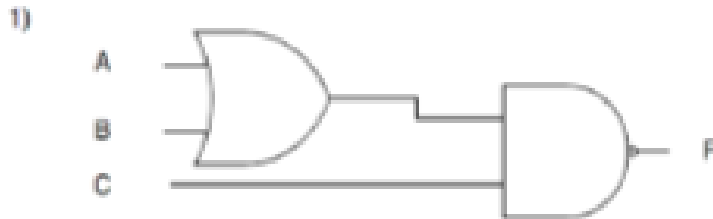
$$\begin{array}{r}
 X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 \\
 \text{AND } 1 \ 0 \ 0 \ 1 \ 1 \ 1 \ 0 \ 1 \\
 \hline
 X_7 0 \ 0 \ X_4 X_3 X_2 0 \ X_0 \\
 \text{XOR } 0 \ 0 \ 0 \ 1 \ 0 \ 0 \ 0 \ 0 \\
 \hline
 X_7 0 \ 0 \ \bar{X}_4 X_3 X_2 0 \ X_0
 \end{array}$$



**Ejercicio 5.**

Construir la tabla de verdad de los siguientes circuitos. Especificar, además, la ecuación que describe la relación entre entradas-salidas:

(a)

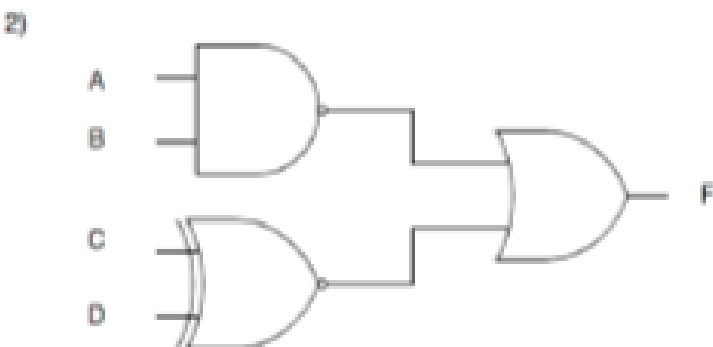


A	B	C	A OR B	F = (A OR B) AND C
0	0	0	0	0
0	0	1	0	0
0	1	0	1	0
0	1	1	1	1
1	0	0	1	0
1	0	1	1	1
1	1	0	1	0
1	1	1	1	1

$$F = \bar{A}BC + A\bar{B}C + ABC.$$

$$F = (A + B + C)(A + B + \bar{C})(A + \bar{B} + C)(\bar{A} + B + C)(\bar{A} + \bar{B} + C).$$

(b)



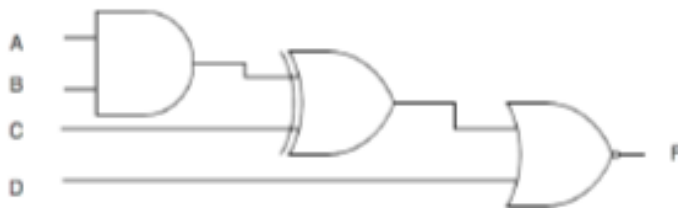
A	B	C	D	A AND B	C XOR D	F= (A AND B) OR (C XOR D)
0	0	0	0	0	0	0
0	0	0	1	0	1	1
0	0	1	0	0	1	1
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	0	1	0	1	1
0	1	1	0	0	1	1
0	1	1	1	0	0	0
1	0	0	0	0	0	0
1	0	0	1	0	1	1
1	0	1	0	0	1	1
1	0	1	1	0	0	0
1	1	0	0	1	0	1
1	1	0	1	1	1	1
1	1	1	0	1	1	1
1	1	1	1	1	0	1

$F = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + AB\bar{C}\bar{D} + ABC\bar{D} + ABC\bar{D} + ABCD.$

$F = (A + B + C + D) (A + B + \bar{C} + \bar{D}) (A + \bar{B} + C + D) (A + \bar{B} + \bar{C} + \bar{D}) (\bar{A} + B + C + D) (\bar{A} + B + \bar{C} + \bar{D}).$

(c)

3)



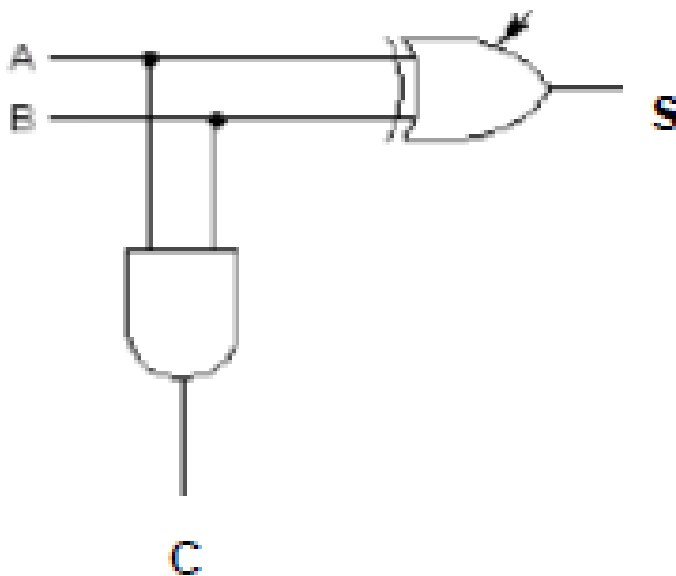
A	B	C	D	A AND B	(A AND B) XOR C	F= [(A AND B) XOR C] OR D
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	1
0	0	1	1	0	1	1
0	1	0	0	0	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	1
0	1	1	1	0	1	1
1	0	0	0	0	0	0
1	0	0	1	0	0	1
1	0	1	0	0	1	1
1	0	1	1	0	1	1
1	1	0	0	1	1	1
1	1	0	1	1	1	1
1	1	1	0	1	0	0
1	1	1	1	1	0	1

$$F = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + \bar{A}BCD + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}CD + AB\bar{C}\bar{D} + AB\bar{C}D + ABCD.$$

$$F = (A + B + C + D)(A + \bar{B} + C + D)(\bar{A} + B + C + D)(\bar{A} + \bar{B} + \bar{C} + D).$$

(d)

4)



A	B	C= A AND B	S= A XOR B
0	0	0	0

0	1	0	1
1	0	0	1
1	1	1	0

$$C = AB.$$

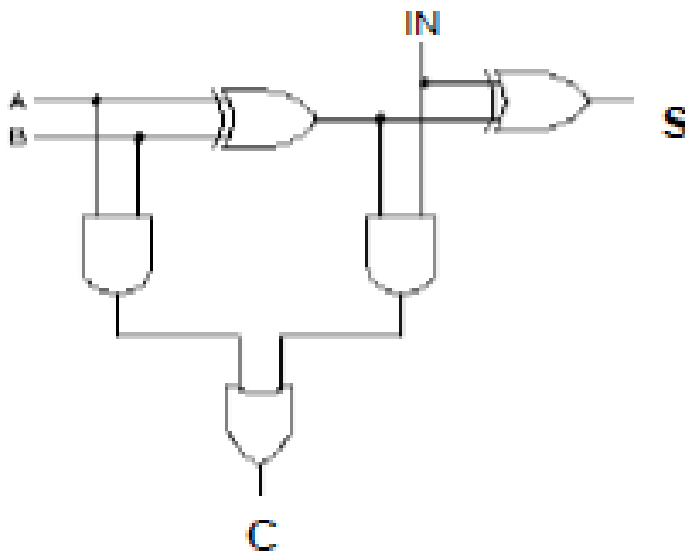
$$C = (A + B) (A + \bar{B}) (\bar{A} + B).$$

$$S = \bar{A}B + A\bar{B}.$$

$$S = (A + B) (\bar{A} + \bar{B}).$$

(e)

5)



A	B	IN	A AND B	A XOR B	(A XOR B) AND IN	C = (A AND B) OR [(A XOR B) AND IN]	S = (A XOR B) XOR IN
0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	1
0	1	0	0	1	0	0	1
0	1	1	0	1	1	1	0
1	0	0	0	1	0	0	1
1	0	1	0	1	1	1	0
1	1	0	1	0	0	1	0
1	1	1	1	0	0	1	1

$$C = \bar{A}BIN + A\bar{B}IN + AB\bar{I}\bar{N} + ABIN.$$

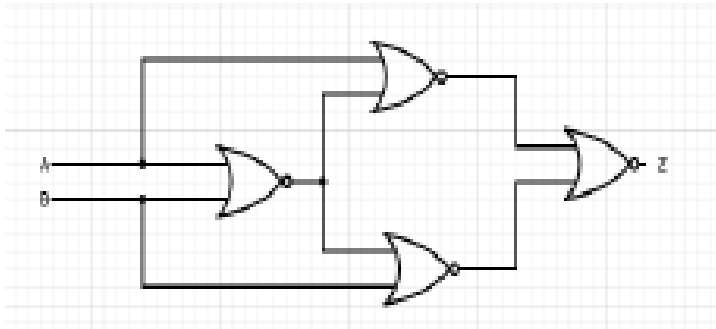
$$C = (A + B + IN) (A + B + \bar{I}\bar{N}) (A + \bar{B} + IN) (\bar{A} + B + IN).$$

$$S = \bar{A}\bar{B}IN + \bar{A}B\bar{I}\bar{N} + A\bar{B}\bar{I}\bar{N} + ABIN.$$

$$S = (A + B + IN) (A + \bar{B} + \bar{I}\bar{N}) (\bar{A} + B + \bar{I}\bar{N}) (\bar{A} + \bar{B} + IN).$$

(f)

6)



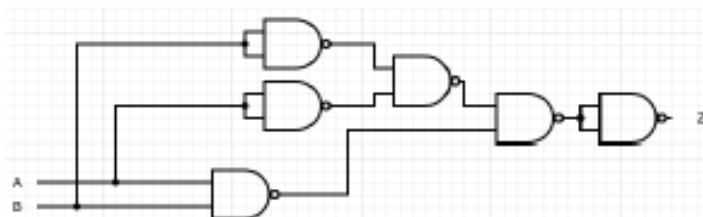
A	B	A NOR B	A NOR (A NOR B)	B NOR (A NOR B)	Z = [A NOR (A NOR B)] NOR [B NOR (A NOR B)]
0	0	1	0	0	1
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

$$Z = \bar{A}\bar{B} + AB.$$

$$Z = (A + \bar{B}) (\bar{A} + B).$$

(g)

7)



A	B	A NAND B	A NAND A	B NAND B	(A NAND A) NAND (B NAND B)	(A NAND B) NAND [(A NAND A) NAND (B NAND B)]	Z= [(A NAND B) NAND [(A NAND A) NAND (B NAND B)]]
0	0	1	1	1	0	1	0
0	1	1	1	0	1	0	1
1	0	1	0	1	1	0	1
1	1	0	0	0	1	1	0

$$Z = \bar{A}B + A\bar{B}.$$

$$Z = (A + B) (\bar{A} + \bar{B}).$$

**CIRCUITOS COMBINACIONALES Y SECUENCIALES****Ejercicio 6.**

*Demostrar mediante tabla de verdad si se cumplen o no las siguientes equivalencias:*

(a)  $\overline{AB} = \overline{A} + \overline{B}$ .

A	B	$\overline{A}$	$\overline{B}$	AB	$\overline{AB}$	$\overline{A} + \overline{B}$
0	0	1	1	0	1	1
0	1	1	0	0	1	1
1	0	0	1	0	1	1
1	1	0	0	1	0	0

Por lo tanto, sí se cumple esta equivalencia.

(b)  $A + BC = (A + B) + (A + C)$ .

A	B	C	BC	A + B	A + C	A + BC	$(A + B) + (A + C)$
0	0	0	0	0	0	0	0
0	0	1	0	0	1	0	1
0	1	0	0	1	0	0	1
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1
1	0	1	0	1	1	1	1
1	1	0	0	1	1	1	1
1	1	1	1	1	1	1	1

Por lo tanto, no se cumple esta equivalencia.

(c)  $(A + B)C = AB + AC$ .

A	B	C	A + B	AB	AC	$(A + B)C$	$AB + AC$
0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	1	0	0	1	0
1	0	0	1	0	0	0	0
1	0	1	1	0	1	1	1
1	1	0	1	1	0	0	1
1	1	1	1	1	1	1	1

Por lo tanto, no se cumple esta equivalencia.

(d)  $A + A + B = A + B + B$ .

A	B	$A + A + B$	$A + B + B$
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	1

Por lo tanto, sí se cumple esta equivalencia.

(e)  $A + B\bar{C} = A\bar{C} + B$ .

A	B	$\bar{C}$	$B\bar{C}$	$A\bar{C}$	$A + B\bar{C}$	$A\bar{C} + B$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	1
0	1	1	1	0	1	1
1	0	0	0	0	1	0
1	0	1	0	1	1	1
1	1	0	0	0	1	1
1	1	1	1	1	1	1

Por lo tanto, no se cumple esta equivalencia.

(f)  $A \oplus B = A \oplus B$ .

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

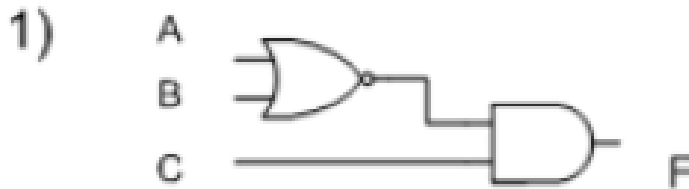
Por lo tanto, sí se cumple esta equivalencia.



**Ejercicio 7.**

Modificar los siguientes circuitos para que sean todas compuertas NAND.

(a)



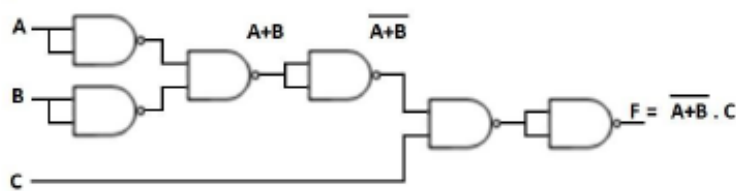
$$A \text{ NOR } B = \overline{A + B}.$$

$$(A \text{ NOR } B) \text{ AND } C = \overline{A + B} * C.$$

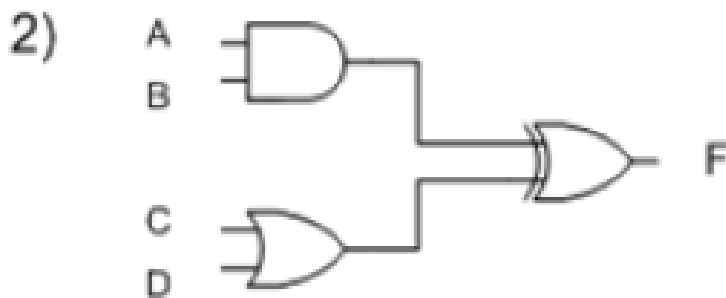
$$A \text{ NOR } B: \overline{[(\overline{A * A}) * (\overline{B * B})] * [(\overline{A * A}) * (\overline{B * B})]} = \overline{(\overline{A * A}) * (\overline{B * B})} = \overline{A * A} * \overline{B * B} = \overline{A} * \overline{B} = \overline{A + B}.$$

$$(A \text{ NOR } B) \text{ AND } C = \overline{[(\overline{A + B}) * C] * [(\overline{A + B}) * C]} = \overline{(\overline{A + B}) * C} = \overline{A + B} * C.$$

1)



(b)



$$A \text{ AND } B = A * B.$$

$$C \text{ OR } D = C + D.$$

$$(A \text{ AND } B) \text{ XOR } (C \text{ OR } D) = (A * B) (\overline{C + D}) + (\overline{A * B}) (C + D).$$

$$A \text{ AND } B = \overline{(\overline{A * B}) * (\overline{A * B})} = \overline{A * B} = A * B.$$

$$C \text{ OR } D = \overline{(\overline{C * C}) * (\overline{D * D})} = \overline{\overline{C} * \overline{D}} = \overline{\overline{C + D}} = C + D.$$

$(A \text{ AND } B) \text{ XOR } (C \text{ OR } D) =$

$$\overline{[(A * B) * (A * B) * (C + D)] * [(A * B) * (C + D)(C + D)]} =$$

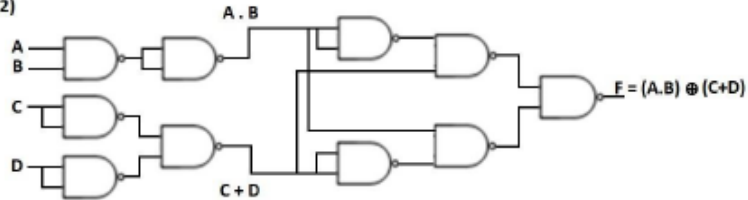
$$\overline{[(A * B) * (C + D)] * [(A * B) * (C + D)]} =$$

$$\overline{[(A * B) + (C + D)] * [(A * B) + (C + D)]} =$$

$$(A * B) + (C + D) + (A * B) + (C + D) =$$

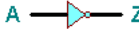



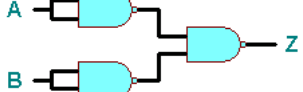
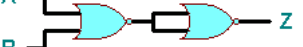

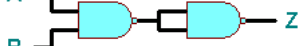
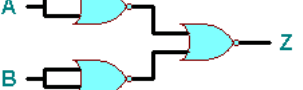

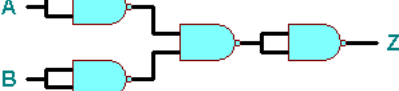

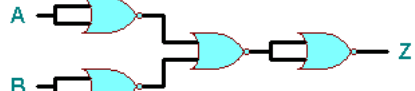

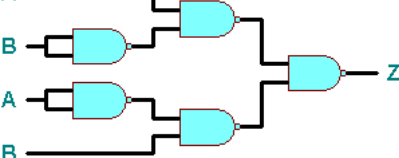
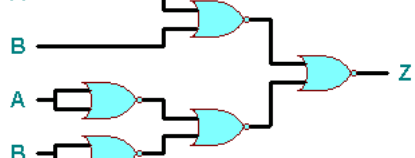

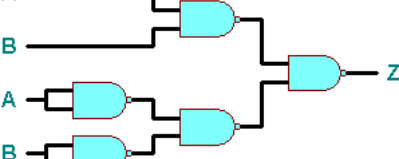
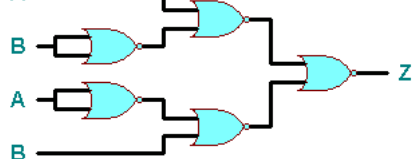
$$(A * B) (C + D) + (A * B) (C + D).$$

2)



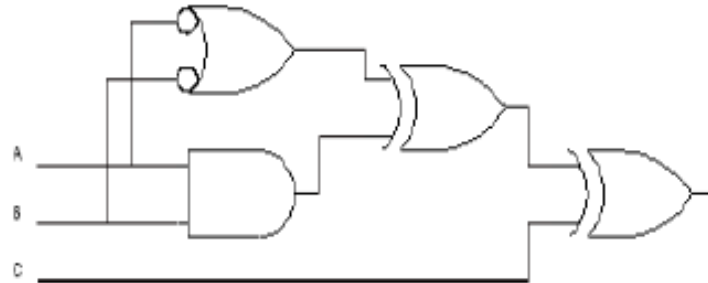
**Ejercicio 8.**

Reescribir las compuertas lógicas Not, Or, And y Xor utilizando, exclusivamente, compuertas NOR (ver como se resolvió el mismo caso para compuertas Nand, en Tener en ...).

Compuerta		Equivalentes con compuertas NAND y NOR	
		Nand	Nor
NOT	 $Z = \bar{A}$	 $Z = \overline{A \cdot A}$	 $Z = \overline{A + A}$
OR	 $Z = A + B$	 $Z = \overline{\overline{A} \cdot \overline{B}}$	 $Z = \overline{\overline{A + B}}$
AND	 $Z = A \cdot B$	 $Z = \overline{\overline{A \cdot B}}$	 $Z = \overline{\overline{A} + \overline{B}}$
NOR	 $Z = \overline{A + B}$	 $Z = \overline{\overline{A \cdot B}}$	
NAND	 $Z = \overline{A \cdot B}$		 $Z = \overline{\overline{A + B}}$
XOR	 $Z = A \oplus B$ $Z = A \cdot \bar{B} + \bar{A} \cdot B$	 $Z = \overline{(A \cdot B) \cdot (\bar{A} \cdot \bar{B})}$	 $Z = \overline{(A + B) + (\bar{A} + \bar{B})}$
XNOR	 $Z = A \odot B$ $Z = A \cdot B + \bar{A} \cdot \bar{B}$	 $Z = \overline{(A \cdot B) \cdot (\bar{A} \cdot \bar{B})}$	 $Z = \overline{(A + B) + (\bar{A} + \bar{B})}$

**Ejercicio 9.**

Construir la tabla de verdad del siguiente circuito. Analizar los valores y, basándose en sus conclusiones, construir un diagrama más simple que implemente la misma función de salida. Escribir, además, la ecuación de salida en forma de función.



A	B	C	$\bar{A}$	$\bar{B}$	$\bar{A} \text{ OR } \bar{B}$	A AND B	$(\bar{A} \text{ OR } \bar{B}) \text{ XOR } (A \text{ AND } B)$	$[(\bar{A} \text{ OR } \bar{B}) \text{ XOR } (A \text{ AND } B)] \text{ XOR } C$
0	0	0	1	1	1	0	1	1
0	0	1	1	1	1	0	1	0
0	1	0	1	0	1	0	1	1
0	1	1	1	0	1	0	1	0
1	0	0	0	1	1	0	1	1
1	0	1	0	1	1	0	1	0
1	1	0	0	0	0	1	1	1
1	1	1	0	0	0	1	1	0

$$[(\bar{A} \text{ OR } \bar{B}) \text{ XOR } (A \text{ AND } B)] \text{ XOR } C = \text{NOT } C.$$

$$[(\bar{A} \text{ OR } \bar{B}) \text{ XOR } (A \text{ AND } B)] \text{ XOR } C = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + AB\bar{C}.$$

$$[(\bar{A} \text{ OR } \bar{B}) \text{ XOR } (A \text{ AND } B)] \text{ XOR } C = (A + B + \bar{C})(A + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})(\bar{A} + \bar{B} + \bar{C}).$$

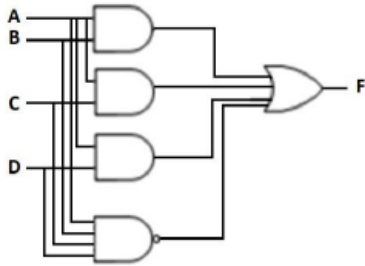
Gráfico.

### Ejercicio 10.

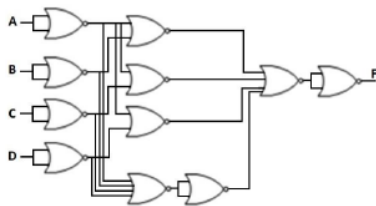
Dadas las siguientes relaciones, dibujar los diagramas de compuertas que cumplen con ellas. Modificarlos utilizando sólo compuertas NOR. Modificarlos utilizando sólo compuertas NAND.

(a)  $F = AB + AC + AD + \overline{ABCD}$ .

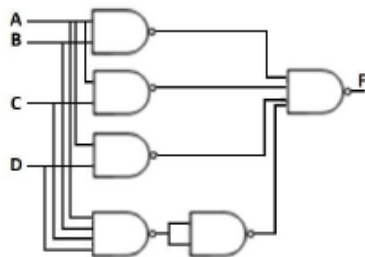
Original:



NOR:



NAND:

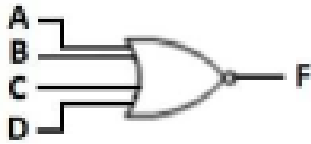


(b)  $F = \overline{A + B + C + D}$ .

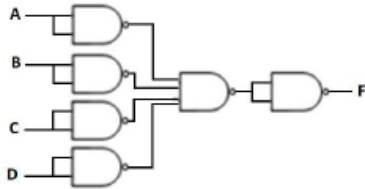
Original:



NOR:



NAND:



(c)  $F = \overline{A + B\bar{C}} + C$ .

Gráficos.

(d)  $F = A\bar{B} + \bar{A}B$ .

Gráficos.

**Ejercicio 11.**

Para la siguiente tabla de verdad, encontrar una fórmula lógica correspondiente (utilizando suma de productos).

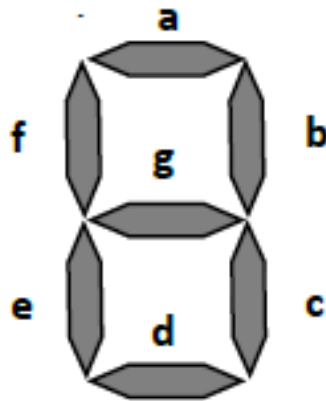
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}C.$$

**Ejercicio 12.**

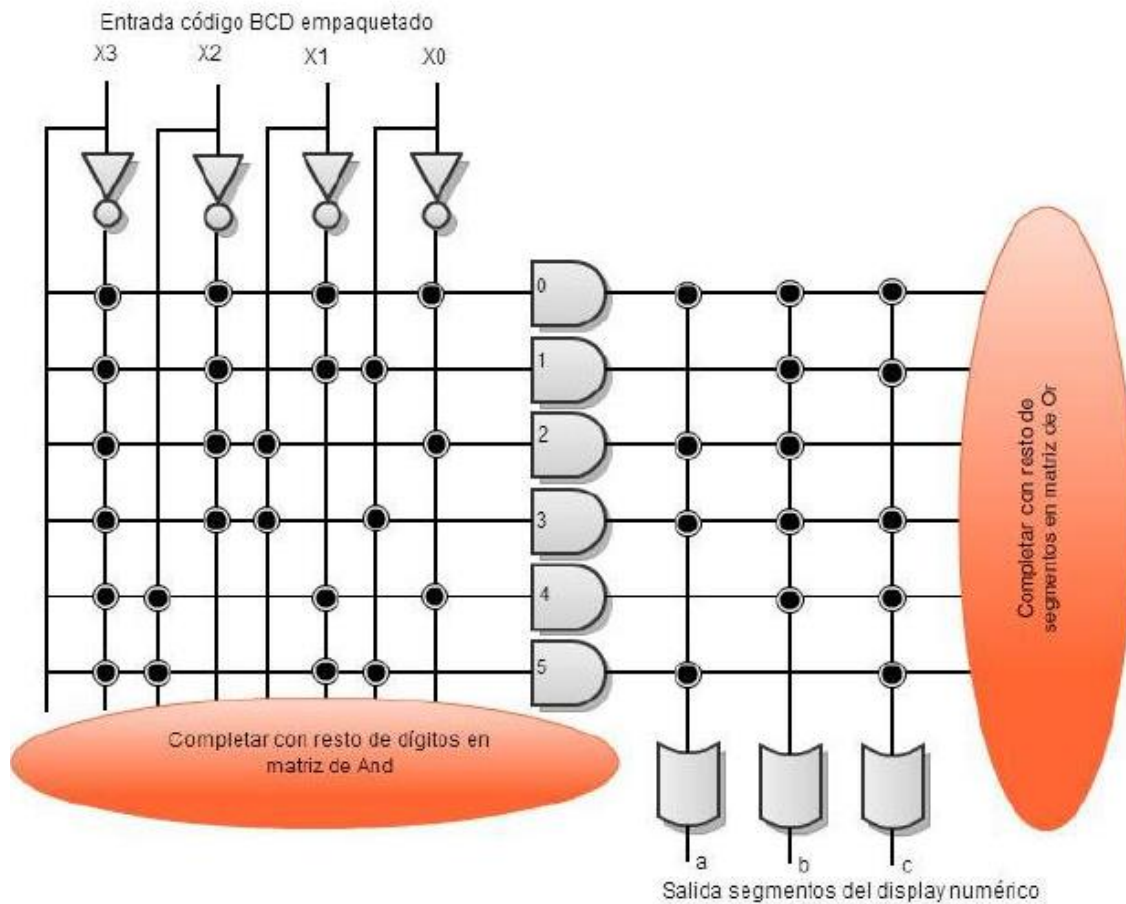
Diseñar un circuito que tenga como entrada código BCD empaquetado (4 entradas) y 7 salidas para controlar los 7 segmentos de un display numérico, siendo la salida para los segmentos “0” para apagado y “1” para prendido. Construir la tabla de verdad y la ecuación de la salida correspondiente a los segmentos a, b, c, d, e, f y g.

Ayuda 1: Cada segmento se considera como una salida distinta y cada uno se debe activar (poner en 1) dependiendo del número recibido en las entradas que representan los 4 bits de un BCD empaquetado. Ejemplo: El segmento b se debe activar cuando se recibe un 1 (0001), o un 2 (0010), o un 3 (0011), o un 4 (0100), o un 7 (0111), o un 8 (1000), o un 9 (1001). Se aplica la misma idea con el resto de las salidas.



Ayuda 2: Gráficamente, el circuito con las 4 entradas y las 7 salidas conviene diseñarlo como una matriz de compuertas And, seguida de la matriz de compuertas Or. Basarse en la siguiente gráfica parcial:





$x_0$	$x_1$	$x_2$	$x_3$	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1
1	0	1	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

$$a = \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2\overline{x_3} + \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1\overline{x_2}x_3 + \overline{x_0}x_1x_2\overline{x_3} + \overline{x_0}x_1x_2x_3 + x_0\overline{x_1}x_2x_3 + x_0\overline{x_1}x_2\overline{x_3}$$

$$b = \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2\overline{x_3} + \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2x_3 + \overline{x_0}x_1x_2x_3 + x_0\overline{x_1}x_2x_3 + x_0\overline{x_1}x_2\overline{x_3}$$

$$c = \overline{x_0 x_1 x_2 x_3} + \overline{x_0 x_1 x_2} x_3 + \overline{x_0 x_1} x_2 x_3 + \overline{x_0 x_1} \overline{x_2 x_3} + \overline{x_0 x_1} \overline{x_2} x_3 + \overline{x_0 x_1} x_2 \overline{x_3} + \overline{x_0 x_1} x_2 x_3 + x_0 \overline{x_1 x_2 x_3} + x_0 \overline{x_1 x_2} x_3.$$

$$d = \overline{x_0 x_1 x_2 x_3} + \overline{x_0 x_1} x_2 \overline{x_3} + \overline{x_0 x_1} x_2 x_3 + \overline{x_0 x_1} \overline{x_2 x_3} + \overline{x_0 x_1} x_2 \overline{x_3} + x_0 \overline{x_1 x_2 x_3}.$$

$$e = \overline{x_0 x_1 x_2 x_3} + \overline{x_0 x_1} x_2 \overline{x_3} + \overline{x_0 x_1} x_2 x_3 + x_0 \overline{x_1 x_2 x_3}.$$

$$f = \overline{x_0 x_1 x_2 x_3} + \overline{x_0 x_1} \overline{x_2 x_3} + \overline{x_0 x_1} \overline{x_2} x_3 + \overline{x_0 x_1} x_2 \overline{x_3} + x_0 \overline{x_1 x_2 x_3} + x_0 \overline{x_1 x_2} x_3.$$

$$g = \overline{x_0 x_1} x_2 \overline{x_3} + \overline{x_0 x_1} x_2 x_3 + \overline{x_0 x_1} \overline{x_2 x_3} + \overline{x_0 x_1} \overline{x_2} x_3 + \overline{x_0 x_1} x_2 \overline{x_3} + \overline{x_0 x_1} x_2 x_3 + x_0 \overline{x_1 x_2 x_3} + x_0 \overline{x_1 x_2} x_3.$$

**Ejercicio 13.**

Un controlador de proceso industrial recibe como entrada tres señales de temperatura  $T1$ ,  $T2$ ,  $T3$  ( $T1 < T2 < T3$ ) que adoptan el valor lógico “1” cuando la temperatura es mayor que  $t1$ ,  $t2$  y  $t3$ , respectivamente. Diseñar un circuito que genere una señal  $F$  cuando la temperatura esté comprendida entre  $t1$  y  $t2$  o cuando la temperatura sea mayor que  $t3$ .

T1	T2	T3	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

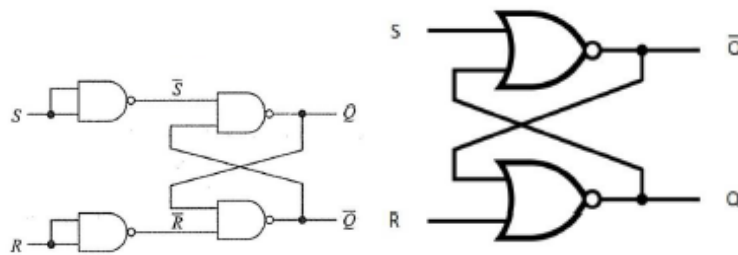
$$F = T1\overline{T2}\overline{T3} + T1T2T3.$$

$$F = (T1 + T2 + T3)(\overline{T1} + \overline{T2} + T3).$$

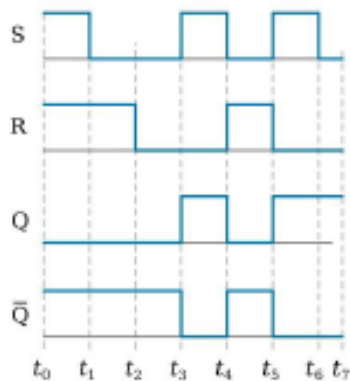
**Ejercicio 14.**

Dibujar el esquema de compuertas que componen un flip-flop S-R. Describir, a través de una tabla, los estados en función de las entradas. Modificar el esquema anterior para hacerlo síncrono. Describir, gráficamente, su respuesta temporal.

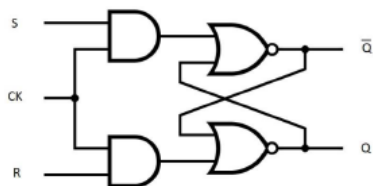
Asincrónico:



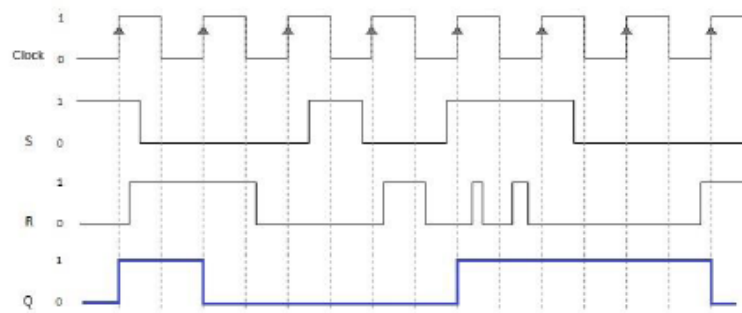
S	R	$Q_{t+1}$
0	0	$Q_t$
0	1	0
1	0	1
1	1	Prohibido



Síncrono:

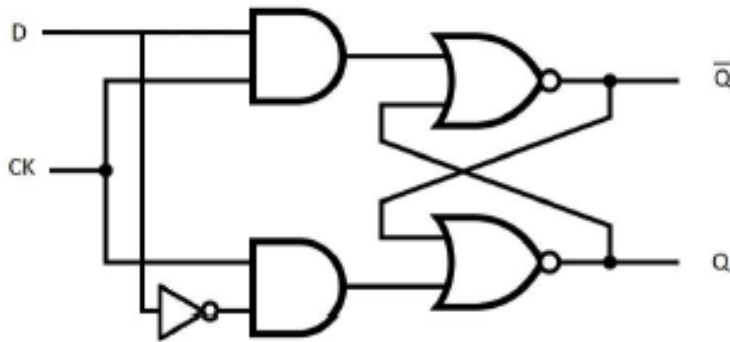


<b>S</b>	<b>R</b>	<b>CLK</b>	<b><math>Q_{t+1}</math></b>
0	0	1	$Q_t$
0	1	1	0
1	0	1	1
1	1	1	Prohibido
x	x	0	$Q_t$

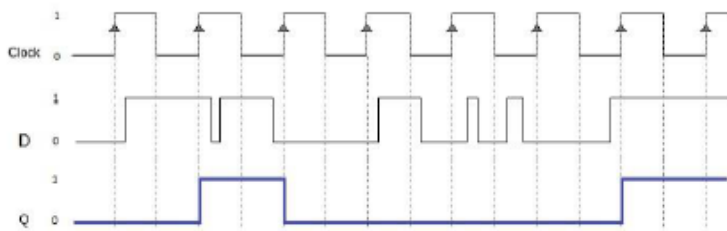


### Ejercicio 15.

Dibujar el esquema de un flip-flop D. Detallar, en su respuesta temporal, cómo resuelve el problema de la doble entrada de 1's que se presentaba en el S-R.

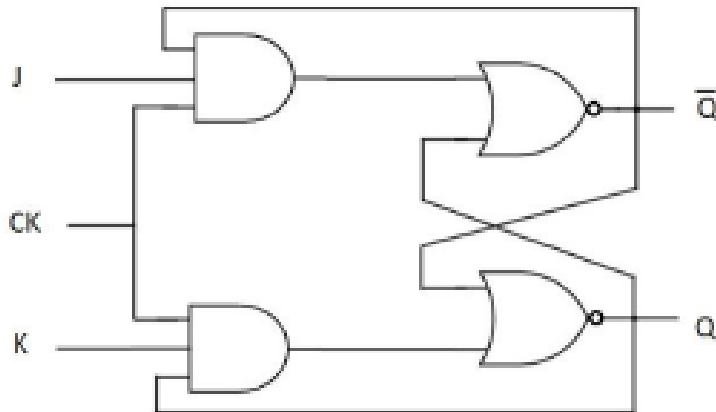


D	CLK	$Q_{t+1}$
0	1	0
1	1	1
x	0	$Q_t$

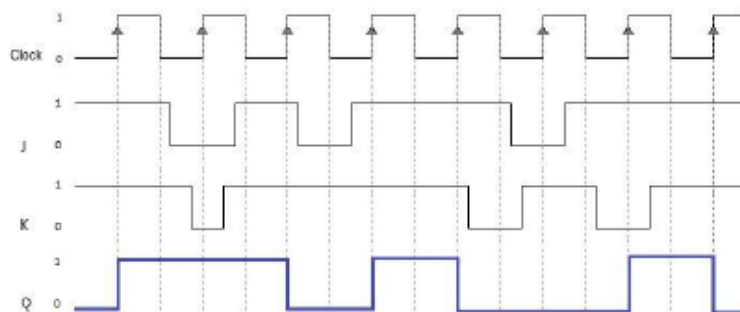


### Ejercicio 16.

Dibujar el esquema de un flip-flop J-K, describiendo su respuesta temporal.

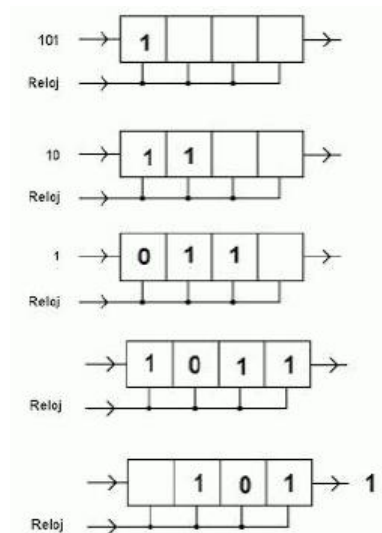


J	K	CLK	$Q_{t+1}$
0	0	1	$Q_t$
0	1	1	0
1	0	1	1
1	1	1	$\bar{Q}_t$
x	x	0	$Q_t$



**Ejercicio 17.**

Dibujar el diagrama de tiempos del registro de la figura, implementado con flip-flops D. Modificarlo para desplazamiento izquierda derecha y derecha izquierda. Ayuda: Ejemplo de respuesta temporal para interpretar cómo responde el registro previo ante la entrada serial del número binario 1011:

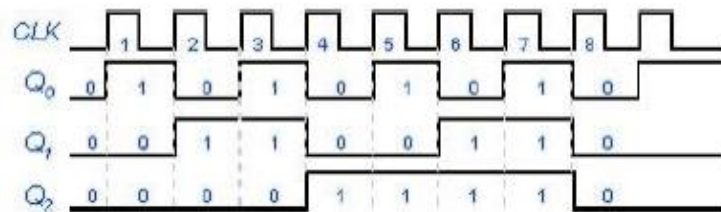


Gráficos.



**Ejercicio 18.**

Describir, gráficamente, la respuesta temporal de cada flip-flop ante una señal de unos y ceros entrando por reloj. Ayuda: El diagrama correspondiente considerando sólo los primeros 3 flip-flops es el siguiente:



Se observa cómo la respuesta de cada flip-flop emite una onda a la mitad de frecuencia que su clock de entrada.

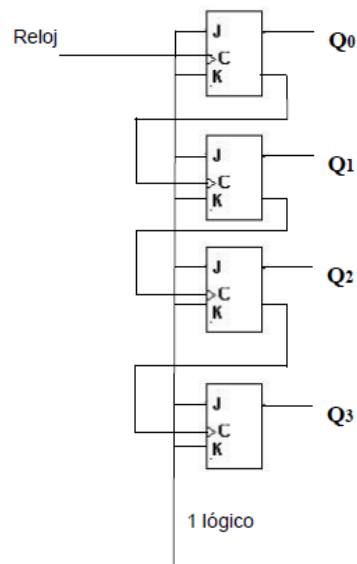


Gráfico.