目录

[Metastability 2](#_Toc32774782)

[What is Metastability 2](#_Toc32774783)

[Reasons cause Metastability 2](#_Toc32774784)

[发生场合(asynchronous design) 2](#_Toc32774785)

[亚稳态的危害： 3](#_Toc32774786)

[减少亚稳态发生概率： 3](#_Toc32774787)

[Evaluation Parameter 4](#_Toc32774788)

[亚稳态的解决办法: 即异步电路设计 4](#_Toc32774789)

[跨时钟域（异步时钟域）同步器设计： 4](#_Toc32774790)

[Asynchronous Circuit Design Techniques异步电路设计 4](#_Toc32774791)

[For 1-bit data 4](#_Toc32774792)

[For multiple bit data 4](#_Toc32774793)

[Reference 4](#_Toc32774794)

# Metastability

## What is Metastability

* 指触发器flipflop无法在某个规定时间段内达到一个确定的状态。这里有两个不确定，一是输出电平不确定（不确定值x），而是输出电平稳定时间不确定。此时输出端Q在无法预测的时间段内处于振荡状态，不等于输入端D。这段时间为决断时间（resolution time），经过决断时间后输出端Q将稳定在某个电平上，但这个稳定之后的电平与输入端D没有关系，是随机的。
* Two challenges in dealing with metastability:

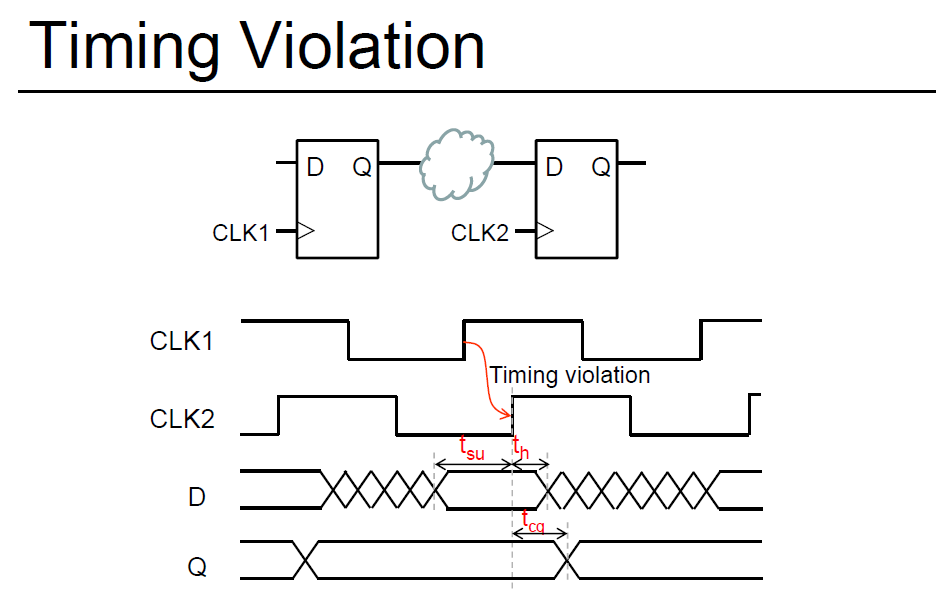
1. uncertain time to resolve to stable values;
2. uncertain resolved value.

## Reasons cause Metastability

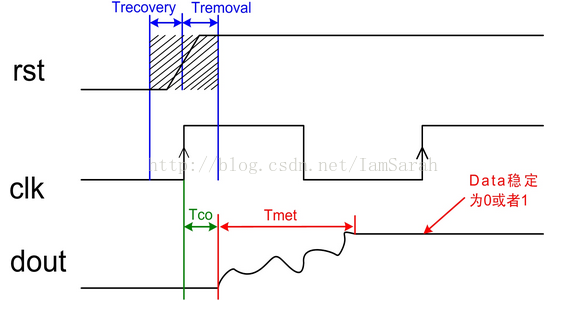
* Synchronous logic: Setup time or Hold time violation for FF
* Recovery check or Removal check violation for Asynchronous Reset

## 发生场合(asynchronous design)

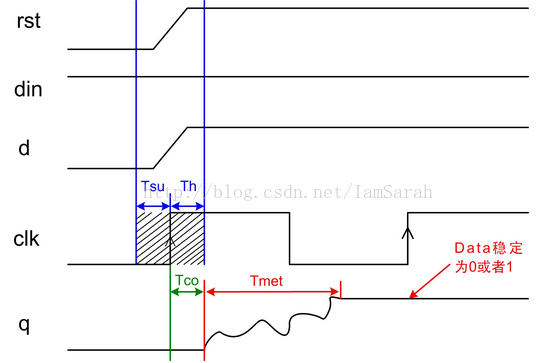
* 在同步系统中，输入总是与时钟同步，所以寄存器的setup time和hold time是满足的，一般情况下不会发生亚稳态情况。
* 主要发生在异步系统中:
* **Asynchronous signal sampling**: 由于异步信号可以在任何时间点到达目的寄存器，因此也不能保证目的寄存器的setup time和hold time满足要求。
* **Cross clock domains transmission**: 时钟之间存在相移，因此当源寄存器发出数据后，无法确定在什么时间段到达目的寄存器，因此不能保证目的寄存器的setup time和hold time满足要求。



* **Asynchronous reset circuit**: 如果rst\_n信号的撤销在Trecovery和Tremoval之内，那势必会产生亚稳态。输出会在时钟边沿的Tc2q（传播延时）时间之后产生振荡，在Tmet（决断时间）时间之后稳定在某个电平上，而Tmet时间就是决断时间，这样的话就会造成复位失败。整个过程如下图所示：



* **Synchronous reset circuit**: 当输入端din为高电平的时候，复位信号的撤销正好位于setup 和 hold之间，那么与din相与之后的信号也在clk信号的setup和hold之间，亚稳态肯定也随之产生。（不出现亚稳态，与din相与之后的信号在setup之前）这种情况下的同步复位是失败的。整个过程如下图所示：



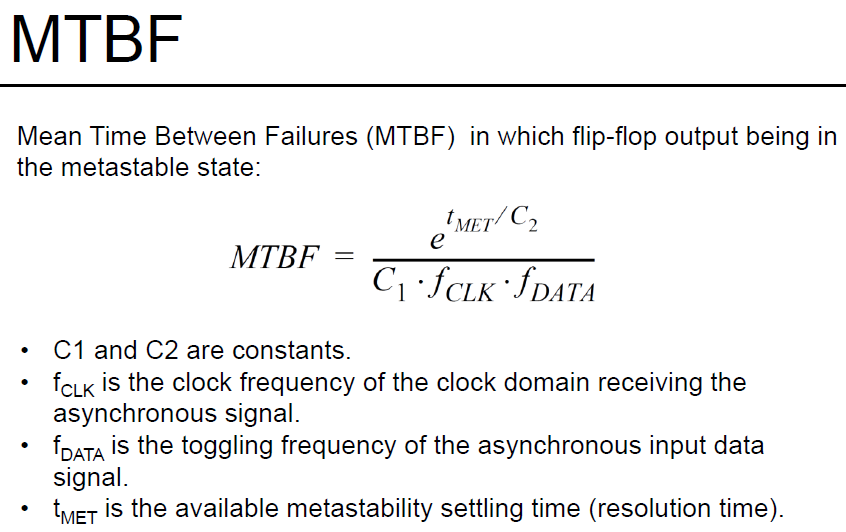
## 亚稳态的危害：

* 产生亚稳态后，寄存器的输出端Q在稳定之前可能出现毛刺、振荡、固定在某一电平；
* 在信号传输过程中，亚稳态状态会继续传播，导致其后与其相连的数字部件可能做出错误判断，造成逻辑混乱；
* 在复位电路中，可能造成复位失败。

## 减少亚稳态发生概率：

* 降低系统时钟频率（不切实际，影响性能）
* 采用更好的工艺，Tsu和Th更小的器件
* 改善时钟质量，用边沿变化快速的时钟信号

## Evaluation Parameter



## 亚稳态的解决办法: 即异步电路设计

# 跨时钟域（异步时钟域）同步器设计：

问题：对于双触发器异步处理电路的说法正确的是（多选）

1. 对任何单bit信号都可以用此电路处理
2. 各个寄存器之间不能有组合逻辑
3. 需要考虑两个时钟的频率和信号的宽度
4. 无法避免亚稳态的产生

# Asynchronous Circuit Design Techniques异步电路设计

## For 1-bit data

* Synchronizer (打两拍，打三拍准确度更高)
* Handshaking 异步握手

## For multiple bit data

* D-MUX: Control Path and Data Path (similar with data change detection脉冲检测)
* Graycode格雷码
* AFIFO异步FIFO

# Reference

[1] 14 TIDC\_Asynchronous\_Clock\_Domains\_WS1718

Timing for Digital Circuits\_TUM

[2] IC大牛10多年的设计分享：数字典型电路知识结构地图及代码实现