

“计算机组织结构”作业 10 参考答案

1. 典型的微处理器是用不同地址去访问指定设备控制器中的 I/O 数据寄存器、控制和状态寄存器。这些寄存器被称为端口 (port)。Intel 8088 使用两类 I/O 指令格式。一类格式中, 8 位操作码指定 I/O 操作, 后随 8 为端口地址; 另一类格式中, I/O 操作码隐含指示端口地址在 16 位的 DX 寄存器中。
 - a) 第一类寻址模式下, 8088 能寻址多少端口?
 - b) 第二类寻址模式下, 8088 能寻址多少端口?

采用直接寻址方式的端口地址为 1 个字节长, 可寻址 2^8 即 256 个端口

采用间接寻址方式的端口地址为两个字节长, 可寻址 2^{16} 即 65536 个端口

2. 在程式 I/O 中, 处理器陷入一个等待循环来检查 I/O 设备状态。为提高效率, 可编写这样的 I/O 软件: 处理器周期性地检查设备状态, 若设备未就绪, 处理器跳转到执行其他任务, 在某指定时间长度的间隔后处理器再次检查设备状态。
 - a) 考虑采用上述方法向打印机一次 1 字符地输出数据。打印机以 10 字符/秒速度运行。若每 20ms 扫描一次它的状态, 需要查询几次才能得到获得打印机就绪状态?
 - b) 接着考虑一个具有单一字符缓冲器的键盘。平均而言, 字符以 10 字符/秒的速度被敲入。然而两次连续按键的时间间隔是 60ms。I/O 程序应该以什么频率扫描键盘? (单位: 次/秒)

- a) 由于打印机的输出速度为 10 字符/秒, 输出一个字符所需要的时间为 $1/10=0.1s=100ms$ 。若处理器每隔 20ms 扫描一次打印机状态, 则需要查询 5 次时才能得到获得打印机就绪状态。
- b) 虽然字符以 10 字符/秒的速度敲入, 但两次连续按键的时间间隔为 60ms, 且键盘只有单一字符的缓冲器。为了保证之前输入的字符不丢失, I/O 程序扫描键盘的间隔应该不大于 60ms, 即频率至少为 17 次/秒。

3. 考虑某系统对一个设备使用了中断驱动式 I/O, 此设备以平均 64kbps 的速度连续传送数据。
 - a) 假设中断处理大约用 $100\mu s$, 每字节中断一次, 确定处理器时间的百分之几被这个 I/O 设备所消耗。(百分数, 精度: 整数)
 - b) 假设这个设备有两个 16 字节的缓冲器并当一个缓冲器满时才中断处理器一次。执行此中断服务时, 处理时间需要延长 (每传送一个字节处理器要用大约 $8\mu s$), 重复上问。(百分数, 精度: 整数)

- a) 由于每个字节中断一次, 而数据传输率为 64kbps, 所以每秒钟的中断次数为 8k 次。因此, 该 I/O 设备占用处理器时间的比例是 $8k \times 100\mu s / 1s = 80\%$
- b) 处理一个缓冲器的中断耗时 $100 + (16-1) \times 8 = 220\mu s$, 而每秒钟处理的次数为 $8kB / 16B = 500$ 次。因此, 该 I/O 设备占用处理器时间的比例是 $220 \times 500\mu s / 1s = 11\%$

4. 在一个系统中, 经由总线的一次数据传送用 500ns。总线控制的传递, 无论是由处理器到 DMA 模块还是由 DMA 模块到处理器, 两个方向上都是用 200ns。一个有 400kbps 数据传输率的 I/O 设备使用了 DMA 来传送 128 字节的块, 每次传送 1 字节的数据。
 - a) 若使用突发模式 DMA, 即块传送之前 DMA 模块获得总线控制权并一直维持对总线的控制直到整个块传送完。设备占用总线多长时间 (含获取总线控制和交回总线控制)?

(单位: 毫秒, 精度: 小数点后 4 位)

b) 若使用周期窃取式 DMA, 重复上问。

a) DMA 获取总线控制和交回总线控制的时间均为 200ns。在总线上传输前 127 字节需要的时间为 $500\text{ns} \times 127\text{B}/1\text{B} = 63500\text{ns}$, 而 I/O 设备提供数据的时间为 $128\text{B}/400\text{kbps} = 2.56\text{ms}$ 。因此, 总线占用时间为:

$$200\text{ns} + 0.02\text{ms} + \max(2.54\text{ms}, 63500\text{ns}) + 500\text{ns} + 200\text{ns} = 2.5609\text{ms}$$

[晁贝贝, 121250007][梁家诚, 141250068]

b) 使用周期窃取式 DMA 时, DMA 每次进行数据传输都要获取和交回总线, 所以设备占用总线的时间为: $128\text{B}/1\text{B} \times (200 + 500 + 200) = 0.1152\text{ms}$

5. 假设一个主频为 1GHz 的处理器需要从某个成块传送的 I/O 设备读取 1000 字节的数据到主存缓冲区中, 该 I/O 设备一旦启动即按 400kbps 的数据传输率向主机传送 1000 字节数据, 每个字节的读取、处理并存入内存缓冲区需要 1000 个时钟周期, 则以下 4 种方式下, 在 1000 字节的读取过程中,

a) 采用查询方式, 每次处理一个字节, 一次状态查询至少需要 60 个时钟周期。CPU 用在该设备的 I/O 操作上的时间为多少? (单位: 毫秒, 精度: 小数点后 3 位)

b) 问题 a) 中 CPU 处理 IO 时间占整个处理器时间的百分比为多少? (百分数, 精度: 小数点后 2 位)

c) 采用中断驱动 I/O 方式, 外设每准备好一个字节发送一次中断请求。每次中断响应需要两个时钟周期, 中断服务程序的执行需要 1200 个时钟周期。CPU 用在该设备的 I/O 操作上的时间为多少? (单位: 毫秒, 精度: 小数点后 3 位)

d) 问题 c) 中 CPU 处理 IO 时间占整个处理器时间的百分比为多少? (百分数, 精度: 小数点后 2 位)

e) 采用周期挪用 DMA 方式, 每挪用一次主存周期处理一个字节, DMA 初始化和后处理的时间为 2000 个时钟周期, CPU 和 DMA 没有访存冲突。CPU 用在该设备的 I/O 操作上的时间为多少? (单位: 毫秒, 精度: 整数)

f) 问题 e) 中 CPU 处理 IO 时间占整个处理器时间的百分比为多少? (百分数, 精度: 小数点后 2 位)

a) I/O 设备的数据传输率为 400kbps, 因此传输每个字节的时间为 $1\text{B}/400\text{kbps} = 20\mu\text{s}$ 。处理器主频为 1GHz, 所以每个时钟周期为 1ns。考虑最坏的情形, 数据到达时刚刚查询过, 需要再等 60 个时钟周期才会查询, 加上每个字节读取、处理和存入内存缓冲的时间为 $(60 + 1000) \times 1\text{ns} = 1.06\mu\text{s} < 20\mu\text{s}$ 。因此 CPU 完成整个数据传输的时间为 $1000\text{B}/400\text{kbps} + 1\mu\text{s} = 20.001\text{ms}$ 。

[刘丞, 121250078][袁睿, 131250088]

b) 在查询方式中, CPU 会一直参与, 因此占用处理器时间的百分比为 100.00%。

c) 采用中断驱动方式, 占用 CPU 的总时间为 $(2 + 1200) \times 1\text{ns} \times 1000 = 1.202\text{ms}$ 。

d) I/O 操作占整个处理器时间的百分比为:

$$1.202\text{ms} / (1000\text{B}/400\text{kbps} + (2 + 1200) \times 1\text{ns}) = 6.01\%$$

[曹雨婷, 121250005]

(注意: 此处中断处理包含了数据传输。)

e) 在周期挪用方式下, 由于 CPU 和 DMA 没有访存冲突, 则 CPU 受到影响的时间为 $2000 \times 1\text{ns} \times 1000 = 2\text{ms}$ 。

f) I/O 操作上占整个处理器时间的百分比为:

$$2\text{ms} / (1000\text{B}/400\text{kbps} + (2000 + 1) \times 1\text{ns} \times 1000) = 0.09\%$$

[卢苇, 121250091][马昕, 131250093][刘子龙, 181830128]

===== 分割线：以下内容不在小程序上提交 =====

6. 在包含 DMA 模块的系统中，一般 DMA 存取主存储器的优先级比处理器存取主存储器的优先级高，为什么？

如果处理器被停止访问主存储器，除处理时间延长外不产生其它问题。但 DMA 可能连接高速数据传输设备，如果不及时获取主存储器的存取权限来及时写入数据，则可能会因为缓冲区溢出而造成数据丢失。所以，一般 DMA 存取主存储器的优先级会高于处理器。

7. 假定某计算机的 CPU 主频为 500MHz，所连接的某个外设的最大数据传输率为 160kbps，该外设接口中有一个 16 位的数据缓存器，相应的中断服务程序的执行时间为 500 个时钟周期，则是否可以用中断方式进行该外设的输入输出？假定该外设的最大数据传输率改为 16Mbps，则是否可以用中断方式进行该外设的输入输出？

- a) 外设的最大传输率为 160kbps，而每传输完 16 位进行一次中断处理，因此 1 秒内的中断次数为 $160\text{kbps}/16\text{bit}=10\text{k}$ 次。所以，1 秒内需要的中断处理的时间为 $10\text{k}/500\text{MHz}\times 500=10\text{ms}<1\text{s}$ ，所以可以用中断方式进行该外设的输入输出。
- b) 外设的最大传输率为 16Mbps，而每传输完 16 位进行一次中断处理，因此 1s 内的中断次数为 $16\text{Mbps}/16\text{bit}=10^6$ 次。所以，1 秒内需要的中断处理的时间为 $10^6/500\text{MHz}\times 500=1\text{s}$ ，所以可以用中断方式进行该外设的输入输出。

[刘丞, 121250078]

8. 若某计算机有 5 级中断，中断响应优先级为 $1>2>3>4>5$ ，而中断处理优先级为 $1>4>5>2>3$ 。要求完成以下工作：

- a) 设计各级中断处理程序的中断屏蔽字（假设 1 为屏蔽，0 为开放）。
- b) 若在运行主程序时，同时出现第 2、4 级中断请求，而在处理第 2 级中断过程中，又同时出现 1、3、5 级中断请求，画出此程序运行过程示意图。
- a) 1 级中断的处理优先级最高，说明 1 级中断对其他所有中断都屏蔽，其屏蔽字为全 1；3 级中断的处理优先级最低，所以除了 3 级中断本身之外，对其他中断全都开放，其屏蔽字为 00100。以此类推，得到所有中断屏蔽字：

中断程序级别	中断屏蔽字				
	1 级	2 级	3 级	4 级	5 级
第 1 级	1	1	1	1	1
第 2 级	0	1	1	0	0
第 3 级	0	0	1	0	0
第 4 级	0	1	1	1	1
第 5 级	0	1	1	0	1

- b) 程序运行过程示意图：

在运行主程序时，同时出现中断 2 和中断 4。因为主程序对所有中断都开放，而中断 2 的响应优先级高于中断 4，所以先响应中断 2。（发现中断 2 和 4 后，会停止响应中断一段时间，即“关中断”，这段时间内会决定是响应中断 2 和 4 中的哪个中断，保存原有的状态，并在响应中断 2 之后、处理中断 2 之前“开中断”。）

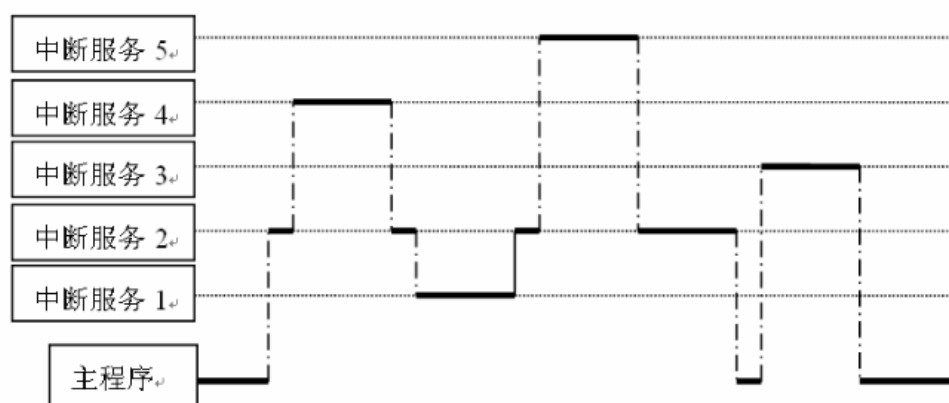
在处理中断 2 之前,由于中断 4 的处理优先级高于中断 2,因此响应并处理中断 4,结束后返回中断 2 并处理。

在处理中断 2 过程中,同时发生了 1、3、5 级中断。因为中断 2 屏蔽中断 3,且中断 1 的响应优先级高于中断 5,所以响应中断 1。因为中断 1 的处理优先级最高,所以在其处理过程中不会响应任何新的中断请求,直到中断 1 处理结束,然后返回中断 2。

由于中断 5 的优先级高于中断 2,所以会响应并处理中断 5,处理完后回到中断 2。

由于中断 2 能够屏蔽中断 3,所以中断 2 会处理完,并回到主程序。

主程序响应并处理中断 3,处理结束后回到主程序。



9. 题目 5 中,如果设备的速度提高到 40Mbps,则上述 3 种方式中,哪些是不可行的?为什么?对于可行的方式,计算出 CPU 花在该设备 I/O 操作上的时间占整个处理器时间的百分比?

当设备的速度提高到 40Mbps 后,传送 1 个字节需要的时间为 $0.2 \mu s$ 。

查询方式中获取第 1 个字节后,第 2 次查询最多可能间隔 $(1000+60) \times 1ns =$

$1.06 \mu s > 0.2 \mu s$,会造成数据丢失,所以不可行。

中断方式中获取第 1 个字节后,响应第 2 次中断的时间间隔至少为 $(2+1200) \times 1ns = 1.202 \mu s > 0.2 \mu s$,会造成数据丢失,所以不可行。

采用周期挪用 DMA 方式,假设 DMA 与 CPU 不存在访存冲突,占用 CPU 时间为 $2000 \times 1ns = 2 \mu s$ 。如果 DMA 接收数据的速度慢于存入主存的速度,则所用的总时间为接收数据的时间加上将最后一个字节存入主存的时间再加上初始化和结束的时间;如果 DMA 接收数据的速度快于存入主存的速度,则所有的总时间为接收第一个数据的时间加上将所有数据存入主存的时间再加上初始化和结束的时间。所以占用 CPU 时间的比例为:

$2 \mu s / \max \{1000B/40Mbps + 1ns \times 1000 + 2 \mu s, 0.2 \mu s + 1000 \times 1 \mu s + 2 \mu s\} = 0.20\%$ 。

[卢苇, 121250091][杨松, 121250190][马昕, 131250093][苏语风, 181250127]
(这里与几位同学进行了讨论,主要分歧在于“DMA 处理一个字节需要 1 个主存周期”中“主存周期”的大小到底是 1 个时钟周期还是 1000 个时钟周期。最终觉得还是 1000 个时钟周期更为合理,即 CPU 与 DMA 访问主存的时间开销是一样的,区别是采用 DMA 访问主存时不需要 CPU 的参与。)