

### 单选题

1. 某 SRAM 芯片，其容量为  $1024 \times 4$  位，则地址和数据引脚的数目分别为（ A ）。  
A. 10, 4                      B. 5, 4                      C. 10, 8                      D. 5, 8
2. 某计算机字长 16 位，主存地址空间大小是 64KB，按字节编址，则寻址范围是（ A ）。  
A.  $0 \sim (64K-1)$               B.  $0 \sim (32K-1)$               C.  $0 \sim (64KB-1)$               D.  $0 \sim (32KB-1)$
3. 下列几种存储器中，（ A ）是易失性存储器。  
A. cache                      B. EPROM                      C. Flash Memory              D. CD-ROM
4. 假定主存地址空间大小为 1024MB，按字节编址，每次读写操作最多可以一次存取 32 位。不考虑其它因素，则存储器地址寄存器 MAR 和存储器数据寄存器 MDR 的位数至少应分别为（ B ）。  
A. 30, 8                      B. 30, 32                      C. 28, 8                      D. 28, 32
5. 需要定时刷新的半导体存储器芯片是（ B ）。  
A. SRAM                      B. DRAM                      C. EPROM                      D. Flash Memory
6. 假定用若干个  $16K \times 1$  位的存储器芯片组成一个  $64K \times 8$  位的存储器，芯片内各单元连续编址，则地址 BFF0H 所在的芯片的最小地址为（ C ）。  
A. 4000H                      B. 6000H                      C. 8000H                      D. A000H
7. 假定用若干个  $16K \times 8$  位的存储器芯片组成一个  $64K \times 8$  位的存储器，芯片各单元交叉编址，则地址 BFFFH 所在的芯片的最小地址为（ D ）。  
A. 0000H                      B. 0001H                      C. 0002H                      D. 0003H

### 简答题

1. 某计算机主存最大寻址空间为 4GB，按字节编址，假定用  $64M \times 8$  位的具有 8 个位平面的 DRAM 芯片组成容量为 512MB、传输宽度为 64 位的内存条。回答下列问题：

（1）每个内存条需要多少个 DRAM 芯片？

（2）构建容量为 2GB 的主存时，需要几个内存条？

（3）主存地址共有多少位？其中哪几位用作 DRAM 芯片内地址？哪几位为 DRAM 芯片内的行地址？哪几位为 DRAM 芯片内的列地址？哪几位用于选择芯片？

答：

（1） $512MB / 64M \times 8 \text{ 位} = 8$  片 DRAM。

（2） $2GB / 512MB = 4$  个内存条。

（3）因为是按字节编址，所以主存地址共 32 位： $A_{31}A_{30} \cdots A_{25} \cdots A_1A_0$ 。因为每次在总线上传输 64 位数据，因此，内存条内 8 个芯片同时进行读写，每个芯片有 8 个位平面，因而同时读出 64 位数据。芯片按交叉编址方式组织，每个内存条有 512MB 容量，故内存条内存储单元的地址有 29 位，即  $A_{28} \cdots A_4A_3A_2A_1A_0$ 。其中， $A_2A_1A_0$  表示芯片号， $A_{28} \cdots A_4A_3$  表示芯片内的存储单元地址，其中芯片内的行地址为  $A_{28} \cdots A_{16}$ ，列地址为  $A_{15} \cdots A_3$ 。

2. 假定某计算机的主存地址空间大小为 64KB，按字节编址；cache 采用 4-路组相联映射、LRU 替换和写回（Write Back）策略，能存放 4KB 数据，主存与 cache 之间交换的主存块的大小为 64 字节。请回答下列问题：

（1）主存地址字段如何划分？要求说明每个字段的含义、位数和在主存地址中的位置。

（2）cache 的总容量有多少位？

（3）若 cache 初始为空，CPU 依次从 0 号地址单元顺序访问到 4344 号单元，共重复访问 16 次。cache 存取时间为 20ns，主存存取时间为 200ns，试估计 CPU 访存的平均时间。

答：

（1）cache 的行数为  $4\text{KB}/64\text{B}=64$ ；因为采用 4-路组相联，所以每组有 4 行，共 16 组。主存地址空间大小为 64KB，按字节编址，所以主存地址有 16 位，其中低 6 位为块内地址，中间 4 位为组号（组索引），高 6 位为标记。

（2）因为采用写回策略，所以 cache 每行中要有一个修改位（dirty bit）；因为每组有 4 行，所以每行有两位 LRU 位。此外，每行还有 6 位标记、1 位有效位和 64 字节数据，共有 64 行，故总容量为  $64 \times (6+1+1+2+64 \times 8) = 33408$  位。

（3）因为块大小为 64 字节，CPU 总共访问了 4345 个单元，因为  $4345/64 = 67.89$ ，所以第 0~4344 单元应该对应前 68 块（第 0~67 块），也即 CPU 访问过程是对主存的前 68 块连续访问 16 次。图 6.3 给出了访问过程中主存块和 cache 行之间的映射关系。图中列方向是 cache 的 16 个组，行方向是每组的 4 行。

	第0行	第1行	第2行	第3行
第0组	0/64/48	16/0/64	32/16	48/32
第1组	1/65/49	17/1/65	33/17	49/33
第2组	2/66/50	18/2/66	34/18	50/34
第3组	3/67/51	19/3/67	35/19	51/35
第4组	4	20	36	52
...	...	...	...	...
...	...	...	...	...
第15组	15	31	47	63

图 6.3 题 14 中 cache 组和主存块之间的映射

主存的第 0~15 块分别对应 cache 的第 0~15 组，可以放在对应组的任意一行中，在此假定按顺序存放在第 0 行；主存的第 16~31 块也分别对应 cache 的第 0~15 组，放到第 1 行中；同理，主存的第 32~47 块分别放到 cache 的第 0~15 组的第 2 行中；主存的第 48~63 块分别放到 cache 的第 0~15 组的第 3 行中。这样，访问主存的第 0~63 块都是没有冲突的，每块都是第一次在 cache 中没有找到，然后把这一块调到 cache 对应组的某一行中，这样该块后面的每次访问都能在 cache 中找到。因此，每一块只有第一单元未命中，其余 63 个单元都命中。主存的第 64~67 块分别对应 cache 的第 0~3 组，此时，这 4 组的 4 个行都已经被主存块占满，所以这四组的每一组都要选择一个主存块从 cache 中淘汰出来。因为采用 LRU 算法，所以，将最近

最少用的第0~3块分别从第0~3组的第0行中替换出来。再把第64~67块分别放到cache第0~3组的第0行中,每块也都是第一次在cache中没有找到,调入后,每次都能在cache中找到。

综上所述,第一次循环中,每一块都只有第一单元未命中,其余都命中。

以后的15次循环中,因为cache第4~15组的48行中的主存块一直没有被替换过,所以只有68-48=20个行中对应主存块的第一个单元未命中,其余都命中。

总访问次数为 $4345 \times 16 = 69520$ ,其中,未命中次数为 $68 + 15 \times 20 = 368$ 。

命中率  $p$  为  $(69520 - 368) / 69520 = 99.47\%$ 。平均访存时间约为  $t_a = t_c + (1 - p) \times t_m = 20ns + 200 \times (1 - 0.9947)ns = 20ns + 1.06ns = 21.06ns$ 。

3. 以下是计算两个向量点积的程序段:

```
float dotproduct (float x[8], float y[8])
{
    float sum = 0.0;
    int i;
    for (i = 0; i < 8; i++)
        sum += x[i] * y[i];
    return sum;
}
```

请回答下列问题。

(1) 访问数组  $x$  和  $y$  时的时间局部性和空间局部性各如何?你能否推断出命中率的高低?

(2) 假定数据 cache 采用直接映射方式,数据区容量为 32 字节,每个主存块大小为 16 字节;编译器将变量  $sum$  和  $i$  分配在寄存器中,数组  $x$  存放在 00000040H 开始的 32 字节的连续存储区中,数组  $y$  则紧跟在  $x$  后进行存放。该程序数据访问的命中率是多少?要求说明每次访问时 cache 的命中情况。

(3) 将上述 (2) 中的数据 cache 改用 2-路组相联映射方式,块大小改为 8 字节,其他条件不变,则该程序数据访问的命中率是多少?

(4) 在上述 (2) 中条件不变的情况下,将数组  $x$  定义为  $float[12]$ ,则数据访问的命中率是多少?

答:

(1) 数组  $x$  和  $y$  都按存放顺序访问,空间局部性都较好,但每个数组元素都只被访问一次,故没有时间局部性。命中率的高低与 cache 容量、块大小、映射方式等都有关,而题干中没有给出这些信息,因此无法推断命中率的高低。

(2) cache 共有  $32B / 16B = 2$  行;4 个数组元素占一个主存块;数组  $x$  的 8 个元素 (共 32B) 分别存放在主存 40H 开始的 32 个单元中,共有 2 个主存块,其中  $x[0] \sim x[3]$  在第 4 块,

$x[4] \sim x[7]$  在第 5 块中；数组  $y$  的 8 个元素分别在主存第 6 块和第 7 块中。所以， $x[0] \sim x[3]$  和  $y[0] \sim y[3]$  都映射到 cache 第 0 行； $x[4] \sim x[7]$  和  $y[4] \sim y[7]$  都映射到 cache 第 1 行。因为  $x[i]$  和  $y[i]$  总是映射到同一个 cache 行，相互淘汰对方，故每次都不命中，命中率为 0。

(3) 改用 2-路组相联，块大小改为 8B，则 cache 共有 4 行，每组两行，共两组。两个数组元素占一个主存块。数组  $x$  占 4 个主存块，数组元素  $x[0] \sim x[1]$ 、 $x[2] \sim x[3]$ 、 $x[4] \sim x[5]$ 、 $x[6] \sim x[7]$  分别在第 8~11 块中；数组  $y$  占 4 个主存块，数组元素  $y[0] \sim y[1]$ 、 $y[2] \sim y[3]$ 、 $y[4] \sim y[5]$ 、 $y[6] \sim y[7]$  分别在第 12~15 块中；因为每组有两行，所以  $x[i]$  和  $y[i]$  可以存放到同一个 cache 组的不同 cache 行内，因此，不会发生冲突。每调入一块，装入的 2 个数组元素中，第 2 个数组元素总是命中，故命中率为 50%。

(4) 将数组  $x$  定义为 12 个元素后，则  $x$  共有 48B，使得  $y$  从主存第 7 块开始存放，即： $x[0] \sim x[3]$  在第 4 块， $x[4] \sim x[7]$  在第 5 块， $x[8] \sim x[11]$  在第 6 块中， $y[0] \sim y[3]$  在第 7 块， $y[4] \sim y[7]$  在第 8 块。因而， $x[i]$  和  $y[i]$  就不会映射到同一个 cache 行中。每调入一块，装入 4 个数组元素，第一个元素不命中，后面 3 个总命中，故命中率为 75%。