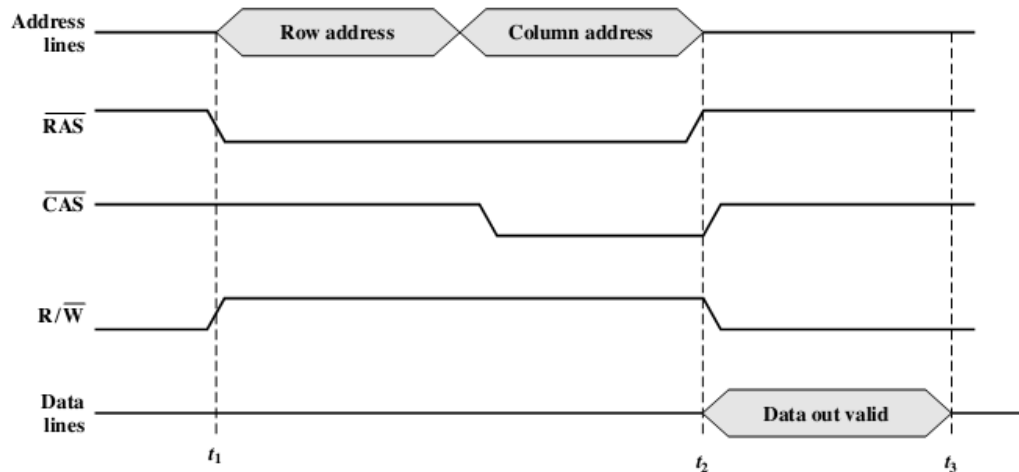


“计算机组织结构” 作业 02

1. 假设采用分散式刷新，下图表示一个 DRAM 经由总线的读操作的简化时序。存取时间认为是由 t_1 到 t_2 。由 t_2 到 t_3 是刷新时间，此期间 DRAM 芯片必须再充电，然后处理器才能再次存取它们。



- a) 假定存取时间是 60ns，刷新时间是 40ns。问：存储周期是多少（单位：ns，精度：整数）？假定 1 位输出，这个 DRAM 所支持的最大数据传输率是多少（单位 Mbps，精度：整数）？
- b) 使用这些芯片构成一个 32 位宽的存储器系统，其产生的数据传输率是多少（单位 Mbps，精度：整数）？
2. 已知某机主存容量为 64KB，按字节编址。假定用 $1K \times 4$ 位的 DRAM 芯片构成该存储器，请问：
- a) 需要多少个这样的 DRAM 芯片？
- b) 主存地址共多少位？高几位用于选片？低几位用于片内选址？
3. 假定用 $8K \times 8$ 位的 EPROM 芯片组成 $32K \times 16$ 位的只读存储器，请问
- a) 数据寄存器（用于存放数据）最少应有多少位？
- b) 地址寄存器（用于存放地址）最少应有多少位？
- c) 共需要多少个 EPROM 芯片？