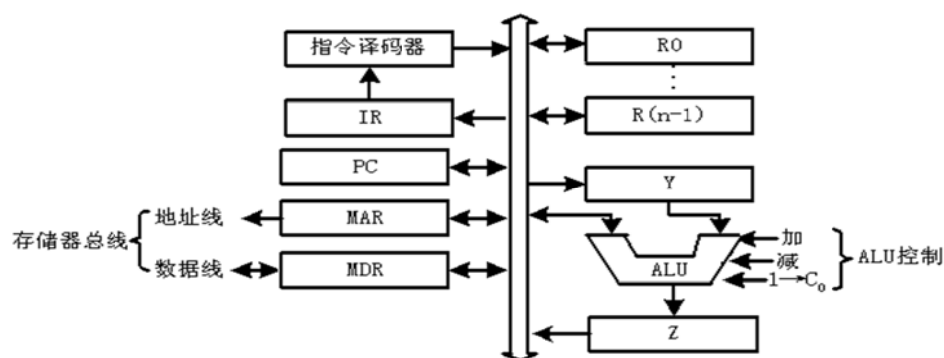


1. 下列有关 CPU 中部分部件的功能的描述中，错误的是（ D ）。
 - A. 控制单元用于对指令操作码译码并生成控制信号
 - B. PC 称为程序计数器，用于存放将要执行的指令的地址
 - C. 通过将 PC 按当前指令长度增量，可实现指令的按序执行
 - D. IR 称为指令寄存器，用来存放当前指令的操作码
2. 执行完当前指令后，PC 中存放的是后继指令的地址，因此 PC 的位数和（ C ）的位数相同。
 - A. 指令寄存器 IR
 - B. 指令译码器 ID
 - C. 主存地址寄存器 MAR
 - D. 程序状态字寄存器 PSWR
3. 通常情况下，下列（ D ）部件不包含在中央处理器（CPU）芯片中。
 - A. ALU
 - B. 控制器
 - C. 通用寄存器
 - D. DRAM
4. 下列有关程序计数器 PC 的叙述中，错误的是（ B ）。
 - A. 每条指令执行后，PC 的值都会被改变
 - B. 指令顺序执行时，PC 的值总是自动加 1
 - C. 调用指令执行后，PC 的值一定是被调用过程的入口地址
 - D. 无条件转移指令执行后，PC 的值一定是转移目标地址
5. CPU 取出一条指令并执行所用的时间被称为（ D ）。
 - A. 时钟周期
 - B. CPU 周期
 - C. 机器周期
 - D. 指令周期
6. 下列有关指令周期的叙述中，错误的是（ B ）。
 - A. 指令周期的第一个阶段一定是取指令阶段
 - B. 乘法指令和加法指令的指令周期总是一样长
 - C. 一个指令周期由若干个机器周期或时钟周期组成
 - D. 相对于 RISC，CISC 风格处理器的指令周期更长
7. 下列有关 CPU 时钟信号的叙述中，错误的是（ A ）。
 - A. 处理器总是每来一个时钟信号就开始执行一条新的指令
 - B. 边沿触发指状态单元总在时钟上升沿或下降沿开始改变状态
 - C. 时钟周期以相邻状态单元之间最长组合逻辑延迟为基准确定
 - D. 每个时钟周期称为一个节拍，机器的主频就是时钟周期的倒数
8. 下列有关数据通路的叙述中，错误的是（ D ）。
 - A. 数据通路由若干操作元件和状态元件连接而成
 - B. 数据通路的功能由控制部件送出的控制信号决定
 - C. ALU 属于操作元件，用于执行各类算术和逻辑运算
 - D. 通用寄存器属于状态元件，但不包含在数据通路中
9. 下列有关 RISC 特征的描述中，错误的是（ C ）。

- A. 指令格式规整，寻址方式少
- B. 采用硬连线控制和指令流水线
- C. 配置的通用寄存器数目不多
- D. 运算类指令的操作数不访存

10. 假定在如下图所示的单总线数据通路中，总线传输延迟和 ALU 运算时间分别是 20ps 和 200ps，寄存器建立时间为 10ps，寄存器保持时间为 5ps，寄存器的锁存延迟 (Clk-to-Q time) 为 4ps，控制信号的生成延迟 (Clk-to-signal time) 为 7ps，三态门接通时间为 3ps，则从当前时钟到达开始算起，完成以下操作的最短时间是多少？各需要几个时钟周期？
- (1) 将数据从一个寄存器传送到另一个寄存器。
- (2) 将程序计数器 PC 加 1。



答：

图 5.2 单总线数据通路中主要路径的定时

(1) 寄存器之间进行传送的时间延迟至少为 $7+3+20+10=40\text{ps}$ 。在这个寄存器数据传送过程中，只需要在一个寄存器中保存信息，因此只需要一个时钟周期就可完成该操作。

(2) 将 PC 中的内容加 1 送 PC，被分解成以下两个过程：PC 加 1 送 Z、Z 送 PC。对于第一个过程，其延迟至少为 $7+3+20+200+10=240\text{ps}$ ；第二个过程实现的是寄存器之间的传送，因此延迟至少为 40ps 。因为在该操作过程中保存了两次信息，所以需要两个时钟周期才能完成该操作。