

## “计算机组织结构”作业 03 参考答案

1. 计算机系统包含容量为  $32K \times 16$  位的主存，按字编址，每字 16 位。Cache 采用 4 路组关联的映射方式，数据区大小为 4K 字，主存块大小为 64 字。假设 Cache 初始时是空的，处理器顺序地从存储单元（每个存储单元中包含 1 个字）0, 1, ..., 4351 中取数，然后再重复这一顺序 9 次，并且 Cache 的速度是主存的 10 倍，同时假设块替换用 LRU 算法。请说明使用 Cache 后的速度为原来的多少倍（精度：小数点后 1 位）。

主存地址为：标记 5，组号 4，块内地址 6

$4352/64=68$ ，即在前 68 块中操作 10 次，第一个轮回 68 次全部未命中，第二个轮回 0, 1, 2, 3 四个组分别有编号未命中，未命中号为：0, 1, 2, 3, 16, 17, 18, 19, 32, 33, 34, 35, 48, 49, 50, 51, 64, 65, 66, 67 共 20 次（因为只有四路，所以读取 64~67 的时候替换 0, 1, 2, 3 那一路，下一次读取 0, 1, 2, 3 的时候因为是 LRU 就去替换 16~19 那一路。以下类推，轮番替换，所以上面这 20 个数是永远未命中的）得命中率为  $P=(4352*10-68-20*9)/43520=99.43\%$

设 cache 的读取时间为 T，则主存的读取时间为 10T，则使用缓存后，系统效率提高到原来的 N 倍，N 为： $N=10T/(T+10*0.0057T)=9.5$

2. 考虑一个每行 16 个字节的 4 行 Cache，主存按每块 16 个字节划分，即块 0 有地址 0 到 15 的 16 个字节，等等。先考虑以程序，它以如下地址顺序访问主存：

一次：63~70

循环 10 次：15~32, 80~95

- (a) 假设 Cache 组织成直接映射式。块 0、4、... 指派到行 0，块 1、5、... 指派到行 1，如此类推。请计算命中率（形式：小数，非百分数；精度：小数点后 3 位）。
- (b) 假设 Cache 组织成两路组关联映射式，共有两组，每组两行。偶序号块指派到组 0，奇序号块指派到组 1。使用 LRU 替换策略，请计算命中率（形式：小数，非百分数；精度：小数点后 3 位）。

(a) 一次有 63, 64 未命中，循环第一次有 15, 16, 32, 80 未命中，以后 9 次有 16, 80 未命中，所以命中率  $P=(8+18*10+16*10-2-4-2*9)/348=0.931$  [张鹤腾, 121250206]

(b) 前面一样，后 9 次循环都命中，所以  $P=(348-6)/348=0.983$

3. 考虑一个存取时间为 1ns 和命中率  $H=0.95$  的 L1 Cache。假设我们修改了此 Cache 的设计（Cache 的容量、组织），从而是命中率提升到 0.97，但也使存取时间增大到 1.5ns。如果要使得新设计能导致性能改善，cache 的速度必须是贮存的多少倍以上（精度：整数）？

设主存速度为 cache 的  $1/T$  倍，则主存读写所耗为 Tns，必须满足：

$T*(1-0.95)+1 > T*(1-0.97)+1.5$  算得  $T > 25$ ，即 cache 的速度需要是主存的 25 倍以上。

4. 假设主存中的 5 个块 {1, 2, 3, 4, 5} 映射到 cache 的同一组，对于主存块访问地址流 {1, 2, 3, 4, 1, 2, 5, 1, 2, 3, 4, 5}，计算以下情况下的命中率（形式：小数，非百分数；精度：小数点后 3 位）：

- a) 采用 3-路组关联和 LRU 算法



			4	4	4	4	4	4	4	4	4
						5	5	5	5	5	5

$$P=7/12=0.583$$

5. 假设某处理器的时钟频率为 1.2GHz，当 L1 cache 无缺失时的 CPI 为 1（即 CPU 可以快速地从 L1 cache 中读取指令，并在 1 个时钟周期内完成）。访问一次主存的时间为 100ns（包括所有缺失处理），L1 cache 的局部缺失率为 2%。若增加一个 L2 cache，并假定 L2 cache 的访问时间为 5ns，而且其容量足够大到使全局缺失率仅为 0.5%。分析增加 L2 cache 后处理器执行程序的效率为原来的多少倍（精度：小数点后 3 位）？

CPU 时钟周期为  $1/1.2\text{GHz}=0.833\text{ns}$

未增加 L2 时读一条指令平均耗时： $T_1=5/6+100*2\%=2.833\text{ns}$

增加 L2 后： $T_2=5/6\text{ns}+2\%*5\text{ns}+100*0.5\%\text{ns}=1.433\text{ns}$

则效率提高到了原来的  $T_1/T_2=1.977$  倍

6. 某计算机的主存地址空间为 256MB，按字节编址，指令 Cache 分离，均有 8 个 Cache 行，每个 Cache 行的大小为 64MB，数据 Cache 采用直接映射方式，现有两个功能相同的程序 A 和 B，其伪代码如下所示：

<p>程序 A:</p> <pre>int a[256][256]; ..... int sum_array 1( ) {     int i, j, sum=0;     for(i=0;i&lt;256;i++)     for (j=0;j&lt;256;j++)         sum +=a[i][j];     return sum; }</pre>	<p>程序 B:</p> <pre>int a[256][256]; ..... int sum_array 2( ) {     int i, j, sum=0;     for(j=0;j&lt;256;j++)     for (i=0;i&lt;256;i++)         sum +=a[i][j];     return sum; }</pre>
--	--

假定 int 类型数据用 32 位补码表示，程序编译时 i、j、sum 均分配在寄存器中，数组 a 的首地址为 320（十进制）。

- 若不考虑用于 Cache 一致维护和替换算法的控制位，则数据 Cache 的总容量为多少（单位：字节）？
- 数组元素  $a[0][31]$  和  $a[1][1]$  各自所在的主存块对应的 Cache 行号分别是多少（Cache 行号从 0 开始）？
- 程序 A 和 B 的数据访问命中率各是多少（形式：小数，非百分数；精度：小数点后 3 位）？

a) 数据 Cache 有 8 个行，每个行为 64B，所以总容量为  $64\text{B}*8=512\text{B}$

b) 内存大小为 256MB，按字节寻址，所以地址为 28 位；每个块大小为 64B，块内地址

为 6 位；Cache 有 8 行，行号为 3 位；所以标记位为  $28-6-3=19$  位。

数组 a 首地址为 320, 每个元素占 4 个字节, 所以  $a[0][31]$  的地址为:  $320+4*31=444$  (十进制), 即  $0\cdots0110111100$  (二进制), 所以行号为 110 (二进制) 即 6。

$a[1][1]$  的地址为:  $320+(256*1+1)*4=1348$  (十进制), 即  $0\cdots010101000100$  (二进制), 所以行号为 101 (二进制) 即 5。

- c) 数组 a 的大小为  $256*256*4B=2^{18}B$ , 占  $2^{18}B/64=2^{12}$  个内存块, 按行优先存放。程序 A 逐行访问数组 a, 未命中次数未  $2^{12}$ , 所以命中率为  $(2^{16}-2^{12})/2^{16}=0.938$ 。程序 B 逐列访问数组 a, 由于数组 a 一行的数据量  $256*4B=1KB>64B$ , 所以访问第 0 列时每个元素都不命中。由于数组 a 为 256 列, cache 仅有 8 行, 当访问数组后续列时依然不命中。所以命中率为 0.000。

===== 分割线：以下内容不在小程序上提交 =====

7. 一个组关联 Cache 由 64 个行组成, 每组 4 行。主存储器包含 4K 个块, 每块 128 字, 请表示主存地址的格式。

由每块 128 字得到块内地址长 7 位, 64 行每组 4 行得一共 16 组, 需要 4 位表示, 标记需要  $12(4K)-4(组号)=8$  位

标记	组号	块内地址
8	4	7

8. 一个两路组关联的 Cache 具有 8K 字节的容量, 每行 16 字节。64M 字节的主存时字节可寻址的 (即以字节为单位进行访问)。请给出主存地址格式。

根据每行 16 个字节, 算出块内地址为 4; 根据  $2^9$  行和 2 路组, 算出组号为 8 位; 根据主存为 64M 和每个块有 16 个字, 算出有  $2^{22}$  个块, 从而标记的位数为  $22-8=14$ 。即:

标记	组号	块内地址
14	8	4

[花霞, 121250049]

9. 假设 Cache 有 4K 字, 每行 32 字。对十六进制主存地址: 111111、666666、BBBBBB, 请用十六进制格式表示如下信息: (1) 直接映射 Cache 的地址格式, (2) 全关联映射 Cache 的地址格式, (3) 两路组关联 Cache 的地址格式。(提示: 每个映射方式下, 需要将标记、块内地址等分开表示。)[刘璟 121250083]

1) 共 6 位说明地址长 24, cache 一共有  $4K/32=2^7$  行, 即标记 12 行号 7 块内地址 5

标记(12 位)	行号(7 位)	块内地址(5 位)
111	08	11
666	33	06
BBB	5D	1B

2) 块号 19, 块内地址 5

块号(19 位)	块内地址(5 位)
08888	11
33333	06
5DDDD	1B

3) 7 行两组表示, 则组号 6。即标记 13, 组号 6, 块内地址 5

标记(13 位)	组号(6 位)	块内地址(5 位)
0222	08	11
0CCC	33	06
1777	1D	1B

10. 对一个有两级 Cache 的系统, 定义:  $T_{c1}$  = 第一级 Cache 存取时间;  $T_{c2}$  = 第二级 Cache 存取时间;  $H_1$  = 第一级 Cache 命中率;  $H_2$  = 组合的第一/二级 Cache 命中率。请给出读操作时间的表示。(提示: 需要假设主存的存取时间)

设主存存取时间为  $T_m$

$$T_{read} = T_{c1} + (1 - H_1) * T_{c2} + (1 - H_2) * T_m$$