

第一章 基本知识

1.1 什么是数字信号？什么是模拟信号？试各举一例。

解答：

在时间上和数值上均作离散变化的物理信号称为离散信号，离散信号的变化可以用不同的数字反映，所以又称为数字信号，如学生的成绩单、电路开关等等。

在时间上和数值上均作连续变化的物理信号称为连续信号，在工程应用中，为了处理和传送方便，通常用一种连续信号去模拟另一种连续信号，因此习惯将连续信号称为模拟信号，如温度、压力等等。



1.2 数字逻辑电路具有哪些主要特点？

解答：

数字逻辑电路具有以下特点：

- （1）电路的基本工作信号是二值信号。它表现为电路中电压的“高”或“低”、开关的“接通”或“断开”等等。
- （2）电路中的半导体器件一般都工作在开、关状态，对电路进行研究时，主要关心输入和输出之间的逻辑关系。
- （3）电路结构简单、功耗低、便于集成制造和系列化生产。产品价格低廉、使用方便、通用型好。
- （4）由数字逻辑电路构成的数字系统工作速度快、精度高、功能强、可靠性好。

应用具有以上特点，数字逻辑电路的应用十分广泛。



1.3 数字逻辑电路可分为哪两种类型？主要区别是什么？

解答：

根据一个电路有无记忆功能，可将数字逻辑电路分为组合逻辑电路和时序逻辑电路。如果一个逻辑电路在任何时刻的稳定输出仅取决于该时刻的输入，而与电路过去的输入无关，则称为组合逻辑电路。由于这类电路的输出与过去的输入信号无关，所以不需要有记忆功能。如果一个逻辑电路在任何时刻的稳定输出不仅取决于该时刻的输入，而与电路过去的输入相关，则称为时序逻辑电路。由于这类电路的输出与过去的输入信号相关，所以要有记忆功能，要用电路中的记忆元件的状态来反映过去的输入信号。



1.4 最简电路是否一定最佳？为什么？

解答：

最简电路并不一定是最佳电路。最佳电路应满足全面的性能指标和实际应用要求。



1.5 把下列不同进制数写成按权展开形式。

$$(1) (4517.293)_{10}$$

$$(3) (325.744)_8$$

$$(2) (10110.0101)_2$$

$$(4) (785.4AF)_{16}$$

解答:

$$(1) (4517.293)_{10} = 4 \times 10^3 + 5 \times 10^2 + 1 \times 10^1 + 7 \times 10^0 + 2 \times 10^{-1} + 9 \times 10^{-2} +$$

$$3 \times 10^{-3} \\ (2) (10110.0101)_2 = 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4}$$

$$(3) (325.744)_8 = 3 \times 8^2 + 2 \times 8^1 + 5 \times 8^0 + 7 \times 8^{-1} + 4 \times 8^{-2} + 4 \times 8^{-3}$$

$$(4) (785.4AF)_{16} = 7 \times 16^2 + 8 \times 16^1 + 5 \times 16^0 + 4 \times 16^{-1} + 10 \times 16^{-2} + 15 \times 16^{-3}$$



1.6 将下列二进制数转换成十进制数、八进制数和十六进制数。

(1) 1110101 (2) 0.1110101 (3) 10111.01

解答:

$$\begin{aligned}(1) \quad (1110101)_2 &= 1 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + \\ &\quad 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 \\ &= 64 + 32 + 16 + 0 + 4 + 0 + 1 \\ &= (117)_{10} = (165)_8 = (75)_{16}\end{aligned}$$

$$\begin{aligned}(2) \quad (0.1110101)_2 &= 1 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} \\ &\quad + 0 \times 2^{-5} + 1 \times 2^{-6} \\ &= 0.5 + 0.25 + 0 + 0.0625 + 0 + 0.015625 \\ &= (0.828125)_{10} = (0.65)_8 = (D4)_{16}\end{aligned}$$



$$\begin{aligned}
 (3) \quad (10111.01)_2 &= 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + \\
 &\quad 0 \times 2^{-1} + 1 \times 2^{-2} \\
 &= 16 + 4 + 2 + 1 + 0 + 0.25 \\
 &= (23.25)_{10} = (27.2)_8 = (17.4)_{16}
 \end{aligned}$$

1.7 将下列十进制数转换成二进制数、八进制数和十六进制数(精确到小数点后4位)。

$$(1) \quad 29 \quad (2) \quad 0.27 \quad (3) \quad 33.33$$

解答:

$$\begin{aligned}
 (1) \quad 29 &= (11101)_2 = (65)_8 = (1D)_{16} \\
 (2) \quad 0.27 &= (0.0100)_2 = (0.21)_8 = (0.4)_{16} \\
 (3) \quad 33.33 &= (100001.0101)_2 \\
 &= (41.24)_8 = (41.2508)_8 = (41.2507)_8 \\
 &= (21.5)_{16} = (21.547B)_{16} = (21.547A)_{16}
 \end{aligned}$$



1.8 如何判断一个二进制数 $B=b_6b_5b_4b_3b_2b_1b_0$ 能否被(4)整除?

解答:

因为 $B = b_6b_5b_4b_3b_2b_1b_0$, 所以 $(B)_2 = b_6 \times 2^6 + b_5 \times 2^5$

$+ b_4 \times 2^4 + b_3 \times 2^3 + b_2 \times 2^2 + b_1 \times 2^1 + b_0 \times 2^0$, 很显然 ,
 $b_6 \times 2^6$

$+ b_5 \times 2^5 + b_4 \times 2^4 + b_3 \times 2^3 + b_2 \times 2^2$ 可以被4即2整除, 所以当

$b_1 \times 2^1 + b_0 \times 2^0$ 能被2整除时, B 可以被4整除。因为 b_1 、
 b_0

只能取0和1, 所以, 当 $b_1 = b_0 = 0$ 时, B 可以被4整除。



1.9 写出各数的原码、反码和补码。

(1) 0.1011 (2) -10110

解答:

| | 0.1011 | -10110 |
|----|--------|--------|
| 原码 | 0.1011 | 110110 |
| 反码 | 0.1011 | 101001 |
| 补码 | 0.1011 | 101010 |

1.10 已知 $[N]_{\text{补}} = 1.0110$, 求 $[N]_{\text{原}}$ 、 $[N]_{\text{反}}$ 和 N .

解答:

原码: 1.1010 反码: 1.0101 $N = -0.1010$

1.11 将下列余3码转换成十进制数和2421码。

(1) 0110 1000 0011 (2) 0100 0101.1001

解答:

| | | |
|--------|----------------|----------------|
| | 0110 1000 0011 | 0100 0101.1001 |
| 8421码: | 0011 0101 0000 | 0001 0010.0110 |
| 十进制: | 350 | 12.6 |
| 2421码: | 0011 1011 0000 | 0001 0010.1100 |

1.12 试用8421码和Gray码分别表示下列各数。

(1) $(111110)_2$

(2) $(1100110)_2$

解答:

$$\begin{aligned}(1) \quad (111110)_2 &= (62)_{10} \\ &= (0110 \ 0010)_{8421} \\ &= (100001)_{\text{Gray}}\end{aligned}$$

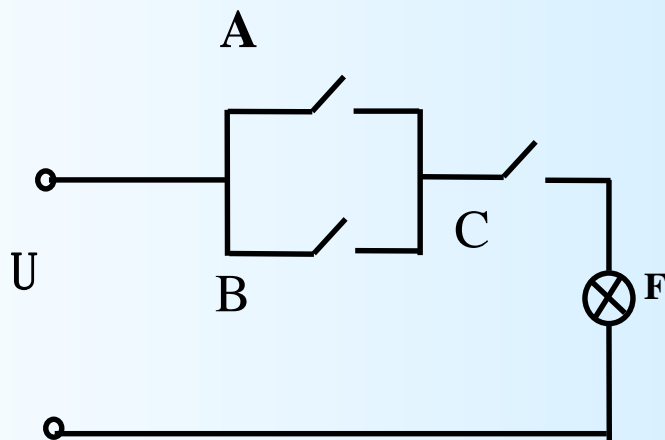
$$\begin{aligned}(2) \quad (1100110)_2 &= (102)_{10} \\ &= (0001 \ 0000 \ 0010)_{8421} \\ &= (1010101)_{\text{Gray}}\end{aligned}$$

第二章

逻辑代数基础

2.1 假定一个电路中，指示灯F和开关A、B、C的关系为：
 $F = (A+B)C$ ，试画出相应的电路图。

解答：



2.2 用逻辑代数的公理、定理和规则证明下列表达式。

$$(1) \quad \overline{(AB + \overline{AC})} = \overline{AB} + \overline{\overline{AC}}$$

$$(2) \quad AB + \overline{AB} + \overline{AB} + \overline{\overline{AB}} = 1$$

$$(3) \quad \overline{A\overline{B}C} = \overline{A\overline{B}C} + \overline{A\overline{B}C} + \overline{A\overline{B}C}$$

$$(4) \quad ABC + \overline{A}\overline{B}\overline{C} = \overline{(\overline{AB} + \overline{BC} + \overline{AC})}$$

解答:

$$\begin{aligned} (1) \quad \text{左边} &= \overline{(AB + \overline{AC})} = \overline{AB} \cdot \overline{\overline{AC}} \quad (\text{定理6}) = (\overline{A} + \overline{B})(A + \overline{C}) \\ &\quad (\text{定理6}) = \overline{AB} + \overline{AC} + \overline{BC} \quad (\text{分配率}) = \overline{AB} + \overline{AC} \\ &\quad (\text{定理8}) = \text{右边} \end{aligned}$$

解答:

$$\begin{aligned}(2) \text{ 左边} &= AB + A\bar{B} + \bar{A}B + \bar{A}\bar{B} = A(B + \bar{B}) + \bar{A}(B + \bar{B}) \quad (\text{结合率}) \\ &= A + \bar{A} \quad (\text{互补率}) = 1 = \text{右边}\end{aligned}$$

$$\begin{aligned}(3) \text{ 左边} &= A(\bar{A} + \bar{B} + \bar{C}) = A\bar{B} + A\bar{C} = A\bar{B}(C + \bar{C}) + A\bar{C}(B + \bar{B}) \\ &= A\bar{B}C + A\bar{B}\bar{C} + A\bar{C}B + A\bar{C}\bar{B} = A\bar{B}C + A\bar{B}\bar{C} + A\bar{C}B \\ &= \text{右边}\end{aligned}$$

$$\begin{aligned}(4) \text{ 右边} &= \overline{(\bar{A}\bar{B} + \bar{B}\bar{C} + \bar{A}\bar{C})} = \overline{\bar{A}\bar{B}} \cdot \overline{\bar{B}\bar{C}} \cdot \overline{\bar{A}\bar{C}} \\ &= (\bar{A} + B)(\bar{B} + C)(A + \bar{C}) \\ &= \overline{ABC} + \overline{ABC} = \text{右边}\end{aligned}$$

2.3 用真值表验证下列表达式。

$$(1) \quad A\bar{B} + \bar{A}B = (\bar{A} + \bar{B})(A + B)$$

$$(2) \quad (\bar{A} + \bar{B})(A + B) = \overline{AB + \bar{A}\bar{B}}$$

解答：

$$A\bar{B} + \bar{A}B = (\bar{A} + \bar{B})(A + B)$$

| AB | $(\bar{A} + \bar{B})(A + B)$ | $A\bar{B} + \bar{A}B$ |
|----|------------------------------|-----------------------|
| 00 | 0 | 0 |
| 01 | 1 | 1 |
| 10 | 1 | 1 |
| 11 | 0 | 0 |

$$(\bar{A} + \bar{B})(A + B) = \overline{AB + \bar{A}\bar{B}}$$

| AB | $(\bar{A} + \bar{B})(A + B)$ | $\overline{AB + \bar{A}\bar{B}}$ |
|----|------------------------------|----------------------------------|
| 00 | 0 | 0 |
| 01 | 1 | 1 |
| 10 | 1 | 1 |
| 11 | 0 | 0 |

2.4 求下列函数的反函数和对偶函数。

$$(1) F = AB + \overline{A}\overline{B}$$

$$(2) F = (A + B)(\overline{A} + C)(C + DE) + \overline{E}$$

$$(3) F = [\overline{A}\overline{B} + (C + D)\overline{A}C]$$

$$(4) F = A[\overline{B} + (CD + \overline{E})G]$$

解答:

(1)

$$F = AB + \overline{A}\overline{B}$$

反函数:

$$\overline{F} = \overline{AB + \overline{A}\overline{B}} = (\overline{A} + \overline{B})(A + B) = \overline{A}B + A\overline{B}$$

对偶函数:

$$F' = (\overline{A} + \overline{B})(A + B) = \overline{A}B + A\overline{B}$$

(2)

$$F = (A + B)(\overline{A} + C)(C + DE) + \overline{E}$$

反函数:

$$\overline{F} = (\overline{A}\overline{B} + A\overline{C} + \overline{C}(\overline{D} + \overline{E}))\overline{E} = \overline{A}\overline{B}\overline{E} + A\overline{C}\overline{E} + \overline{C}\overline{D}\overline{E}$$

对偶函数:

$$F' = (AB + \overline{A}C + C(D + E))\overline{E} = AB\overline{E} + \overline{A}C\overline{E} + CDE\overline{E}$$



解答:

$$(3) \quad F = \overline{[\overline{AB} + (C + D)\overline{AC}]}$$

反函数: $\overline{F} = \overline{AB} + \overline{AC} + \overline{AD} + D\overline{C}$

对偶函数: $F' = A\overline{B} + (\overline{C} + \overline{D}) \bullet (A + C)$
 $= A\overline{B} + A\overline{C} + A\overline{D} + C\overline{D}$
 $= A\overline{B} + A\overline{C} + C\overline{D}$

$$(4) \quad F = A[\overline{B} + (C\overline{D} + \overline{E})G]$$

反函数: $\overline{F} = \overline{A} + B\overline{C}\overline{E} + BDE + B\overline{G}$

对偶函数: $F' = A + \overline{B}\overline{C}\overline{E} + \overline{B}\overline{D}\overline{E} + \overline{B}G$



2.5 回答下列问题:

(1) 如果已知 $X+Y=X+Z$, 那么 $Y=Z$ 。正确吗? 为什么?

(2) 如果已知 $XY=XZ$, 那么 $Y=Z$ 。正确吗? 为什么?

(3) 如果已知 $X+Y=X+Z$, 且 $XY=XZ$, 那么 $Y=Z$ 。正确吗? 为什么?

(4) 如果已知 $X+Y=XY$, 那么 $X=Y$ 。正确吗? 为什么?

解答:

(1) 不正确。如当 X 、 Y 、 Z 取值为1, 0, 1时。

(2) 不正确。如当 X 、 Y 、 Z 取值为0, 1, 0时。

(3) 正确。
$$Y = (Y + X)(Y + \bar{X}) = (Z + X)(Y + \bar{X}) = XY + YZ + \bar{X}Z$$

$$XZ + \cancel{YZ} + \bar{X}Z = Z + \cancel{YZ} = Z。$$

(4) 正确。
$$X = XY + \bar{X}\bar{Y} = X + Y + \bar{X}\bar{Y} = X + Y,$$

$$Y = XY + \bar{X}Y = X + Y + \bar{X}Y = X + Y,$$

所以, $X=Y$ 。

2.6 用逻辑代数的公理、定理和规则将下列逻辑函数化简为最简“与-或”表达式。

$$(1) F = AB + \overline{A}\overline{B}C + BC$$

$$(2) F = \overline{A}\overline{B} + B + BCD$$

$$(3) F = (A + B + C)(\overline{A} + B)(A + B + \overline{C})$$

$$(4) F = BC + D + \overline{D}(\overline{B} + \overline{C})(AC + B)$$

解答:

$$\begin{aligned} (1) F &= AB + \overline{A}\overline{B}C + BC = AB + (\overline{A}\overline{B} + B)C \\ &= AB + (\overline{A} + B)C = AB + \overline{A}C + BC \\ &= AB + \overline{A}C \end{aligned}$$

$$\begin{aligned} (2) F &= \overline{A}\overline{B} + B + BCD = \overline{A}\overline{B} + B(1 + CD) \\ &= \overline{A}\overline{B} + B = A + B \end{aligned}$$

解答:

$$\begin{aligned}(3) \quad F &= (A + B + C)(\bar{A} + B)(A + B + \bar{C}) \\ &= (A + B)(\bar{A} + B) \\ &= B\end{aligned}$$

$$\begin{aligned}(4) \quad F &= BC + D + \bar{D}(\bar{B} + \bar{C})(AC + B) \\ &= BC + D + \bar{A}\bar{B}\bar{C}\bar{D} + B\bar{C}\bar{D} \\ &= BC + D + \bar{A}\bar{B}C + B\bar{C} \\ &= B + D + \bar{A}\bar{B}C \\ &= B + D + AC\end{aligned}$$

2.7 将下列逻辑函数表示成“最小项之和”及“最大项之积”形式。

$$(1) \quad F(A, B, C, D) = \overline{B}\overline{C}\overline{D} + \overline{A}B + A\overline{B}\overline{C}D + BC$$

$$(2) \quad F(A, B, C, D) = \overline{(\overline{A}\overline{B} + ABD)} + (B + CD)$$

解答:

$$(1) \quad F(A, B, C, D) = \overline{B}\overline{C}\overline{D} + \overline{A}B + A\overline{B}\overline{C}D + BC$$

| AB \ CD | | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|----|
| CD | 00 | | 1 | 1 | |
| | 01 | | 1 | 1 | |
| | 11 | | 1 | 1 | |
| | 10 | | 1 | | |

所以, $F(A, B, C, D)$

$$= \sum m(4-7, 12-15)$$

$$= \prod M(0-3, 8-11)$$



解答:

$$\begin{aligned}
 (2) \quad F(A, B, C, D) &= \overline{(\overline{A}\overline{B} + ABD)} + (B + CD) \\
 &= \overline{\overline{A}\overline{B}ABD} + (B + CD) \\
 &= (A + B)(\overline{A} + \overline{B} + \overline{D}) + (B + CD) \\
 &= A + B + CD
 \end{aligned}$$

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | | 1 | 1 | 1 |
| 01 | | 1 | 1 | 1 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | | 1 | 1 | 1 |

所以, $F(A, B, C, D)$

$$= \sum m(3-15)$$

$$= \prod M(0-2)$$

2.8 用卡诺图化简法求出下列逻辑函数的最简“与-或”表达式和最简“或-与”表达式。

$$(1) F(A,B,C,D) = \overline{A}\overline{B} + \overline{A}\overline{C}D + AC + B\overline{C}$$

$$(2) F(A,B,C,D) = BC + D + \overline{D}(\overline{B} + \overline{C})(AD + B)$$

$$(3) F(A,B,C,D) = \prod M(2,4,6,10,11,12,13,14,15)$$

解答:

$$(1) F(A,B,C,D) = \overline{A}\overline{B} + \overline{A}\overline{C}D + AC + B\overline{C}$$

| AB | | 00 | 01 | 11 | 10 |
|----|----|----|----|----|----|
| CD | 00 | 1 | 1 | 1 | |
| | 01 | 1 | 1 | 1 | |
| | 11 | 1 | | 1 | 1 |
| | 10 | 1 | | 1 | 1 |

所以

$$\begin{aligned}
 F(A,B,C,D) &= \overline{A}\overline{B} + \overline{A}\overline{C}D + AC + B\overline{C} \\
 &= \overline{A}\overline{B} + AC + B\overline{C} \\
 &= (A + \overline{B} + \overline{C})(\overline{A} + B + C)
 \end{aligned}$$

解答:

$$(2) \quad F(A, B, C, D) = BC + D + \bar{D}(\bar{B} + \bar{C})(AD + B)$$

(2) 函数 $F(A, B, C, D) = BC + D + \bar{D}(\bar{B} + \bar{C})(AD + B)$ 的卡诺图如图3所示。

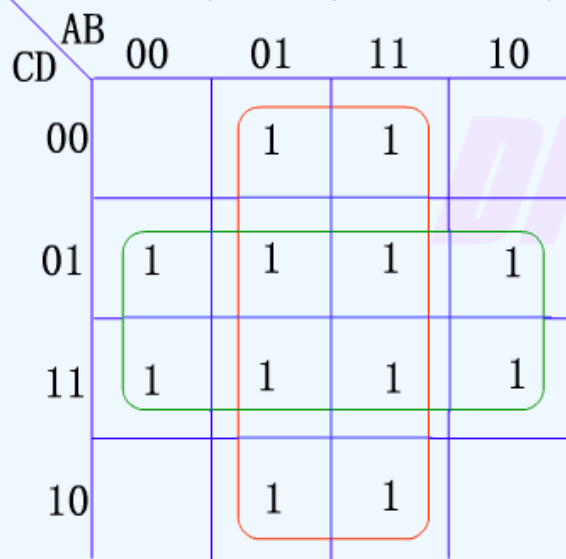


图 3

$$\begin{aligned} F(A, B, C, D) &= BC + D + \bar{D}(\bar{B} + \bar{C})(AD + B) \\ &= BC + D + (\bar{B}\bar{D} + \bar{C}\bar{D})(AD + B) \\ &= BC + D + \bar{B}\bar{C}\bar{D} \end{aligned}$$

$$F(A, B, C, D) = B + D$$

(既是最简与-或式，也是最简或-与式)

解答:

$$(3) \quad F(A,B,C,D) = \prod M(2,4,6,10,11,12,13,14,15)$$

$$(3) \text{ 函数 } F(A,B,C,D) = \prod M(2,4,6,10,11,12,13,14,15) = \text{m}(0,1,3,5,7,8,9)$$

的卡诺图如图 4 所示。

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | 1 | | | 1 |
| 01 | 1 | 1 | | 1 |
| 11 | 1 | 1 | | |
| 10 | | | | |

图 4

$$F(A,B,C,D) = \bar{A}\bar{D} + \bar{B}\bar{C}$$

(最简与-或式)

$$\bar{F}(A,B,C,D) = AB + AC + B\bar{D} + C\bar{D}$$

$$F(A,B,C,D) = (\bar{A} + \bar{B})(\bar{A} + \bar{C})(\bar{B} + D)(\bar{C} + D)$$

(最简或-与式)

end



习题课

9. 题目

用卡诺图判断函数F(A, B, C, D)和G(A, B, C, D)有何关系?

$$(1) F(A, B, C, D) = \overline{B}\overline{D} + \overline{A}\overline{D} + \overline{C}\overline{D} + A\overline{C}\overline{D}$$

$$G(A, B, C, D) = \overline{B}D + CD + \overline{A}\overline{C}D + ABD$$

$$(2) F(A, B, C, D) = (\overline{A}\overline{B} + \overline{A}B) \overline{C} + (\overline{A}\overline{B} + \overline{A}B) C$$

$$G(A, B, C, D) = \overline{AB + BC + AC} (A + B + C) + ABC$$

(2) 作出函数F和G的卡诺图分别如图7、图8所示。

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | | 1 | | 1 |
| 01 | | 1 | | 1 |
| 11 | 1 | | 1 | |
| 10 | 1 | | 1 | |

图 7

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | | 1 | | 1 |
| 01 | | 1 | | 1 |
| 11 | 1 | | 1 | |
| 10 | 1 | | 1 | |

图 8

由卡诺图可知，F和G相等，即：F = G

end

11. 题目

用列表法化简逻辑函数

$$F(A, B, C, D) = m(0, 2, 3, 5, 7, 8, 10, 11, 13, 15)$$

解答

$$F(A, B, C, D) = BD + \overline{B}\overline{D} + CD$$

或者

$$F(A, B, C, D) = BD + \overline{B}\overline{D} + \overline{B}C$$

(1) 作出函数F和G的卡诺图分别如图5、图6所示。

| AB \ CD | 00 | 01 | 10 | 11 |
|---------|----|----|----|----|
| 00 | 1 | 1 | 1 | 1 |
| 01 | | | | |
| 11 | | | | |
| 10 | 1 | 1 | 1 | 1 |

图 5

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | | | | |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | | | | |

图 6

由卡诺图可知，F和G互为反函数，即：F = \overline{G} , \overline{F} = G

2.10 如图2.15所示的卡诺图：

(1) 若 $b = \bar{a}$ ，当a取何值时能得到最简的“与—或”表达式？

(2) a和b各取何值时能得到最简的“与—或”表达式？

解答：

当a=0, b=1, 则 $F = \overline{AC} + \overline{BC} + \overline{ACD} + \overline{ABD} = \overline{AC} + \overline{BC} + \overline{ACD} + \overline{BCD}$

当a=1, b=0, 则 $F = \overline{CD} + \overline{BC} + \overline{ACD}$

当a=0, b=0, 则 $F = \overline{ACD} + \overline{BC} + \overline{ACD} + \overline{BCD}$

当a=1, b=1, 则 $F = \overline{CD} + \overline{BC} + \overline{AC}$

所以有

(1) 若 $b = \bar{a}$ ，当a取1时能得到最简的“与—或”表达式

(2) a=b=1时，则函数表达式最简。

第三章 集成门电路与触发器

3.1 根据所采用的半导体器件不同，集成电路可分为哪两大类？各自的主要优缺点是什么。

解答：

根据所采用的半导体器件不同，集成电路可分为两大类：一类是采用双极型半导体器件作为元件的双极型集成电路；另一类是采用金属-氧化物-半导体场效应管作为元件的单极型集成电路，又称MOS集成电路。双极型集成电路的主要特点是速度快、负载能力强，但功耗较大，集成度较低；MOS集成电路的特点是结构简单、制造方便、集成度高、功耗低，但速度较慢。

3.2 简述晶体二极管的静态特性。

解答：

1. 正向特性：

★正向电压 $U_F \leq U_{TH}$ ：管子截止，电阻很大、正向电流 I_F 接近于 0，二极管类似于开关的断开状态；

★正向电压 $U_F = U_{TH}$ ：管子开始导通，正向电流 I_F 开始上升；

★正向电压 $U_F > U_{TH}$ （一般锗管为0.3V，硅管为0.7V）：管子充分导通，电阻很小，正向电流 I_F 急剧增加，二极管类似于开关的接通状态。

2. 反向特性

二极管在反向电压 U_R 作用下，处于截止状态，反向电阻很大，反向电流 I_R 很小（将其称为反向饱和电流，用 I_S 表示，通常可忽略不计），二极管的状态类似于开关断开。而且反向电压在一定范围内变化基本不引起反向电流的变化。

3.3 晶体二极管的开关速度主要取决于什么？

解答：

晶体二极管的动态特性是指二极管在导通与截至两种状态转换过程中的特性，它表现在完成两种状态之间的转换需要一定的时间。通常把二极管从正向导通到反向截至所需要的时间称为反向恢复时间，而把二极管从反向截至到正向导通的时间称为开通时间。相比之下，开通时间很短，一般可以忽略不计。因此，晶体二极管的开关速度主要取决于反向恢复时间。

3.4 数字电路中，晶体三极管一般工作在什么状态？

解答：

在数字电路中，晶体三极管被作为开关元件一般工作在饱和与截至两种状态，相当于一个由基极信号控制的无触点开关，其作用对应于触点开关的“闭合”与“断开”。



3.5 晶体三极管的开关速度取决于哪些因素？为什么MOS管的开关速度比晶体三极管慢？

解答：

开通时间 t_{on} 和关闭时间 t_{off} 是影响电路工作速度的主要因素。由于MOS管导通时的漏源电阻 r_{DS} 比晶体三极管的饱和电阻 r_{CES} 要大得多，漏极外接电阻 R_D 也比晶体管集电极电阻 R_C 大，所以，MOS管的充、放电时间较长，使MOS管的开关速度比晶体三极管的开关速度低。

3.6 TTL与非门有哪些主要性能参数？

解答：

- (1) 输出高电平 V_{OH}
- (2) 输出低电平 V_{OL}
- (3) 开门电平 V_{ON} 开门电平的大小反映了高电平抗干扰能力， V_{ON} 愈小，在输入高电平时的抗干扰能力愈强。
- (4) 关门电平 V_{OFF} ： 关门电平的大小反映了低电平抗干扰能力， V_{OFF} 越大，在输入低电平时的抗干扰能力越强。
- (5) 扇入系数 N_i
- (6) 扇出系数 N_o
- (7) 输入短路电流 I_{is}
- (8) 高电平输入电流 I_{ih}
- (9) 平均传输延迟时间 t_{pd}
- (10) 空载功耗 P

3.7 OC门和TS门的结构与一般TTL与非门有何不同？各有何主要应用？

解答：

集电极开路门 (Open Collector Gate) 是一种输出端可以直接相互连接的特殊逻辑门，简称OC门。OC门电路将一般TTL与非门电路的推拉式输出级改为三极管集电极开路输出。

集电极开路与非门在计算机中应用很广泛，可以用它实现“线与”逻辑、电平转换以及直接驱动发光二极管、干簧继电器等。

三态输出门有三种输出状态：输出高电平、输出低电平和高阻状态，前两种状态为工作状态，后一种状态为禁止状态。

三态与非门主要应用于总线传送，它既可用于单向数据传送，也可用于双向数据传送。



3.8 有两个相同型号的TTL与非门，对它们进行测试的结果如下：

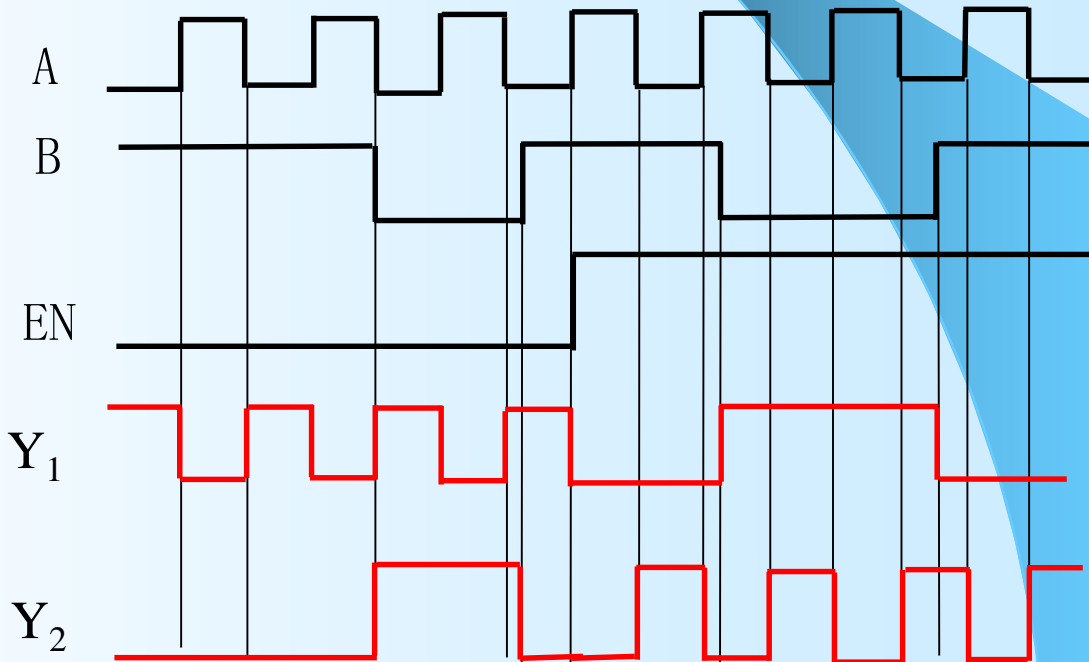
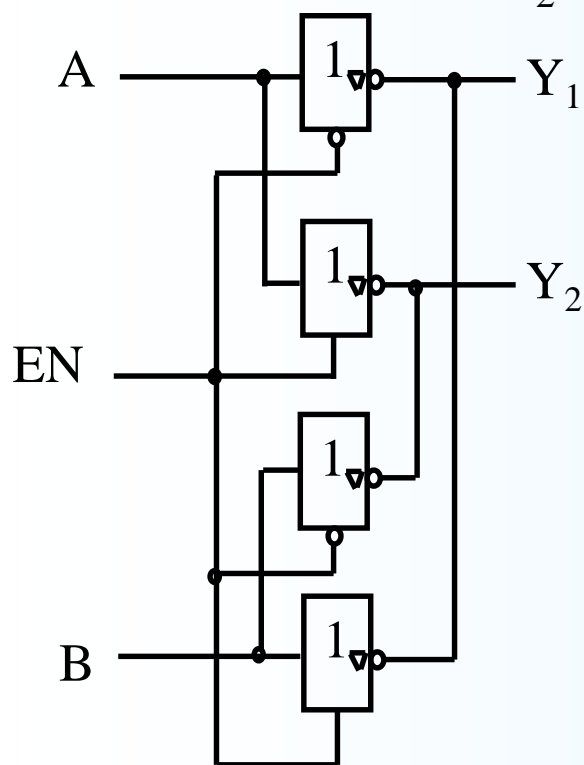
- (1) 甲的开门电平为1.4V，乙的开门电平为1.5V ；
 - (2) 甲的关门电平为1.0V，乙的开门电平为0.9V ；
- 试问在输入相同的高电平时，哪个抗干扰能力强？在输入相同低电平时，哪个抗干扰能力强？

解答：

对于TTL与非门来说，开门电平愈小，输入高电平时的抗干扰能力愈强；关门电平愈大，在输入低电平时抗干扰能力愈强。因此，在两种情况下，均是甲的抗干扰能力强。

3.9 图3.52 (a) 所示为三态门组成的总线换向开关电路，其中A、B为信号输入端，分别送两个频率不同的信号；EN为换向控制端，控制电平波形如图 (b) 所示。试画出 Y_1 、 Y_2 的波形。

解答：由图中可以看出，当 $EN=0$ 时， $Y_1 = \bar{A}$ ， $Y_2 = \bar{B}$ ；当 $EN=1$ 时， $Y_1 = \bar{B}$ ， $Y_2 = \bar{A}$ ，由此可以得到波形图如图中红线所示。



3.12 用与非门组成的基本R-S触发器和用或非门组成的基本R-S触发器在逻辑功能上有什么区别？

解答：

左表给出了由与非门构成的R-S触发器的逻辑功能。右表给出了由或非门构成的R-S触发器的逻辑功能。

基本R-S触发器功能表

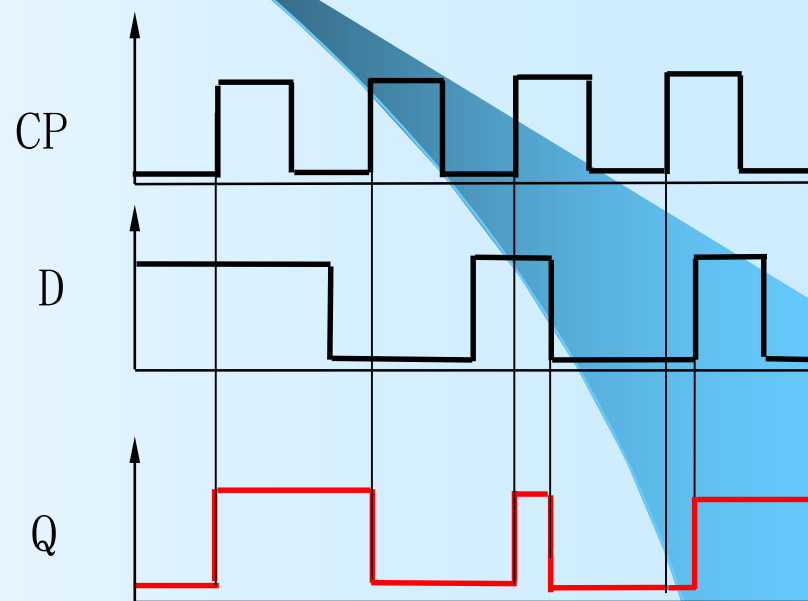
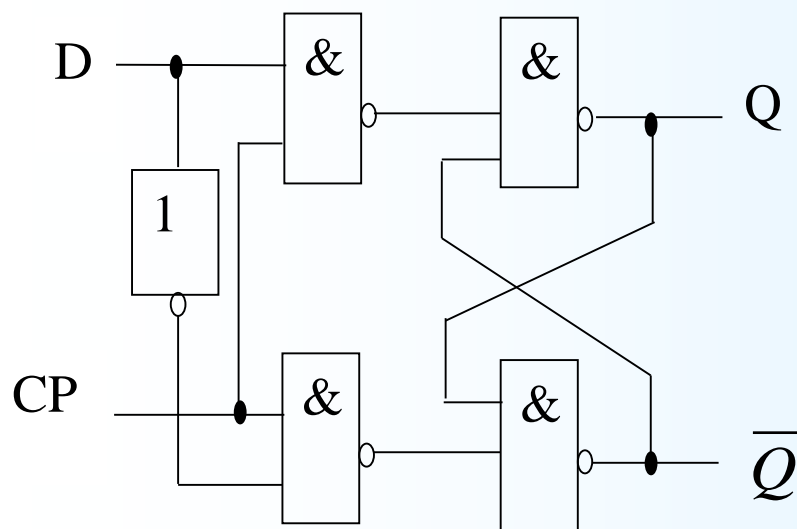
| RS | $Q^{(n+1)}$ | 功能说明 |
|-----|-------------|------|
| 0 0 | d | 不定 |
| 0 1 | 0 | 置 0 |
| 1 0 | 1 | 置 1 |
| 1 1 | Q | 不变 |

基本R-S触发器功能表

| RS | $Q^{(n+1)}$ | 功能说明 |
|-----|-------------|------|
| 0 0 | Q | 不变 |
| 0 1 | 1 | 置 1 |
| 1 0 | 0 | 置 0 |
| 1 1 | d | 不定 |

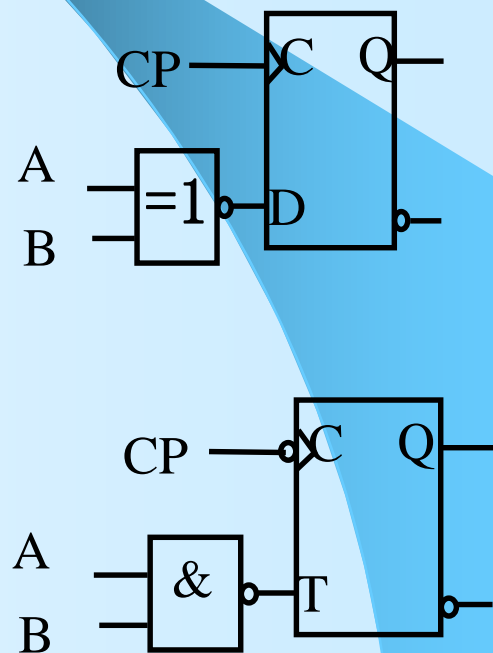
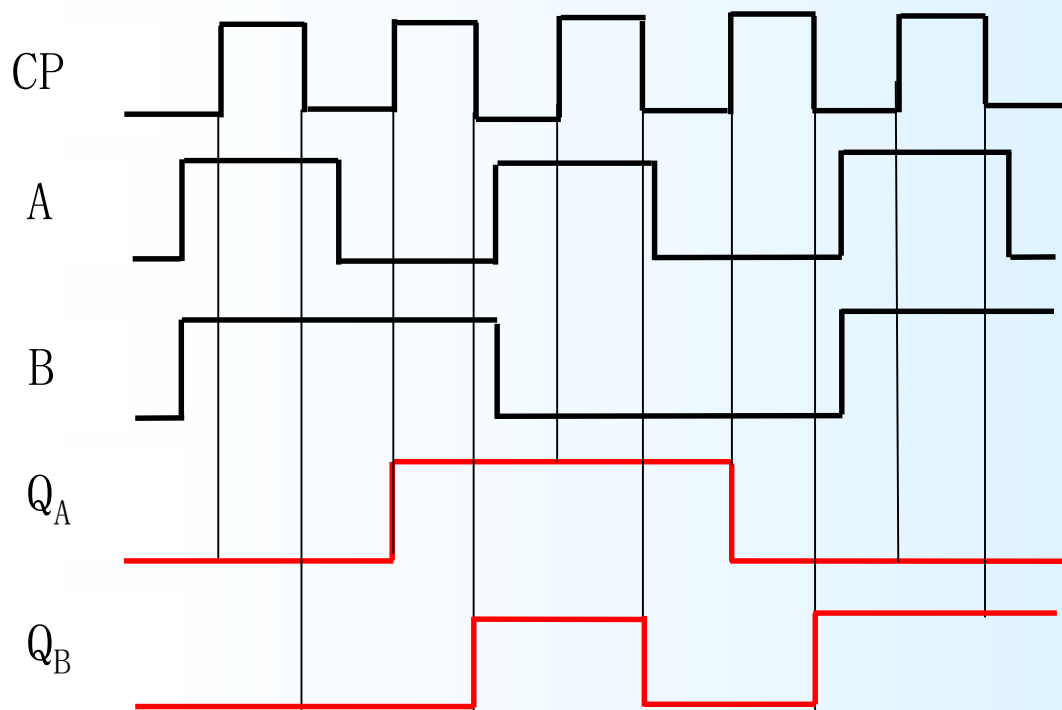
3.13 在图3.53 (a) 所示的D触发器电路中，若输入端D的波形如图3.53 (b) 所示，试画出输出端Q的波形（设触发器初态为0）。

解答：



3.14 已知输入信号A、B的波形如左图所示，试画出（b）、（c）中两个触发器Q端的输出波形，设触发器初态为0。

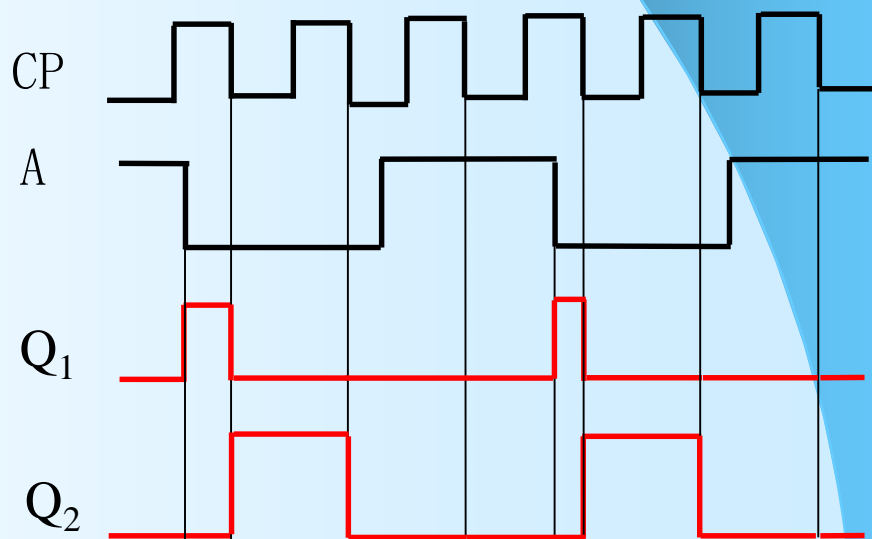
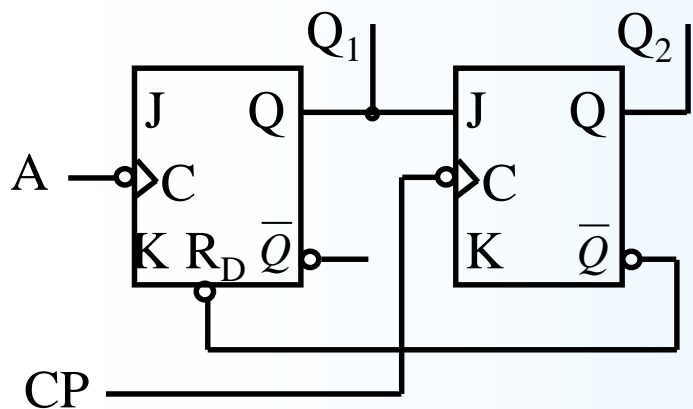
解答： 由图可知，（b）是上升沿触发，其中 $Q = \overline{AB}$ ；（C）是下降沿触发，其中 $T = \overline{A \oplus B}$ ，当 $T=0$ 时，Q保持不变，当 $T=1$ 时，Q翻转。波形图如图中红线所示。



3.15 设如图所示电路的初始状态 $Q_1 = Q_2 = 0$ ，输入信号及CP端的波形图如右图所示，试画出 Q_1 、 Q_2 的波形。

解答：

由左图可知， Q_1 中 J、K 悬空，作 1 处理，因此， Q_1 是由控制端 A 控制，当 A 的下降沿来临时， Q_1 翻转，同时 Q_1 的置 0 端由 Q_2 的非控制，当 $Q_2 = 1$ 时， Q_1 置 0； Q_2 的 J 端为 Q_1 ， Q_2 的 K 端悬空作 1 处理， Q_2 由控制端 CP 控制，当 $Q_1 = 0$ 时， Q_2 的 JK = 01，则当 CP 的下降沿来临时， Q_2 置 0，当 $Q_1 = 1$ 时， Q_2 的 JK = 11，则当 CP 的下降沿来临时， Q_2 翻转。波形图如图中红线所示。



1. 题目

分析图1所示的组合逻辑电路,说明电路功能,并画出其简化逻辑电路图。

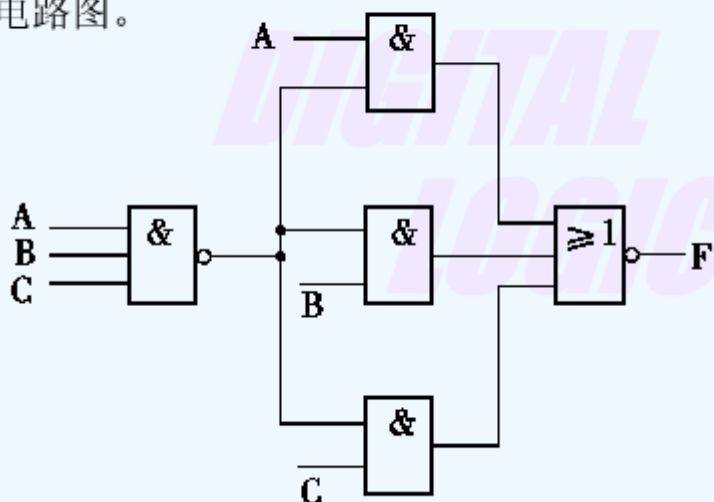


图1 组合逻辑电路

continue

(1) 根据给定逻辑电路图写出输出函数表达式

$$F = \overline{ABC} \cdot A + \overline{ABC} \cdot B + \overline{ABC} \cdot C$$

(2) 用代数法简化输出函数表达式

$$\begin{aligned} F &= \overline{ABC} \cdot A + \overline{ABC} \cdot B + \overline{ABC} \cdot C \\ &= \overline{ABC}(A + B + C) \\ &= \overline{ABC} \cdot \overline{\overline{A + B + C}} \\ &= \overline{ABC} \cdot \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}} \\ &= \overline{ABC} \cdot \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}} \end{aligned}$$

(3) 由简化后的输出函数表达式可知,当ABC取值相同时,即为000或111时,输出函数F的值为1,否则F的值为0。故该电路为“一致性电路”。

continue

(4) 实现该电路功能的简化电路如图2所示。

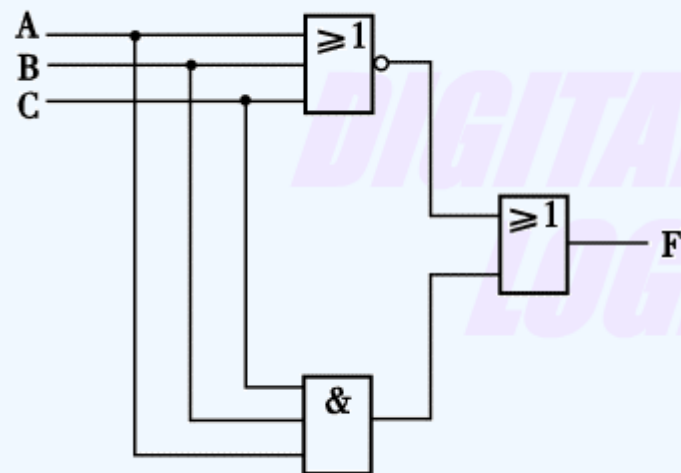


图 2

2. 题目

分析图3所示的逻辑电路，要求：

- (1) 指出在哪些输入取值下，输出F的值为1。
- (2) 改用异或门实现该电路的逻辑功能。

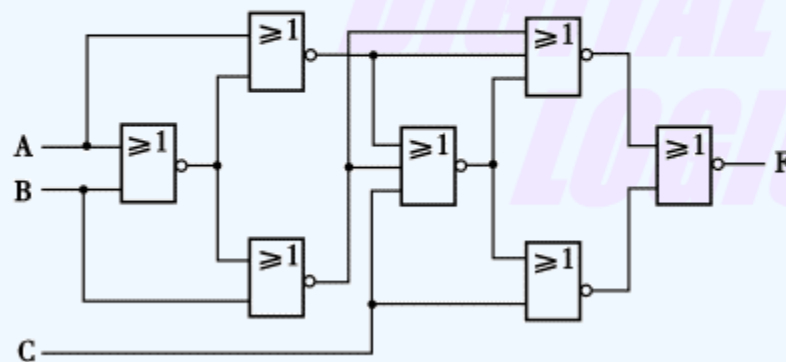


图3 组合逻辑电路

分析给定逻辑电路，可求出输出函数最简表达式为

$$F = \overline{A \oplus B \oplus C} = A \oplus B \oplus \bar{C}$$

- ① 当ABC取值000、011、101、110时，输出函数F的值为1；
- ② 用异或门实现该电路功能的逻辑电路图如图4所示。

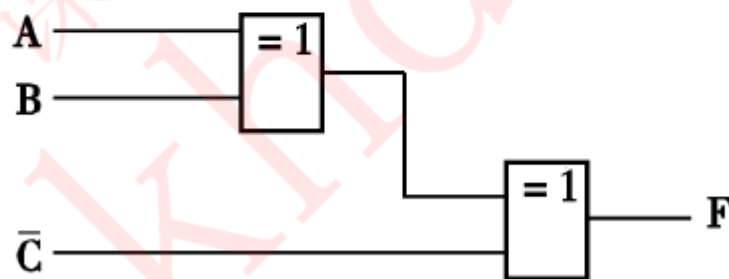


图4

3. 题目

析图5所示组合逻辑电路，列出真值表，并说明该电路的逻辑功能。

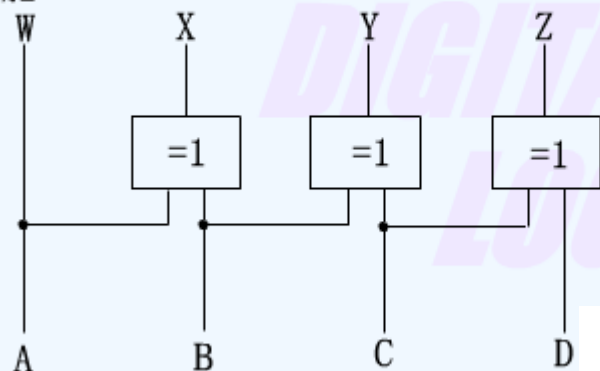


图5 组合逻辑电路

① 写出电路输出函数表达式如下：

$$W = A, \quad X = A \oplus B, \quad Y = B \oplus C, \quad Z = C \oplus D$$

② 列出真值表如表1所示。

表1

| ABCD | WXYZ | ABCD | WXYZ |
|------|------|------|------|
| 0000 | 0000 | 1000 | 1100 |
| 0001 | 0001 | 1001 | 1101 |
| 0010 | 0011 | 1010 | 1111 |
| 0011 | 0010 | 1011 | 1110 |
| 0100 | 0110 | 1100 | 1010 |
| 0101 | 0111 | 1101 | 1011 |
| 0110 | 0101 | 1110 | 1001 |
| 0111 | 0100 | 1111 | 1000 |

③ 由真值表可知，该电路的功能是将四位二进制码转换成Gray码。

4. 题目

设计一个组合电路，该电路输入端接收两个2位二进制数 $A=A_2A_1$, $B=B_2B_1$ 。当 $A>B$ 时，输出 $Z=1$ ，否则 $Z=0$ 。

(1) 根据比较两数大小的法则，可写出输出函数表达式为

$$\begin{aligned} Z &= A_2\bar{B}_2 + (A_2 \odot B_2)A_1\bar{B}_1 \\ &= A_2\bar{B}_2 + A_1\bar{B}_2\bar{B}_1 + A_2A_1\bar{B}_1 \end{aligned}$$

(2) 根据所得输出函数表达式，可画出逻辑电路图如图6所示

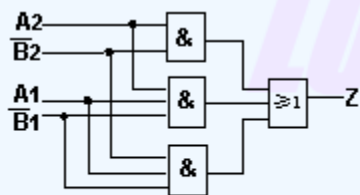


图 6

5. 设计一个代码转换电路，将1位十进制数的余3码转换成2421码。

解答

- ① 设1位十进制数的余3码为ABCD, 相应2421码为WXYZ, 根据余3码和2421码的编码法则，可作出真值表如表2所示。

表 2

| ABCD | WXYZ | ABCD | WXYZ |
|------|------|------|------|
| 0000 | dddd | 1000 | 1011 |
| 0001 | dddd | 1001 | 1100 |
| 0010 | dddd | 1010 | 1101 |
| 0011 | 0000 | 1011 | 1110 |
| 0100 | 0001 | 1100 | 1111 |
| 0101 | 0010 | 1101 | dddd |
| 0110 | 0011 | 1110 | dddd |
| 0111 | 0100 | 1111 | dddd |

4. 题目

设计一个组合电路，该电路输入端接收两个2位二进制数 $A=A_2A_1$, $B=B_2B_1$ 。当 $A>B$ 时，输出 $Z=1$ ，否则 $Z=0$ 。

(1) 根据比较两数大小的法则，可写出输出函数表达式为

$$\begin{aligned} Z &= A_2\bar{B}_2 + (A_2 \odot B_2)A_1\bar{B}_1 \\ &= A_2\bar{B}_2 + A_1\bar{B}_2\bar{B}_1 + A_2A_1\bar{B}_1 \end{aligned}$$

(2) 根据所得输出函数表达式，可画出逻辑电路图如图6所示

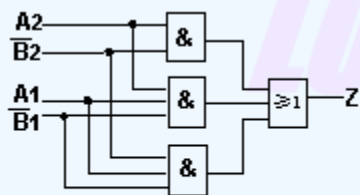


图 6

5. 设计一个代码转换电路，将1位十进制数的余3码转换成2421码。

解答

① 设1位十进制数的余3码为ABCD, 相应2421码为WXYZ, 根据余3码和2421码的编码法则，可作出真值表如表2所示。

表 2

| ABCD | WXYZ | ABCD | WXYZ |
|------|------|------|------|
| 0000 | dddd | 1000 | 1011 |
| 0001 | dddd | 1001 | 1100 |
| 0010 | dddd | 1010 | 1101 |
| 0011 | 0000 | 1011 | 1110 |
| 0100 | 0001 | 1100 | 1111 |
| 0101 | 0010 | 1101 | dddd |
| 0110 | 0011 | 1110 | dddd |
| 0111 | 0100 | 1111 | dddd |

② 由真值表可写出输出函数表达式为

$$W(A,B,C,D) = \sum m(8,9,10,11,12) + \sum d(0,1,2,13,14,15)$$

$$X(A,B,C,D) = \sum m(7,9,10,11,12) + \sum d(0,1,2,13,14,15)$$

$$Y(A,B,C,D) = \sum m(5,6,8,11,12) + \sum d(0,1,2,13,14,15)$$

$$Z(A,B,C,D) = \sum m(4,6,8,10,12) + \sum d(0,1,2,13,14,15)$$

化简后可得：

$$W = A$$

$$X = AB + AC + AD + BCD$$

$$= A(B + C + D) + BCD$$

$$Y = \overline{A}\overline{C}\overline{D} + A\overline{C}\overline{D} + \overline{A}C\overline{D} + \overline{A}C\overline{D}$$

$$= A \oplus C \oplus D$$

$$Z = \overline{D}$$

(3) 逻辑电路图如图7所示。

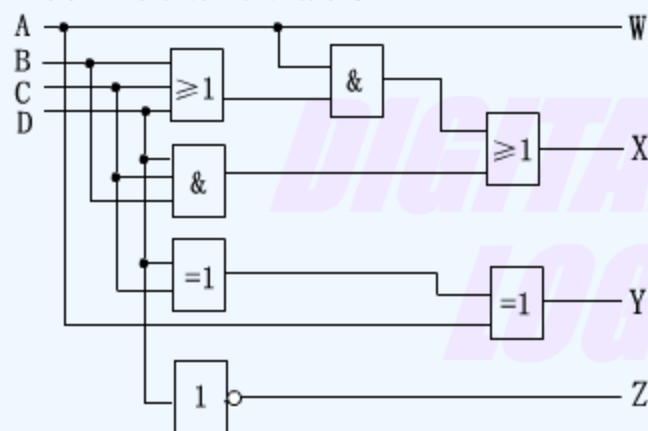


图 7

6. 假定 $X=AB$ 代表一个2位二进制数, 试设计满足如下要求的逻辑电路:

(1) $Y=X^2$

(2) $Y=X^3$

(Y也用二进制数表示。)

解答

① 假定 AB 表示一个两位二进制数, 设计一个两位二进制数平方器。

由题意可知, 电路输入、输出均为二进制数, 输出二进制数的值是输入二进制数 AB 的平方。由于两位二进制数能表示的最大十进制数为 3, 3 的平方等于 9, 表示十进制数 9 需要 4 位二进制数, 所以该电路应有 4 个输出。假定用 WXYZ 表示输出的 4 位二进制数, 根据电路输入、输出取值关系可列出真值表如表 3 所示。

表 3

| A | B | W | X | Y | Z |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 |

由真值表可写出电路的输出函数表达式为

$$W = AB, \quad X = A\bar{B}, \quad Y = 0, \quad Z = B$$

根据所得输出函数表达式, 可画出用与非门实现给定功能的逻辑电路图如图 8 所示。

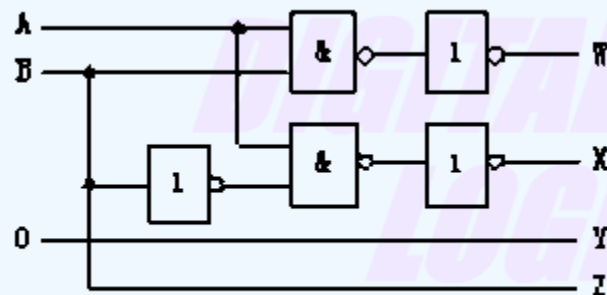


图 8

(2) 假定AB表示一个两位二进制数，设计一个两位二进制数立方器。

由题意可知，电路输入、输出均为二进制数，输出二进制数的值是输入二进制数AB的立方。由于两位二进制数能表示的最大十进制数为3，3的立方等于27，表示十进制数27需要5位二进制数，所以该电路应有5个输出。假定用TWXYZ表示输出的5位二进制数，根据电路输入、输出取值关系可列出真值表如表4所示。

表 4

| A | B | T | W | X | Y | Z |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 |

由真值表可写出电路的输出函数表达式为

$$T = AB, W = A, X = 0, Y = AB, Z = B$$

continue

根据所得输出函数表达式，可画出用与非门实现给定功能的逻辑电路图如图9所示

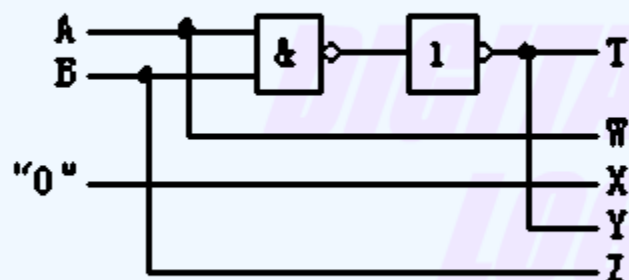


图 9

7. 用与非门设计一个组合电路，该电路输入为1位十进制数的2421码，当输入的数字为素数时，输出F为1，否则F为0。

解答

① 设一位十进制数的 2421 码用 ABCD 表示，由题意可知，当 ABCD 表示的十进制数字为 2、3、5、7 时，输出 F 为 1，否则为 0。据此，可写出输出函数表达式为

$$F(A, B, C, D) = \sum m(2, 3, 11, 13) + \sum d(5 \sim 10)$$

经化简变换后，可得到最简与非表达式为

$$F(A, B, C, D) = \overline{B}C + A\overline{C}D = \overline{\overline{\overline{B}C}} \cdot \overline{\overline{\overline{A}C}D}$$

② 逻辑电路图如图 10 所示。

8. 题目

设计一个“四舍五入”电路。该电路输入为1位十进制数的8421码，当其值大于或等于5时，输出F的值为1，否则F的值为0。

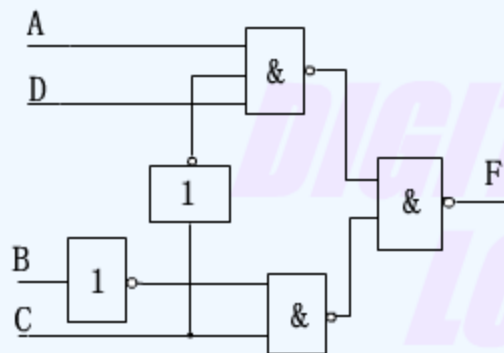


图 10

(1) 根据题意，可列出真值表如表5所示。

表 5

| A | B | C | D | F |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | d |
| | | ⋮ | | ⋮ |
| 1 | 1 | 1 | 1 | d |

(2) 由真值表可写出输出函数表达式为

$$F(A,B,C,D) = \sum m(5 \sim 9) + \sum d(10 \sim 15)$$

经化简变换后，可得到最简与非表达式为

$$F(A,B,C,D) = A + BC + BD = \overline{\overline{A} \overline{BC} \overline{BD}}$$

continue

(3) 逻辑电路图如图11所示。

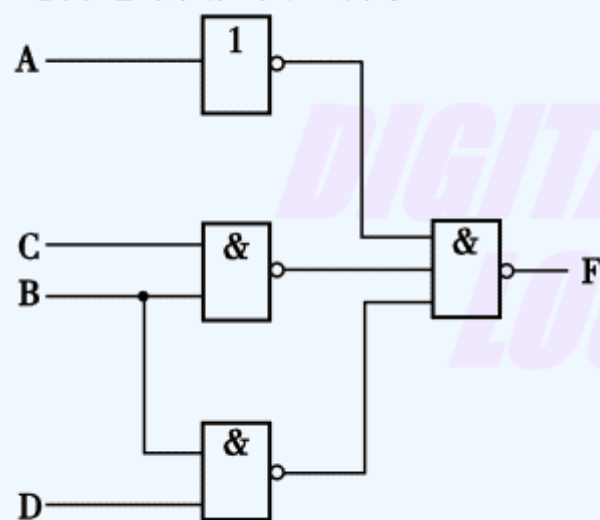


图 11

9. 设计一个检测电路，检测4位二进制码中1的个数是否为偶数。若为偶数个1，则输出为1，否则输出为0。

解答

① 假定采用异或门实现给定功能，设输入的四位代码用 $B_4B_3B_2B_1$ 表示，输出函数用F表示，根据题意和异或运算的规则，可直接写出输出函数表达式为

$$F = \overline{B_4 \oplus B_3 \oplus B_2 \oplus B_1}$$

② 逻辑电路图如图 12 所示。

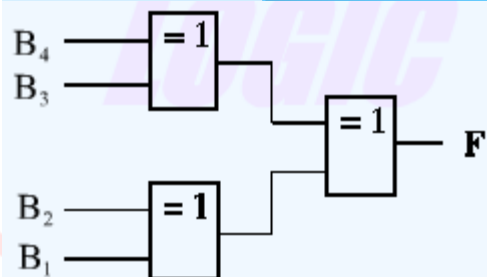


图 12

10. 设计一个加/减法器，该电路在M控制下进行加、减运算。当M=0时，实现全加器功能；当M=1时，实现全减器功能。

解答① 设： A——被加数/被减数

B——加数/减数

C——来自低位的进位输入 /来自低位的借位输入

F——本位“和”/本位“差”

G——向高位的“进位” /向高位的“进位”

根据题意，可列出真值表如表6所示。

| M | ABC | F | G | M | ABC | F | G |
|---|-----|---|---|---|-----|---|---|
| 0 | 000 | 0 | 0 | 1 | 000 | 0 | 0 |
| 0 | 001 | 1 | 0 | 1 | 001 | 1 | 1 |
| 0 | 010 | 1 | 0 | 1 | 010 | 1 | 1 |
| 0 | 011 | 0 | 1 | 1 | 011 | 0 | 1 |
| 0 | 100 | 1 | 0 | 1 | 100 | 1 | 0 |
| 0 | 101 | 0 | 1 | 1 | 101 | 0 | 0 |
| 0 | 110 | 0 | 1 | 1 | 110 | 0 | 0 |
| 0 | 111 | 1 | 1 | 1 | 111 | 1 | 1 |

② 由真值表可写出输出函数表达式：

$$M=0: F(A, B, C) = \sum m(1, 2, 4, 7)$$

$$G(A, B, C) = \sum m(3, 5, 6, 7)$$

$$M=1: F(A, B, C) = \sum m(1, 2, 4, 7)$$

$$G(A, B, C) = \sum m(1, 2, 3, 7)$$

经化简变换后，可得函数表达式如下：

$$M=0: F = A \oplus B \oplus C;$$

$$G = AB + AC + BC = \overline{\overline{AB} \cdot \overline{AC} \cdot \overline{BC}}$$

$$M=1: F = A \oplus B \oplus C;$$

$$G = \overline{AB} + \overline{AC} + BC = \overline{\overline{AB} \cdot \overline{AC} \cdot \overline{BC}}$$

(3) 根据逻辑表达式，可作出逻辑电路图如图13所示。

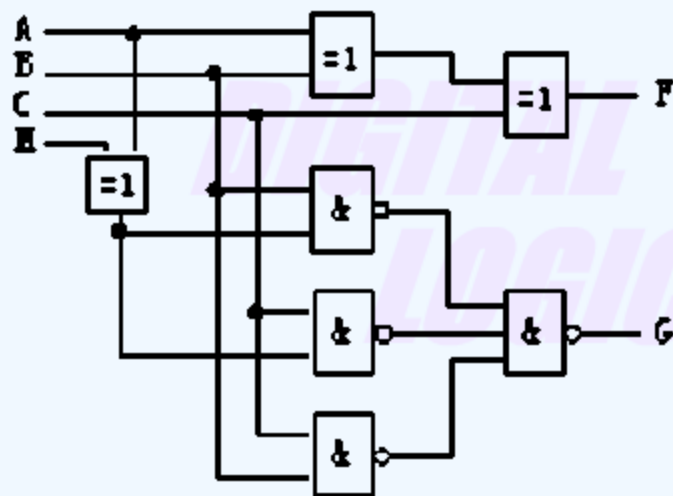


图 13

(2) 变换如下：

$$\begin{aligned}
 F &= A\bar{B}\bar{C} + B\bar{C}\bar{D} + A\bar{C}\bar{D} + \bar{B}CD \\
 &= (\bar{B} + \bar{D})A\bar{C} + B\bar{D}C + \bar{B}DC \\
 &= \bar{B}\bar{D}A\bar{C} + \bar{B}\bar{D}BC + \bar{B}\bar{D}CD \\
 &= \overline{\bar{B}\bar{D}A\bar{C}} \overline{\bar{B}\bar{D}BC} \overline{\bar{B}\bar{D}CD}
 \end{aligned}$$

11. 题目

在输入不提供反变量的情况下，用与非门组成电路实现下列函数：

(1) $F = A\bar{B} + \bar{A}C + B\bar{C}$

(2) $F = A\bar{B}\bar{C} + B\bar{C}\bar{D} + A\bar{C}\bar{D} + \bar{B}CD$

解答

(1) 变换如下：

$$\begin{aligned}
 F &= A\bar{B} + \bar{A}C + B\bar{C} \\
 &= A\bar{B} + \bar{A}C + B\bar{C} + \bar{B}C + \bar{A}C + \bar{A}B \\
 &= A(\bar{B} + C) + (\bar{A} + B)C + (\bar{A} + C)B \\
 &= A\bar{B}C + \bar{A}B\bar{C} + \bar{A}C\bar{B} \\
 &= A\bar{B}C + C\bar{A}B + B\bar{A}C \\
 &= \overline{\overline{A\bar{B}C}} \overline{\overline{C\bar{A}B}} \overline{\overline{B\bar{A}C}}
 \end{aligned}$$

逻辑电路图如图14所示。

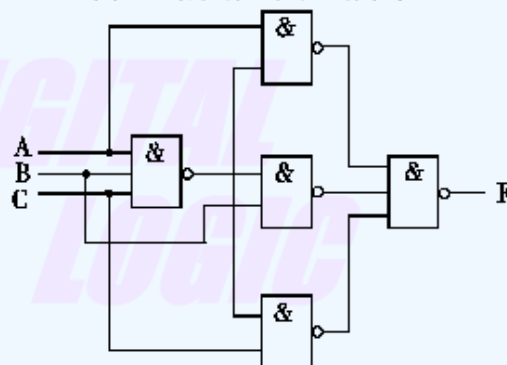


图 14

逻辑电路图如图15所示。

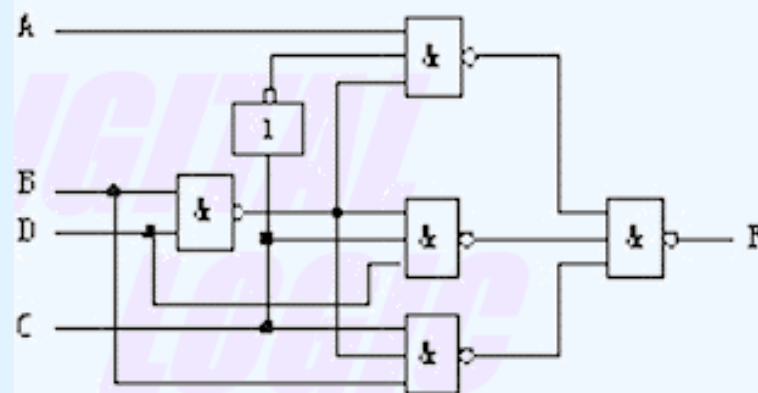


图 15

12. 题目

下列函数描述的电路是否可能发生竞争?竞争结果是否会产生险象?在什么情况下产生险象?若产生险象, 试用增加冗余项的方法消除。

$$(1) \quad F_1 = AB + \overline{A}\overline{C} + \overline{C}D$$

$$(2) \quad F_2 = AB + \overline{A}CD + BC$$

$$(3) \quad F_3 = (A + \overline{B})(\overline{A} + \overline{C})$$

解答

(1) 因为逻辑表达式 $F_1 = AB + \overline{A}\overline{C} + \overline{C}D$ 中没有以互补形式出现的逻辑变量, 故不会发生竞争。

(2) 因为逻辑表达式 $F_2 = AB + \overline{A}CD + BC$ 中有逻辑变量A以互补形式出现, 故会发生竞争。但由于不论BCD取何值, 表达式都不会变成 $A + \overline{A}$ 或者 $A \overline{A}$ 的形式, 所以不会产生险象。

(3) 因为逻辑表达式 $F_3 = (A + \overline{B})(\overline{A} + \overline{C})$ 中有逻辑变量A以互补形式出现, 故会发生竞争。由于BC=11时, 表达式会变成 $A \overline{A}$ 的形式, 所以BC=11时会产生险象。增加冗余项后的表达式为

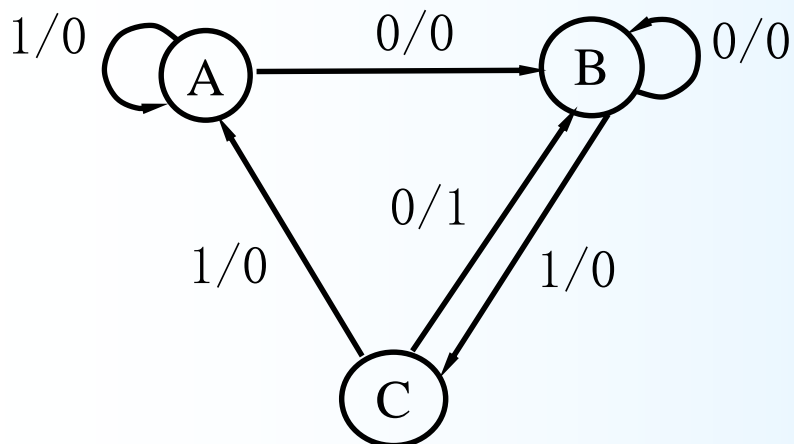
$$F = (A + \overline{B})(\overline{A} + \overline{C})(\overline{B} + \overline{C})$$

第五章 同步时序逻辑电路

5.1 简述时序逻辑电路与组合逻辑电路的区别。

解答：时序逻辑电路在任何时刻产生的稳定输出信号不仅与该时刻电路的输入信号有关，而且与电路过去的输入信号有关；而组合逻辑电路仅仅与该时刻电路的输入信号有关。

5.3 已知状态图如图5.47所示，输入序列为 $x=11010010$ ，设初始状态为A，求状态和输出响应序列。



解答：

状态为：AABCBB CB

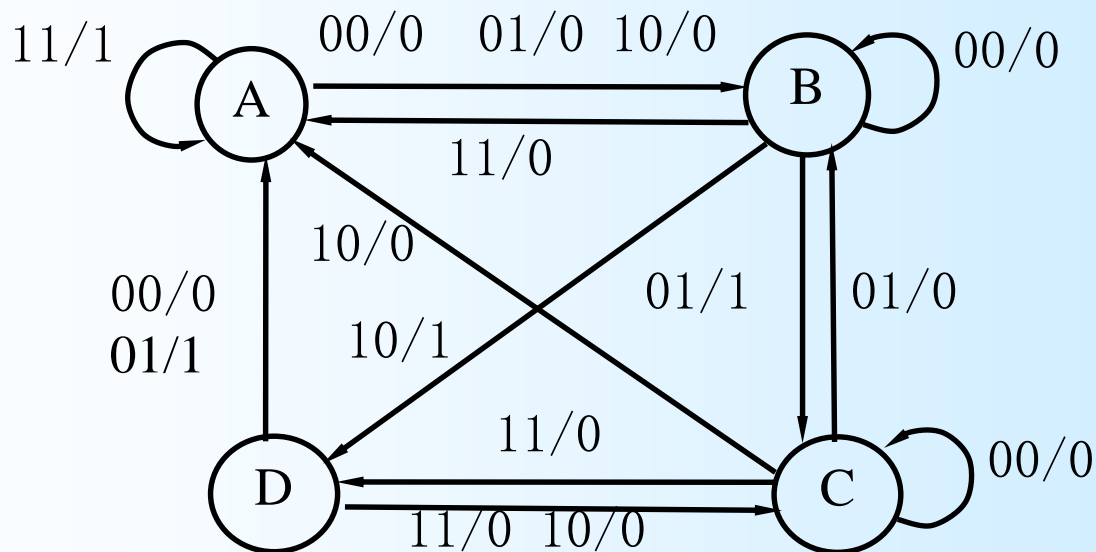
输出响应序列为：

00001001

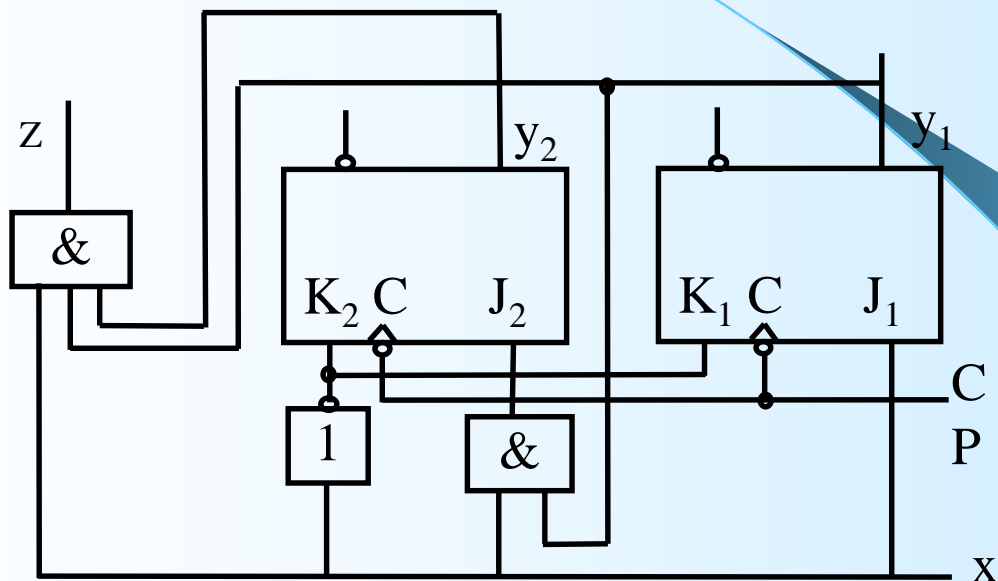
5.2 作出与下表所示状态表对应的状态图。

| 现态 y_2y_1 | 次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出 Z | | | |
|----------------|--------------------------------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| A | B/0 | B/0 | A/1 | B/0 |
| B | B/0 | C/1 | A/0 | D/1 |
| C | C/0 | B/0 | D/0 | A/0 |
| D | A/0 | A/1 | C/0 | C/0 |

解答：



5.4 分析如图所示的逻辑电路。假定电路初始状态为00，说明该电路逻辑功能。



解答：

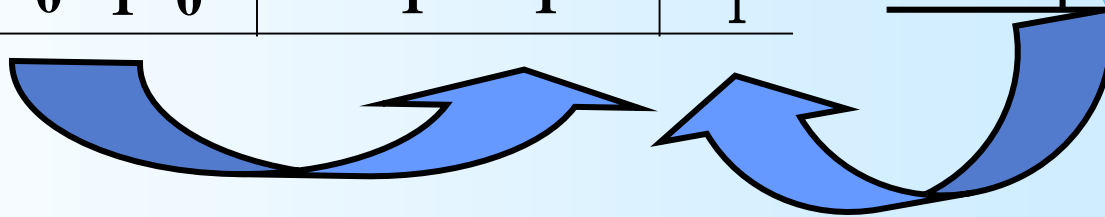
(1) 因为电路的输出和电路的状态及输入有关，故此电路为Mealy型电路；其输出函数和激励函数为：

$$Z = xy_1y_2 \quad J_1 = x \quad K_1 = \bar{x} \quad J_2 = xy_1 \quad K_2 = \bar{x}$$

(2) 列出电路次态真值表

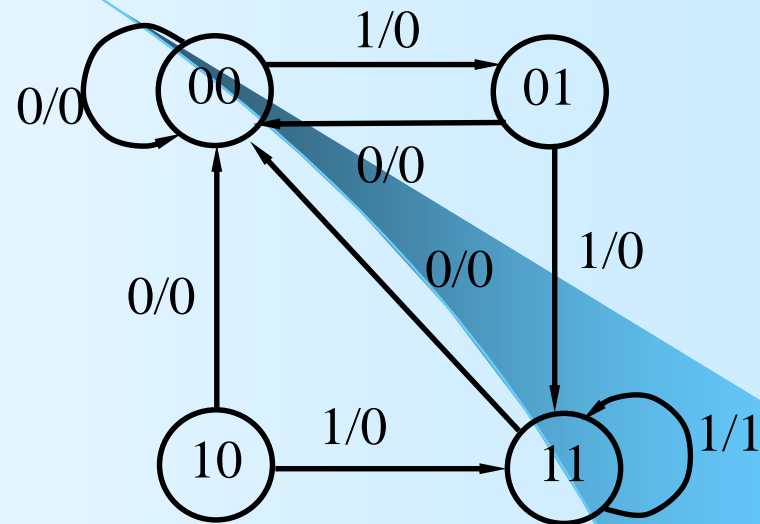
$$Z = xy_1y_2 \quad J_1 = x \quad K_1 = \bar{x} \quad J_2 = xy_1 \quad K_2 = \bar{x}$$

| 输 入 X | 现 态 y ₂ y ₁ | 激励函数 | | | | 次 态 y ₂ ⁽ⁿ⁺¹⁾ y ₁ ⁽ⁿ⁺¹⁾ | | 输 出 Z | J K | | Q ⁽ⁿ⁺¹⁾ |
|----------|--------------------------------------|------|---|---|---|--|---|----------|-----|---|--------------------|
| | | | | | | | | | | | |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | Q |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | Q |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | Q |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | Q |



(3) 状态表和状态图

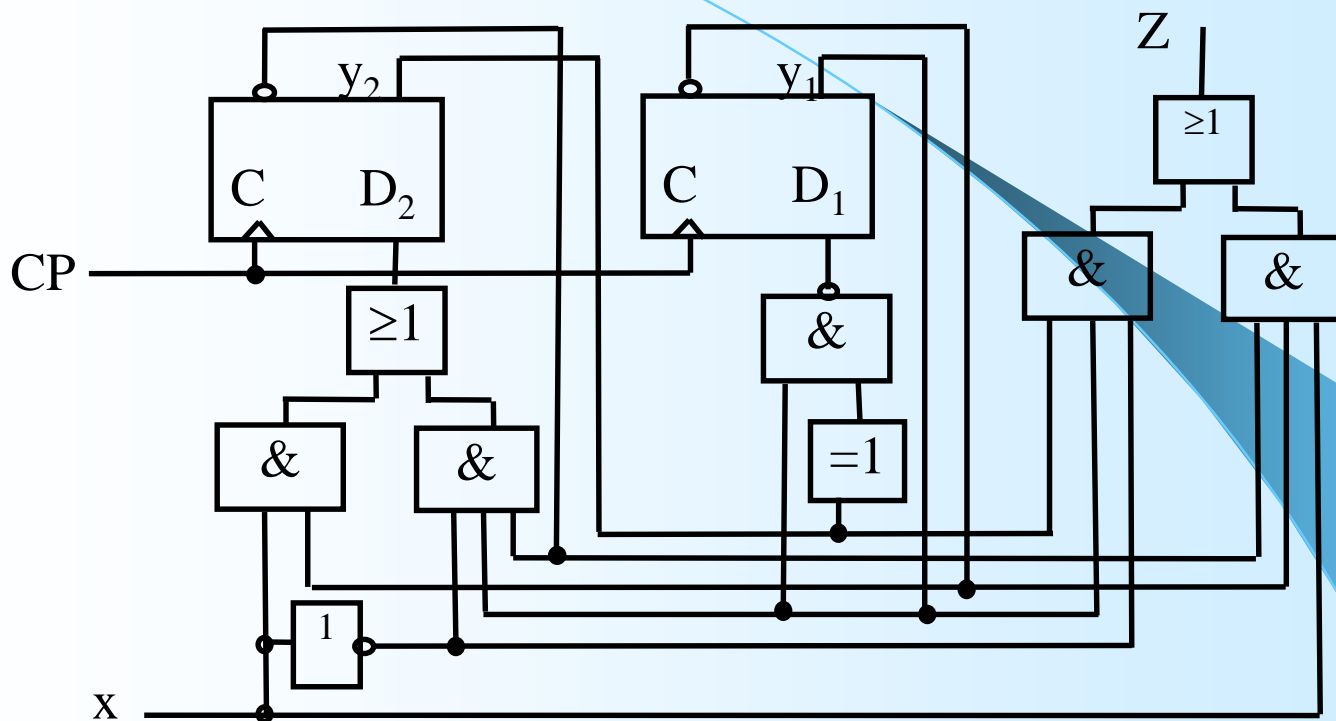
| $y_2 y_1$ | $y_2^{(n+1)} y_1^{(n+1)} / Z$ | |
|-----------|-------------------------------|-------|
| | $X=0$ | $x=1$ |
| 00 | 00/0 | 01/0 |
| 01 | 00/0 | 11/0 |
| 10 | 00/0 | 11/0 |
| 11 | 00/0 | 11/1 |



(4) 功能分析

该电路是一个可重叠的111序列监测器。

5.5 分析如图所示的同步时序逻辑电路，说明该电路功能



解答:

(1) 因为电路的输出和电路的状态及输入有关，故此电路为Mealy型电路；其输出函数和激励函数为：

$$Z = \overline{x} \overline{y_1} y_2 + \overline{x} y_1 y_2$$

$$D_2 = x \overline{y_1} + \overline{x} \overline{y_2} y_1$$

$$D_1 = \overline{y_1} (x \oplus y_2)$$

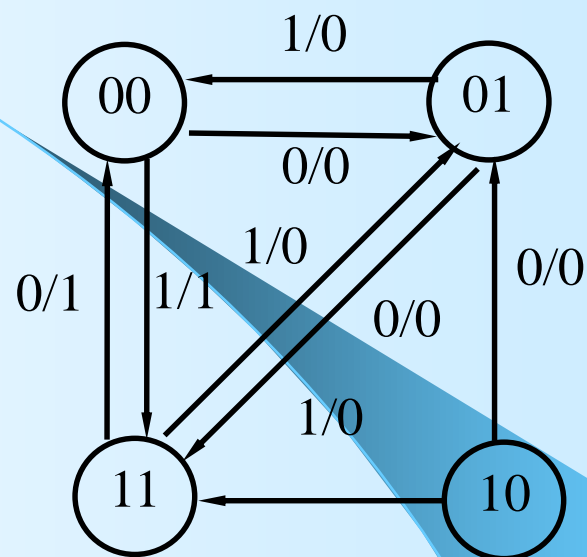
(2) 次态真值表

$$Z = \overline{x} \overline{y_1} y_2 + \overline{x} y_1 y_2 \quad D_2 = x \overline{y_1} + \overline{x} \overline{y_2} y_1 \quad D_1 = \overline{y_1} (x \oplus y_2)$$

| 输 入 X | 现 态 y ₂ y ₁ | 激励函数 D ₂ D ₁ | 次 态 y ₂ ⁽ⁿ⁺¹⁾ y ₁ ⁽ⁿ⁺¹⁾ | 输 出 Z |
|----------|--------------------------------------|---------------------------------------|--|----------|
| 0 | 0 0 | 0 1 | 0 1 | 0 |
| 0 | 0 1 | 1 1 | 1 1 | 0 |
| 0 | 1 0 | 0 1 | 0 1 | 0 |
| 0 | 1 1 | 0 0 | 0 0 | 1 |
| 1 | 0 0 | 1 1 | 1 1 | 1 |
| 1 | 0 1 | 0 0 | 0 0 | 0 |
| 1 | 1 0 | 1 1 | 1 1 | 0 |
| 1 | 1 1 | 0 1 | 0 1 | 0 |

(3) 状态表和状态图

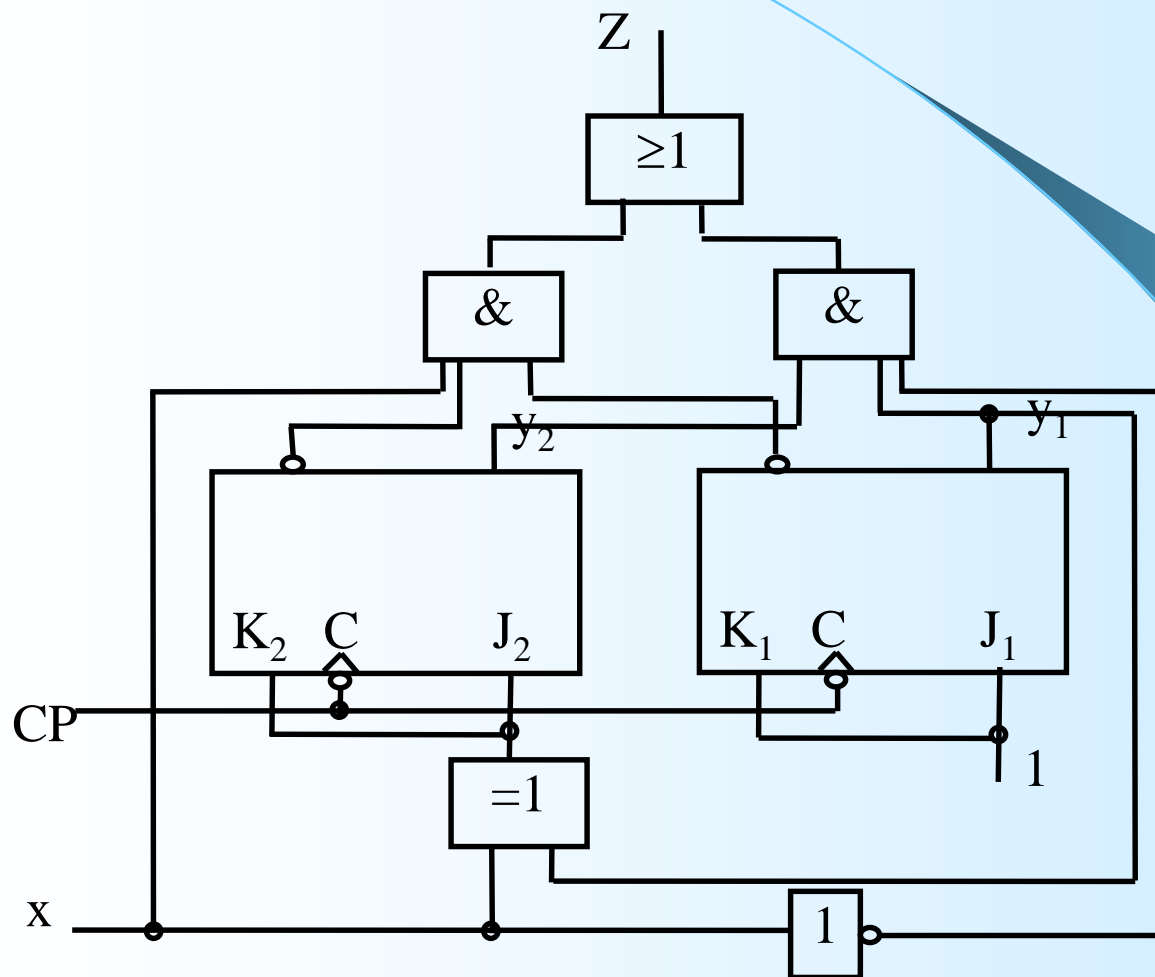
| $y_2 y_1$ | $y_2^{(n+1)} y_1^{(n+1)} / Z$ | |
|-----------|-------------------------------|-------|
| | $X=0$ | $x=1$ |
| 00 | 01/0 | 11/1 |
| 01 | 11/0 | 00/0 |
| 10 | 01/0 | 11/0 |
| 11 | 00/1 | 01/0 |



(4) 功能分析

该电路是一个三进制可逆计数器。当 $x=0$ 时，实现加1计数；当 $x=1$ 时，实现减1计数。

5.6 分析如图所示的逻辑电路，说明该电路功能。



解答:

(1)因为电路的输出和电路的状态及输入有关, 故此电路为Mealy型电路; 其输出函数和激励函数为:

$$Z = x\overline{y_1}\overline{y_2} + \overline{x}y_1y_2$$

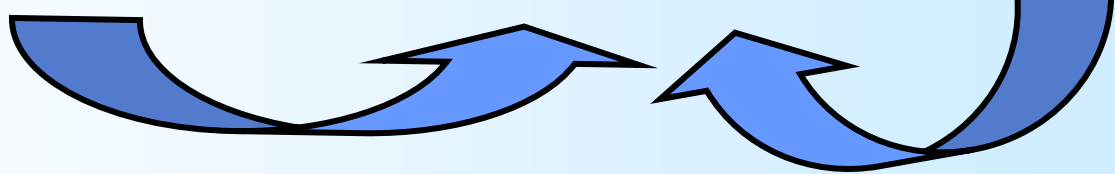
$$J_2 = k_2 = x \oplus y_1$$

$$J_1 = K_1 = 1$$

(2) 次态真值表

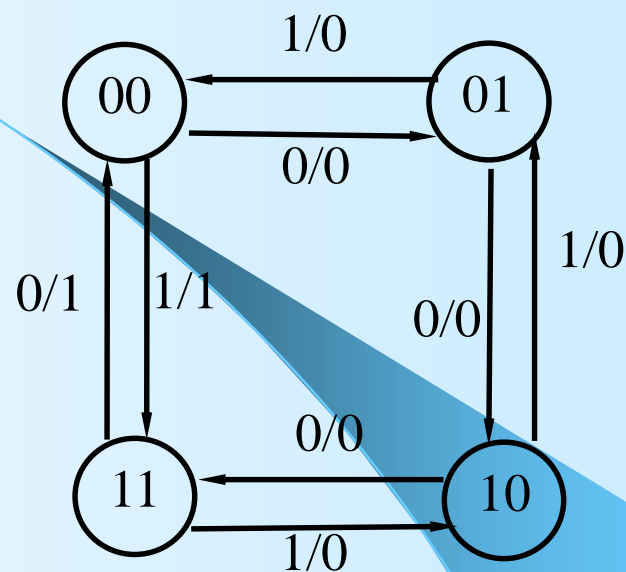
$$Z = x\overline{y_1}\overline{y_2} + \overline{x}y_1y_2 \quad J_2 = k_2 = x \oplus y_1 \quad J_1 = K_1 = 1$$

| 输 入 X | 现 态 y ₂ y ₁ | 激励函数 | | | | 次 态 y ₂ ⁽ⁿ⁺¹⁾ y ₁ ⁽ⁿ⁺¹⁾ | | 输 出 Z | J K | | Q ⁽ⁿ⁺¹⁾ |
|----------|--------------------------------------|------|---|---|---|--|---|----------|-----|---|--------------------|
| | | | | | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | Q |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | Q |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | Q |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | Q |



(3) 状态表和状态图

| $y_2 y_1$ | $y_2^{(n+1)} y_1^{(n+1)} / Z$ | |
|-----------|-------------------------------|-------|
| | $X=0$ | $x=1$ |
| 00 | 01/0 | 11/1 |
| 01 | 10/0 | 00/0 |
| 10 | 11/0 | 01/0 |
| 11 | 00/1 | 10/0 |



(4) 功能分析

该电路是一个模4可逆计数器。当 $x=0$ 时，实现两位二进制数加1计数，输出为进位信号；当 $x=1$ 时，实现两位二进制数减1计数，输出为借位信号。

5.7 作出“0101”序列监测器的Mealy型和Moore型状态图。

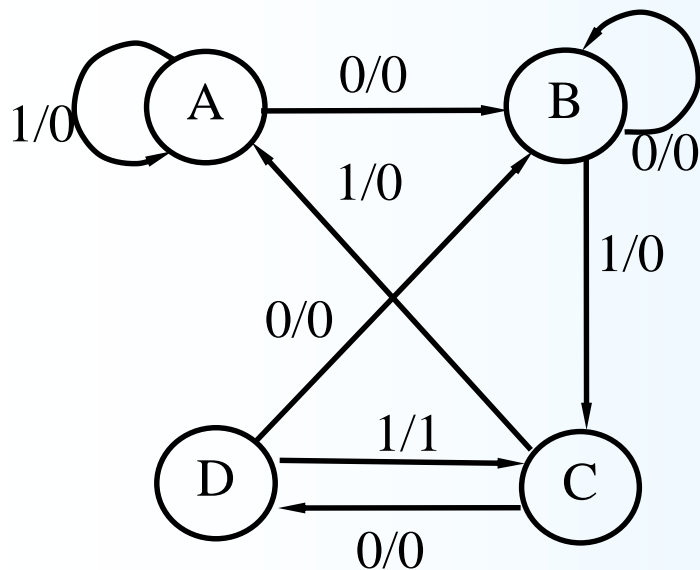
典型的输入输出序列如下：

输入x: 1 1 0 1 0 1 0 1 0 0 1 1

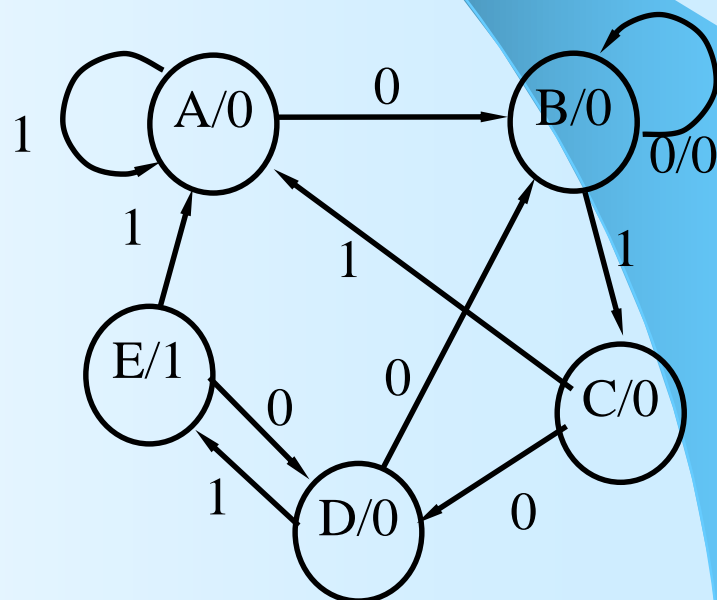
输出Z: 0 0 0 0 0 1 0 1 0 0 0 0

解答:

(1) Mealy型状态图

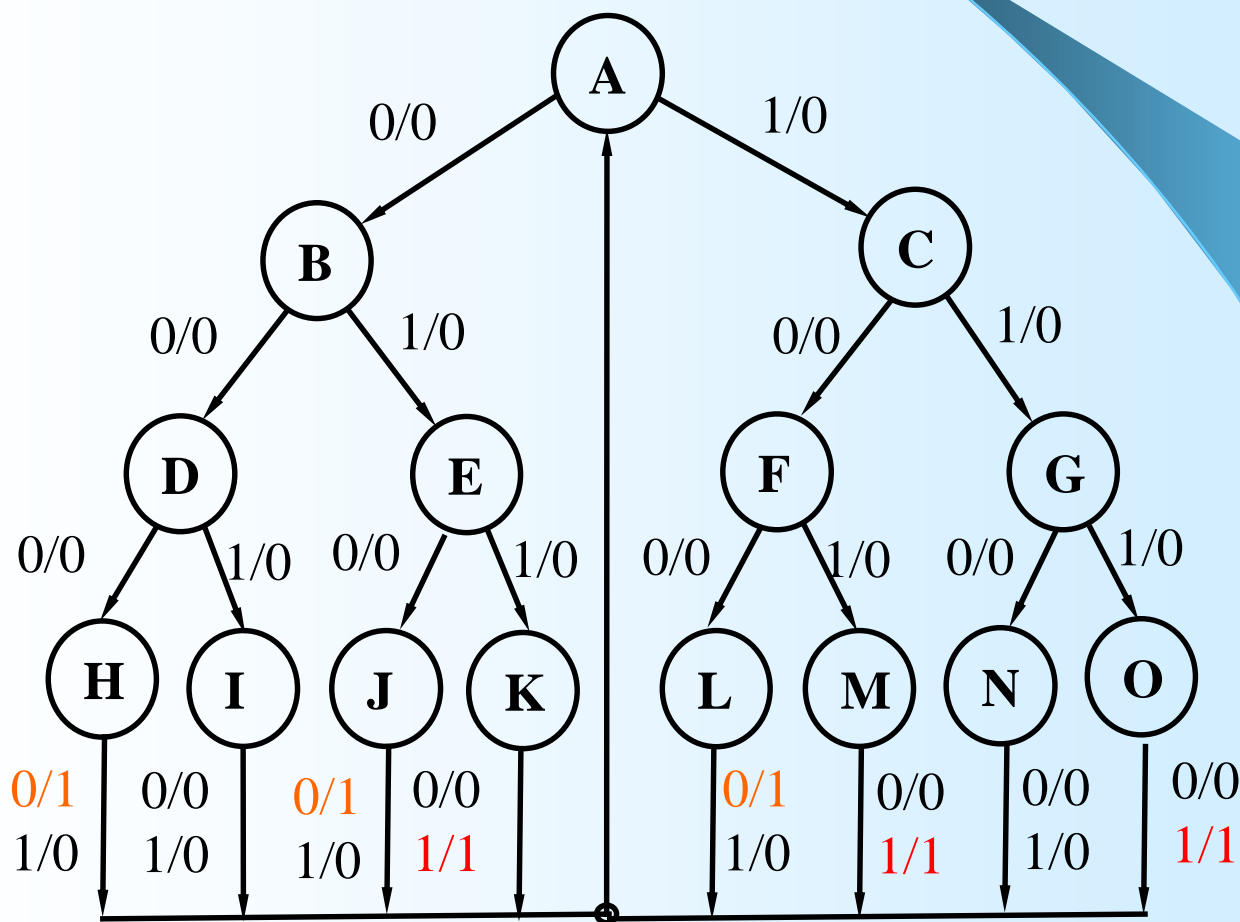


(2) Moore型状态图



5.8 设计一个代码监测器，该电路从输入端x串行输入余三码（先低位后高位），当出现非法数字时，电路输出Z位1，否则输出为0。试作出Mealy型状态图。

解答：



5.9 化简下表所示原始状态表。

解答： (1) 作隐含表

| 现态 | 次态/输出 | |
|----|-------|-----|
| | X=0 | X=1 |
| A | B/0 | C/0 |
| B | A/0 | F/0 |
| C | F/0 | G/0 |
| D | A/0 | C/0 |
| E | A/0 | A/1 |
| F | C/0 | E/0 |
| G | A/0 | B/1 |

| | | | | | | |
|---|----------|----------|----------|----------|----|---|
| B | CF | | | | | |
| C | BF CG | AF FG | | | | |
| D | AB | FC | AF CG | | | |
| E | × | × | × | × | | |
| F | BC CE | AC FE | GE | AC CE | × | |
| G | × | × | × | × | AB | × |
| | A | B | C | D | E | G |

(2) 求最大等效类

最大等效类为: (A, B, D), (C, F), (G, E)

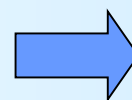
| | | | | | | |
|---|----------|----------|----------|----------|----|---|
| B | CF | | | | | |
| C | BF CG | AF FG | | | | |
| D | AB | FC | AF CG | | | |
| E | × | × | × | × | | |
| F | BC CE | AC FE | GE | AC CE | × | |
| G | × | × | × | × | AB | × |
| | A | B | C | D | E | G |

| 现态 | 次态/输出 | |
|----|-------|-----|
| | X=0 | X=1 |
| A | B/0 | C/0 |
| B | A/0 | F/0 |
| C | F/0 | G/0 |
| D | A/0 | C/0 |
| E | A/0 | A/1 |
| F | C/0 | E/0 |
| G | A/0 | B/1 |



| 现态 | 次态/输出 | |
|----|-------|-----|
| | X=0 | X=1 |
| a | a/0 | b/0 |
| b | b/0 | c/0 |
| c | a/0 | a/1 |

(3) 状态合并, 得到最简状态表。
用a、b、c分别表示(A,B,D), (C,F), (G,E), 则得到最简状态表如右表所示。



5. 10 化简下表所示不完全确定原始状态表。

| 现态 | 次态/输出 | |
|----|-------|-----|
| | X=0 | X=1 |
| A | D/d | C/0 |
| B | A/1 | E/d |
| C | d/d | E/1 |
| D | A/0 | C/0 |
| E | B/1 | C/d |

解答： (1) 作隐含表

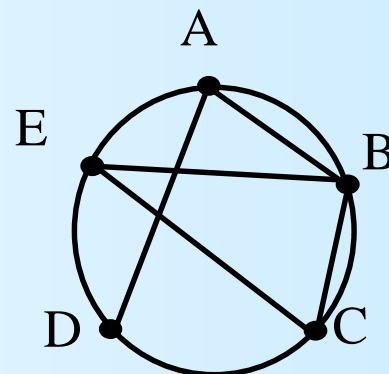
| | | | | |
|---|----------|----------|---|---|
| B | AD CE | | | |
| C | × | √ | | |
| D | √ | × | × | |
| E | BD | AB CE | √ | × |
| | A | B | C | D |

(2) 由隐含表可知，相容状态对为：
(A, B) (A, D) (B, C) (B, E) (C, E)

(3) 作状态合并图

最大相容类为：

(A,B), (A,D), (B,C,E)



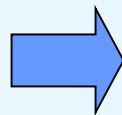
(4) 作闭覆盖表, 求最小闭覆盖。

| 最大相容类 | 覆盖 | | | | | 闭合 | |
|-------|----|---|---|---|---|-----|-----|
| | A | B | C | D | E | x=0 | x=1 |
| AB | √ | √ | | | | AB | CE |
| AD | √ | | | √ | | AD | C |
| BCE | | | √ | √ | √ | AD | CE |

(5) 作出最简状态表

分别用a、b、c表示(A, B), (A, D), (B, C, E), 得到最简状态表如右下表所示。

| 现态 | 次态/输出 | |
|----|-------|-----|
| | X=0 | X=1 |
| A | D/d | C/0 |
| B | A/1 | E/d |
| C | d/d | E/1 |
| D | A/0 | C/0 |
| E | B/1 | C/d |



| 现态 | 次态/输出 | |
|----|-------|-----|
| | X=0 | X=1 |
| a | b/1 | c/0 |
| b | b/0 | c/0 |
| c | a/1 | c/1 |

5.11 化简下表所示不完全确定原始状态表。

解答：

按照相邻法原则一：在相同输入条件下，具有相同次态的现态应尽可能分配相邻的二进制代码。因此，**AB**应该分配相邻的二进制代码。

按照相邻法原则二：在相邻输入条件下，同一现态的次态应尽可能分配相邻的二进制代码。因此，**AB、BC、CD**应该分配相邻的二进制代码。

按照相邻法原则一：输出完全相同的现态应尽可能分配相邻的二进制代码。因此，**AB、CD**应该分配相邻的二进制代码。

由以上分析，我们分配状态A用00表示，状态B用01表示，状态C用11表示，状态D用10表示。编码后的状态表如右表所示。

| 现态 | 次态/输出 | |
|----|-------|-----|
| | X=0 | X=1 |
| A | A/0 | B/0 |
| B | C/0 | B/0 |
| C | D/1 | C/0 |
| D | B/1 | A/0 |

| 现态 | 次态/输出 | |
|----|-------|------|
| | X=0 | X=1 |
| 00 | 00/0 | 01/0 |
| 01 | 11/0 | 01/0 |
| 11 | 10/1 | 11/0 |
| 10 | 01/1 | 00/0 |

5.12 分别用D、T、J-K触发器作为同步时序电路的存储元件，实现下表所示的
二进制状态表的功能。试写出激励函数
和输出函数表达式，并比较用哪种触发
器时电路最简。

| 现态 | 次态/输出 | |
|----|-------|------|
| | X=0 | X=1 |
| 00 | 01/0 | 10/0 |
| 01 | 11/0 | 10/0 |
| 11 | 10/1 | 01/0 |
| 10 | 00/1 | 11/1 |

解答：（1）作出激励函数和输出函数真值表。

| x | $y_2 y_1$ | $y_2^{(n+1)} y_1^{(n+1)}$ | $D_2 D_1$ | $T_2 T_1$ | $J_2 K_2 J_1 K_1$ | Z |
|---|-----------|---------------------------|-----------|-----------|-------------------|---|
| 0 | 00 | 01 | 01 | 01 | 0 d 1 d | 0 |
| 0 | 01 | 11 | 11 | 10 | 1 d d 0 | 0 |
| 0 | 10 | 00 | 00 | 10 | d 1 0 d | 1 |
| 0 | 11 | 10 | 10 | 01 | d 0 d 1 | 1 |
| 1 | 00 | 10 | 10 | 10 | 1 d 0 d | 0 |
| 1 | 01 | 10 | 10 | 11 | 1 d d 1 | 0 |
| 1 | 10 | 11 | 11 | 01 | d 0 1 d | 1 |
| 1 | 11 | 01 | 01 | 10 | d 1 d 0 | 0 |

| x | y_2y_1 | $y_2^{(n+1)} y_1^{(n+1)}$ | D_2D_1 | T_2T_1 | $J_2K_2J_1K_1$ | Z |
|---|----------|---------------------------|----------|----------|----------------|---|
| 0 | 0 0 | 0 1 | 0 1 | 0 1 | 0 d 1 d | 0 |
| 0 | 0 1 | 1 1 | 1 1 | 1 0 | 1 d d 0 | 0 |
| 0 | 1 0 | 0 0 | 0 0 | 1 0 | d 1 0 d | 1 |
| 0 | 1 1 | 1 0 | 1 0 | 0 1 | d 0 d 1 | 1 |
| 1 | 0 0 | 1 0 | 1 0 | 1 0 | 1 d 0 d | 0 |
| 1 | 0 1 | 1 0 | 1 0 | 1 1 | 1 d d 1 | 0 |
| 1 | 1 0 | 1 1 | 1 1 | 0 1 | d 0 1 d | 1 |
| 1 | 1 1 | 0 1 | 0 1 | 1 0 | d 1 d 0 | 0 |

(2) 用D触发器。

$$z = \overline{x}y_2 + \overline{y_1}y_2 = \overline{x}y_1y_2$$

$$D_2 = \overline{x}y_1 + x\overline{y_1} + x\overline{y_2} = \overline{x}y_1 + x\overline{y_1} + y_1\overline{y_2}$$

$$D_1 = \overline{x}y_2 + xy_2$$

习题课

| x | y_2y_1 | $y_2^{(n+1)}y_1^{(n+1)}$ | D_2D_1 | T_2T_1 | $J_2K_2J_1K_1$ | Z |
|---|----------|--------------------------|----------|----------|----------------|---|
| 0 | 00 | 01 | 01 | 01 | 0d1d | 0 |
| 0 | 01 | 11 | 11 | 10 | 1dd0 | 0 |
| 0 | 10 | 00 | 00 | 10 | d10d | 1 |
| 0 | 11 | 10 | 10 | 01 | d0d1 | 1 |
| 1 | 00 | 10 | 10 | 10 | 1d0d | 0 |
| 1 | 01 | 10 | 10 | 11 | 1dd1 | 0 |
| 1 | 10 | 11 | 11 | 01 | d01d | 1 |
| 1 | 11 | 01 | 01 | 10 | d1d0 | 0 |

用T触发器。

$$Z = \overline{xy_2} + \overline{y_1y_2} = \overline{xy_1y_2}$$

$$T_2 = \overline{xy_2} + \overline{xy_1} + \overline{y_2y_1} + \overline{xy_1y_2}$$

$$T_1 = \overline{\overline{xy_2y_1}} + \overline{\overline{xy_2y_1}} + \overline{xy_2y_1} + \overline{xy_2y_1} = x \oplus y_2 \oplus \overline{y_1}$$



| x | y_2y_1 | $y_2^{(n+1)} y_1^{(n+1)}$ | D_2D_1 | T_2T_1 | $J_2K_2J_1K_1$ | Z |
|---|----------|---------------------------|----------|----------|----------------|---|
| 0 | 0 0 | 0 1 | 0 1 | 0 1 | 0 d 1 d | 0 |
| 0 | 0 1 | 1 1 | 1 1 | 1 0 | 1 d d 0 | 0 |
| 0 | 1 0 | 0 0 | 0 0 | 1 0 | d 1 0 d | 1 |
| 0 | 1 1 | 1 0 | 1 0 | 0 1 | d 0 d 1 | 1 |
| 1 | 0 0 | 1 0 | 1 0 | 1 0 | 1 d 0 d | 0 |
| 1 | 0 1 | 1 0 | 1 0 | 1 1 | 1 d d 1 | 0 |
| 1 | 1 0 | 1 1 | 1 1 | 0 1 | d 0 1 d | 1 |
| 1 | 1 1 | 0 1 | 0 1 | 1 0 | d 1 d 0 | 0 |

用JK触发器。

$$z = \overline{x}y_2 + \overline{y_1}y_2 = \overline{xy_1y_2}$$

$$J_2 = x + y_1 \quad K_2 = x \oplus \overline{y_1}$$

$$J_1 = x \oplus \overline{y_2} \quad K_1 = x \oplus y_2$$

由此可见，用J-K触发器比较简单。

5.13 已知某同步时序电路的激励函数和输出函数表达式为：

$$D_1 = \bar{x}y_2 + \bar{y}_1y_2 + xy_1\bar{y}_2 \quad D_2 = \bar{x}y_2 + x\bar{y}_1y_2 \quad Z = y_2$$

试求出用J-K触发器替换D触发器后的最简电路。

解答：（1）作出激励函数和输出函数真值表。

| x | y_2y_1 | D_2D_1 | $y_2^{(n+1)} y_1^{(n+1)}$ | $J_2K_2J_1K_1$ | Z |
|---|----------|----------|---------------------------|----------------|---|
| 0 | 00 | 0 1 | 0 1 | 0 d 1 d | 0 |
| 0 | 01 | 1 1 | 1 1 | 1 d d 0 | 0 |
| 0 | 10 | 0 0 | 0 0 | d 1 0 d | 1 |
| 0 | 11 | 1 0 | 1 0 | d 0 d 1 | 1 |
| 1 | 00 | 1 0 | 1 0 | 1 d 0 d | 0 |
| 1 | 01 | 1 0 | 1 0 | 1 d d 1 | 0 |
| 1 | 10 | 1 1 | 1 1 | d 0 1 d | 1 |
| 1 | 11 | 0 1 | 0 1 | d 1 d 0 | 0 |

| x | y_2y_1 | D_2D_1 | $y_2^{(n+1)} y_1^{(n+1)}$ | $J_2K_2J_1K_1$ | Z |
|---|----------|----------|---------------------------|----------------|---|
| 0 | 00 | 0 1 | 0 1 | 0 d 1 d | 0 |
| 0 | 01 | 1 1 | 1 1 | 1 d d 0 | 0 |
| 0 | 10 | 0 0 | 0 0 | d 1 0 d | 1 |
| 0 | 11 | 1 0 | 1 0 | d 0 d 1 | 1 |
| 1 | 00 | 1 0 | 1 0 | 1 d 0 d | 0 |
| 1 | 01 | 1 0 | 1 0 | 1 d d 1 | 0 |
| 1 | 10 | 1 1 | 1 1 | d 0 1 d | 1 |
| 1 | 11 | 0 1 | 0 1 | d 1 d 0 | 0 |

(2) 用J-K触发器替代D触发器，则激励函数和输出函数表达式为：

$$z = y_2$$

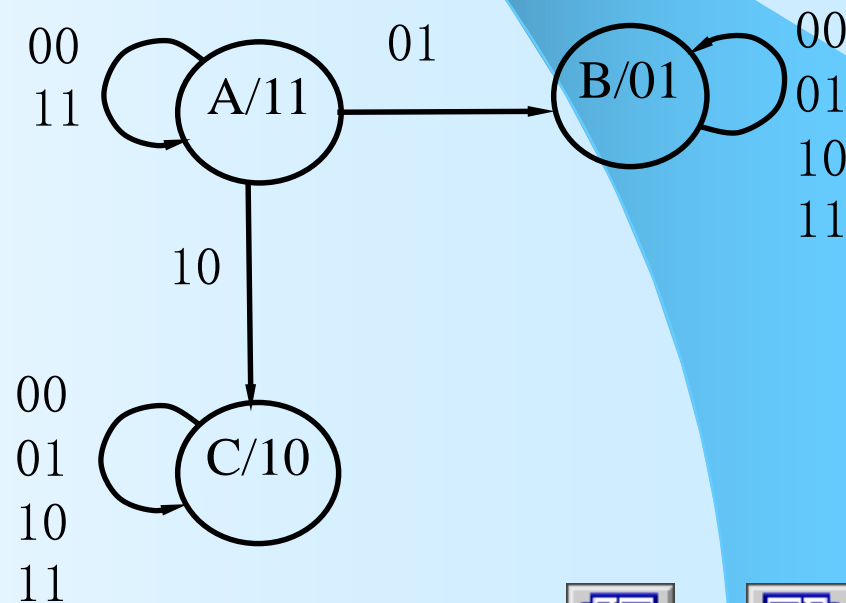
$$J_2 = 0 \quad K_2 = xy_1$$

$$J_1 = y_2 \quad K_1 = x \oplus \overline{y_2}$$

5.14 设计一个能对两个二进制数 $X=x_1, x_2, \dots, x_n$ 和 $Y=y_1, y_2, \dots, y_n$ 进行比较的同步时序电路，其中， X 、 Y 串行的输入到电路 x 、 y 输入端。比较从 x_1 、 y_1 开始，依次进行到 x_n 、 y_n 。电路有两个输出 Z_x 和 Z_y ，若比较结果 $X>Y$ ，则为 Z_x 1， Z_y 为0；若比较结果 $X<Y$ ，则 Z_x 为0， Z_y 为1；若比较结果 $X=Y$ ，则 Z_x 和 Z_y 都为1。要求用尽可能少的状态数作出状态图和状态表，并用尽可能少的逻辑门和触发器（采用J-K触发器）实现其功能。

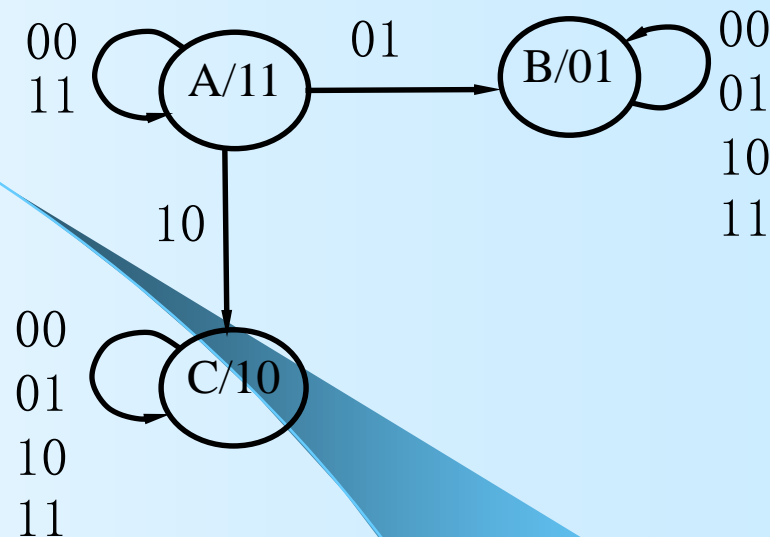
解答：

(1) 采用Moore型电路，作状态图。根据题意，设 $X=Y$ ，为A状态，输出为11；设 $X<Y$ ，为B状态，输出为01；设 $X>Y$ ，为C状态，输出为10。



(2) 作出原始状态表。

| 现态 | 次态 | | | | 输出 |
|----|-------|-------|-------|-------|----|
| | xy=00 | xy=01 | xy=11 | xy=10 | |
| A | A | B | A | C | 11 |
| B | B | B | B | B | 01 |
| C | C | C | C | C | 10 |



(3) 状态编码。

(状态数 $N=3$ ，所以，需要触发器的个数 $n=2$ ；

根据原则一，有AB、AC编码相邻；
根据原则二，有AB、BC、CA编码相邻。所以，分配A状态用00表示，分配B状态用01表示，分配C状态用10表示。得到状态表如右表所示。

| 现态 | 次态 | | | | 输出 |
|----|-------|-------|-------|-------|----|
| | xy=00 | xy=01 | xy=11 | xy=10 | |
| 00 | 00 | 01 | 00 | C | 11 |
| 01 | 01 | 01 | 01 | 01 | 01 |
| 10 | 11 | 11 | 11 | 11 | 10 |

(4) 真值表。

| xy | y_2y_1 | $y_2^{(n+1)}y_1^{(n+1)}$ | $J_2K_2J_1K_1$ | Z |
|------|----------|--------------------------|----------------|-----|
| 00 | 0 0 | 0 0 | 0 d 0 d | 11 |
| | 0 1 | 0 1 | 0 d d 0 | 01 |
| | 1 0 | 1 0 | d 0 0 d | 10 |
| 01 | 0 0 | 0 1 | 0 d 1 d | 11 |
| | 0 1 | 0 1 | 0 d d 0 | 01 |
| | 1 0 | 1 0 | d 0 0 d | 10 |
| 10 | 0 0 | 1 0 | 1 d 0 d | 11 |
| | 0 1 | 0 1 | 0 d d 0 | 01 |
| | 1 0 | 1 0 | d 0 0 d | 10 |
| 11 | 0 0 | 0 0 | 0 d 0 d | 11 |
| | 0 1 | 0 1 | 0 d d 0 | 01 |
| | 1 0 | 1 0 | d 0 0 d | 10 |

(5) 激励函数和输出函数表达式为:

$$\begin{aligned} z_x &= \overline{y_1} & z_y &= \overline{y_2} & J_2 &= x \overline{y} \overline{y_1} & K_2 &= (\overline{x} + y) y_1 \\ J_1 &= \overline{x} y \overline{y_2} & K_1 &= (x + \overline{y}) y_2 \end{aligned}$$

(6) 无效状态分析。

存在无效状态，但不会挂起，无错误输出。

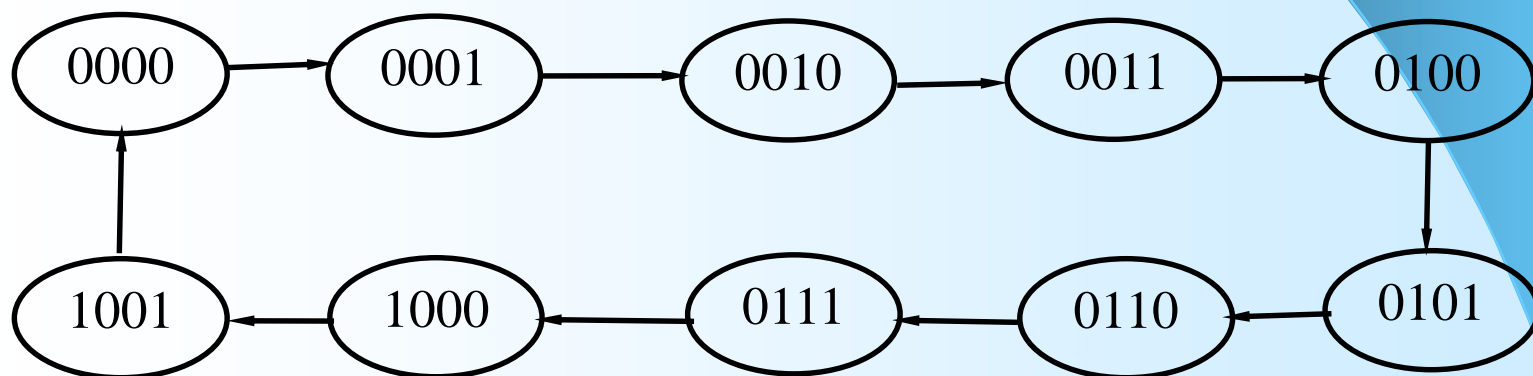
11状态在输入10时转向10状态，输入01时转向01状态，输入00、11时转向00状态，输出为00。

(7) 电路图。

略。

5.15 用T触发器作为存储元件，设计一个采用8421码的十进制加1计数器。

解答：（1）作出状态图和状态表。



(2) 作出状态表。

| $y_3 y_2 y_1 y_0$ | $y_3^{(n+1)} y_2^{(n+1)} y_1^{(n+1)} y_0^{(n+1)}$ | $T_3 T_2 T_1 T_0$ |
|-------------------|---|-------------------|
| 0 0 0 0 | 0 0 0 1 | 0 0 0 1 |
| 0 0 0 1 | 0 0 1 0 | 0 0 1 1 |
| 0 0 1 0 | 0 0 1 1 | 0 0 0 1 |
| 0 0 1 1 | 0 1 0 0 | 0 1 1 1 |
| 0 1 0 0 | 0 1 0 1 | 0 0 0 1 |
| 0 1 0 1 | 0 1 1 0 | 0 0 1 1 |
| 0 1 1 0 | 0 1 1 1 | 0 0 0 1 |
| 0 1 1 1 | 1 0 0 0 | 1 1 1 1 |
| 1 0 0 0 | 1 0 0 1 | 0 0 0 1 |
| 1 0 0 1 | 0 0 0 0 | 1 0 0 1 |

(3) 作出真值表。

(4) 确定激励函数和输出函数表达式。

$$T_3 = y_3 y_0 + y_2 y_1 y_0 \quad T_2 = y_1 y_0$$

$$T_1 = \overline{y_3} y_0 \quad T_0 = 1$$



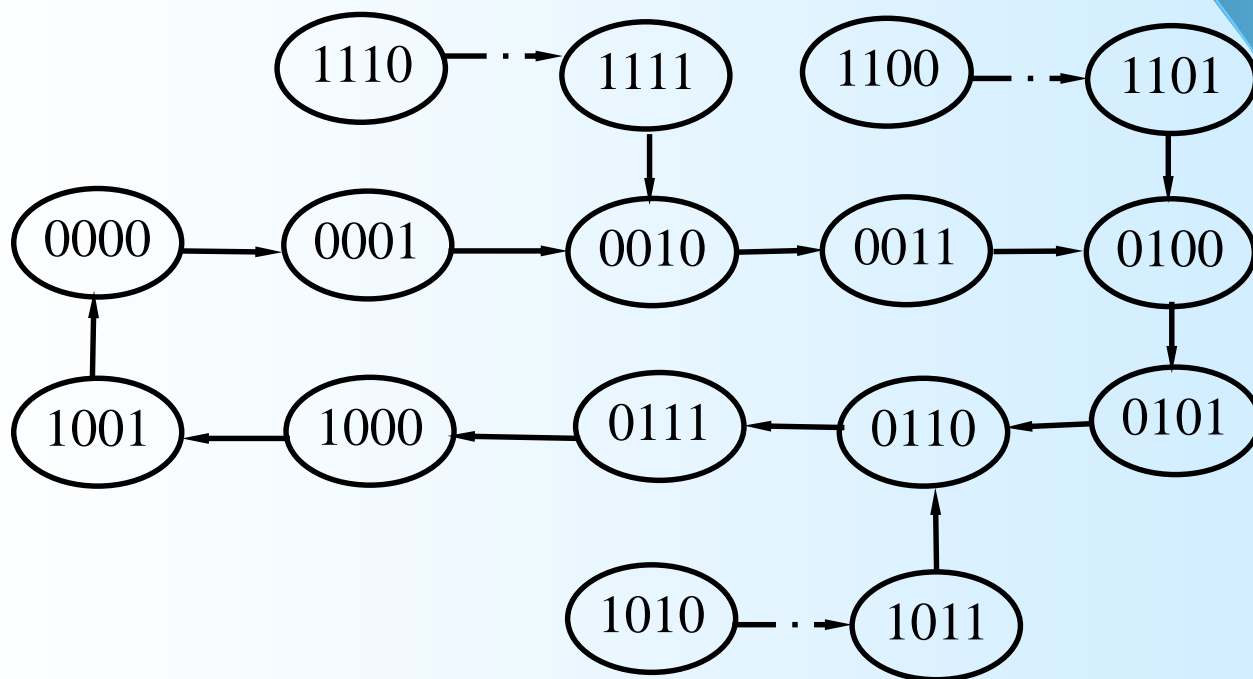
(5) 画逻辑电路图。

电路图略。

(6) 无效状态分析。

该电路中存在六种无效状态，在确定激励函数和输出函数时被作为无关最小项处理。该电路具有自启动功能修改。

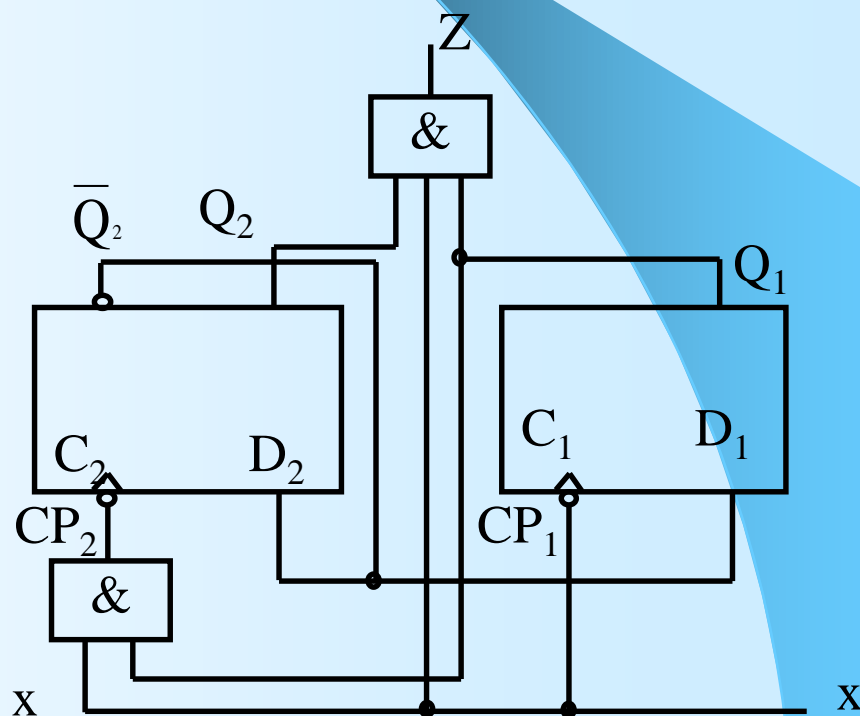
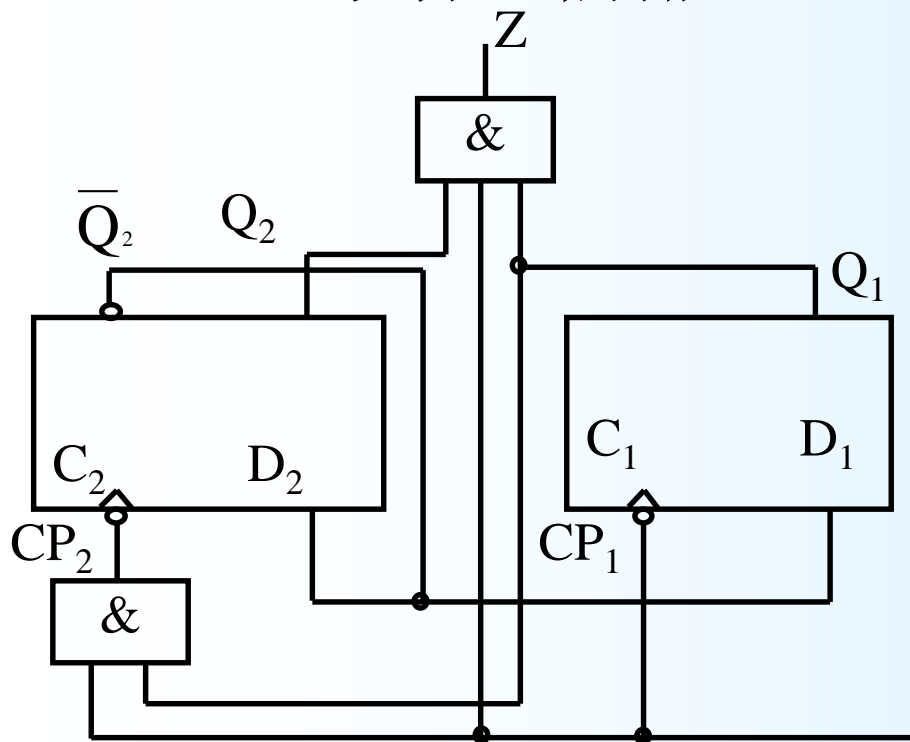
实际的电路状态图如下图所示。



第六章 异步时序逻辑电路

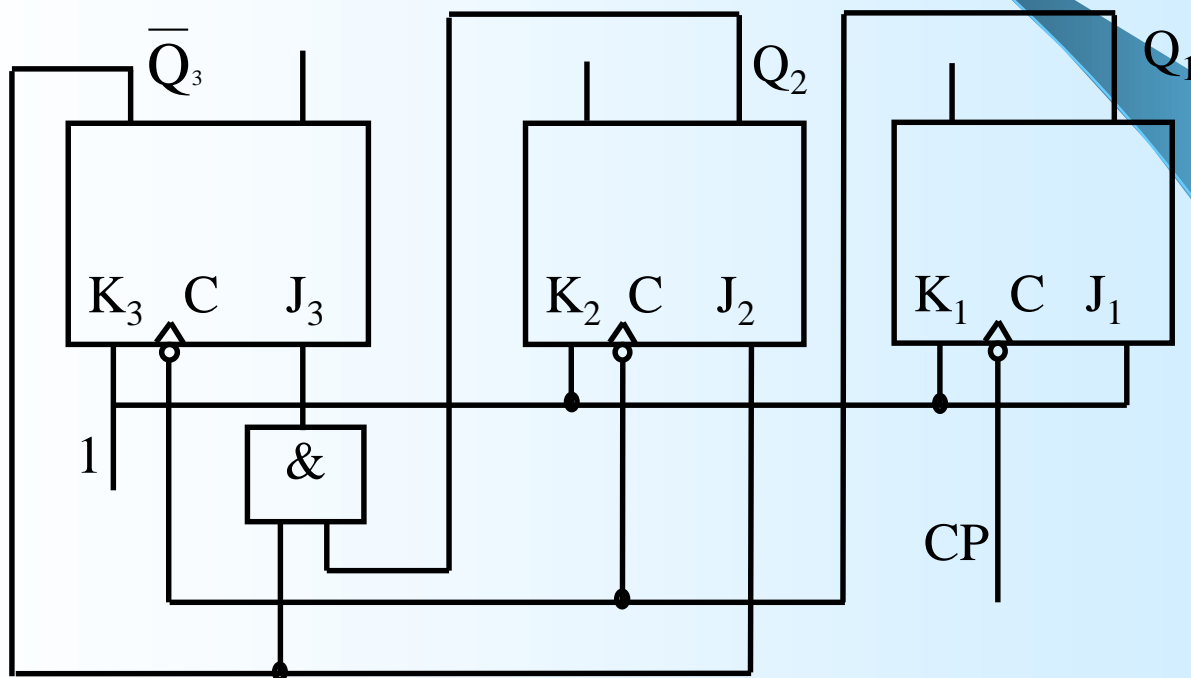
6.1 分析如图所示脉冲异步时序逻辑电路。

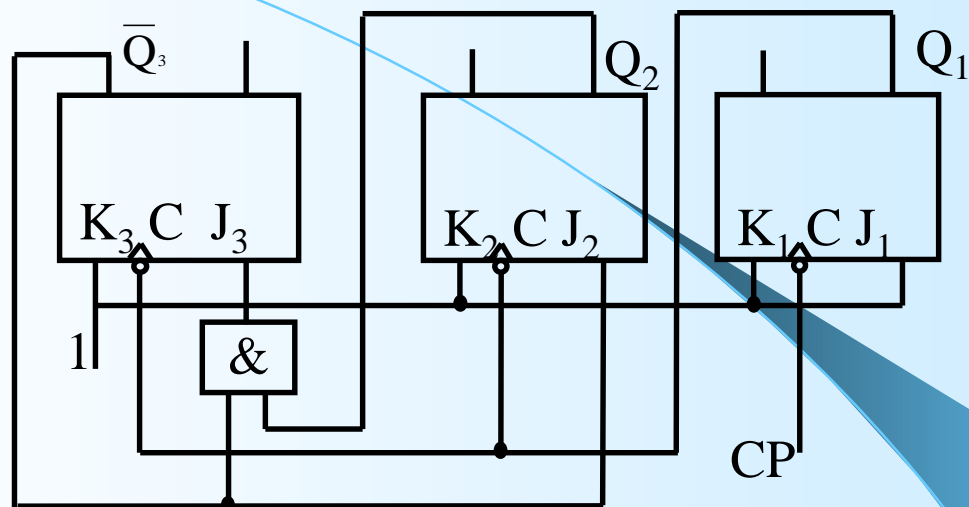
- (1) 作出状态表和状态图。
- (2) 说明电路功能。



6.2 分析如图所示脉冲异步时序逻辑电路。

- (1) 作出状态表和状态图。
- (2) 说明电路功能。





解答:

1 该电路是一个Moore型脉冲异步时序逻辑电路, 其输出即电路状态。激励函数表达式为

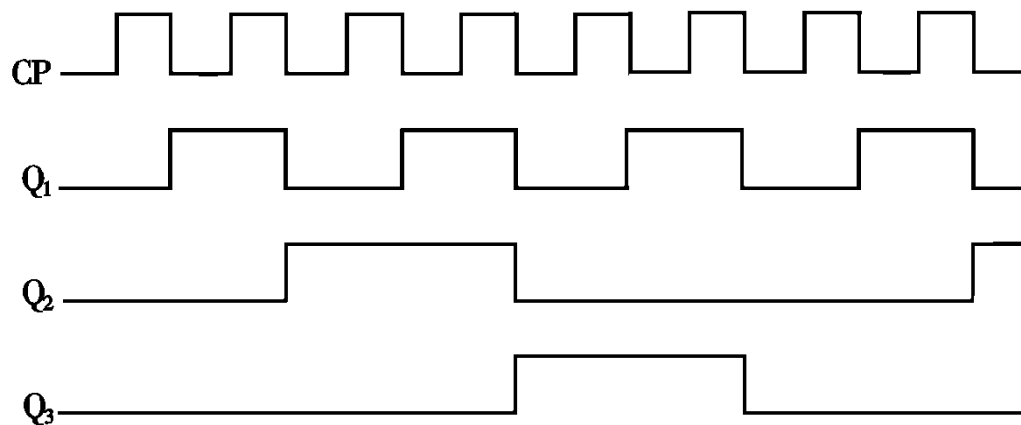
$$J_3 = \overline{Q_3} Q_2 \quad ; \quad J_2 = \overline{Q_3} \quad ; \quad J_1 = 1$$

$$K_3 = K_2 = K_1 = 1; C_1 = CP; C_2 = C_3 = Q_1$$

2 电路状态表如表所示

| 时 钟 CP | 现 态 $Q_3 Q_2 Q_1$ | 次 态 $Q_3^{(n+1)} Q_2^{(n+1)} Q_1^{(n+1)}$ |
|-----------|----------------------|--|
| 1 | 000 | 001 |
| 1 | 001 | 010 |
| 1 | 010 | 011 |
| 1 | 011 | 100 |
| 1 | 100 | 101 |
| 1 | 101 | 000 |
| 1 | 110 | 111 |
| 1 | 111 | 000 |

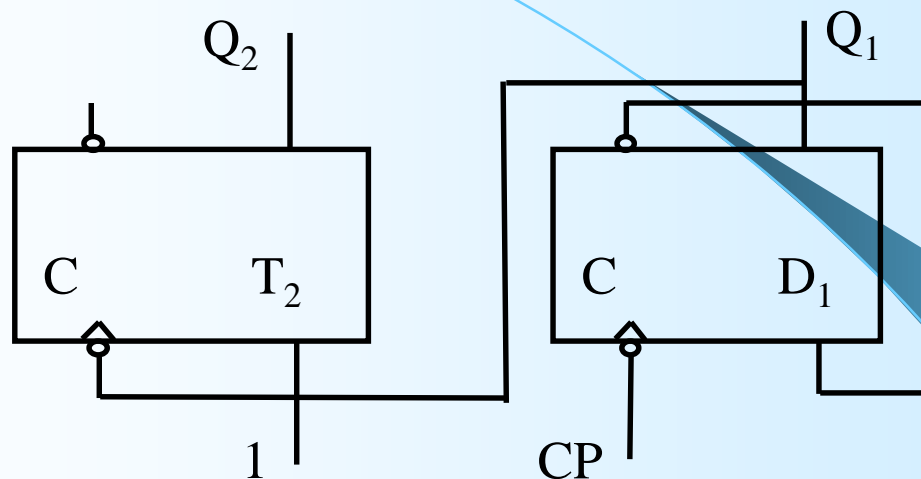
3 时间图如下图所示



4 功能分析

由状态表和时间图可知，该电路是一个**模6计数器**。

6.4 分析如图所示脉冲异步时序电路，作出时间图并说明电路逻辑功能。



解答：

(1) 触发器的状态即电路的输出，所以该电路为Moore型电路。

(2) 激励函数表达式为：

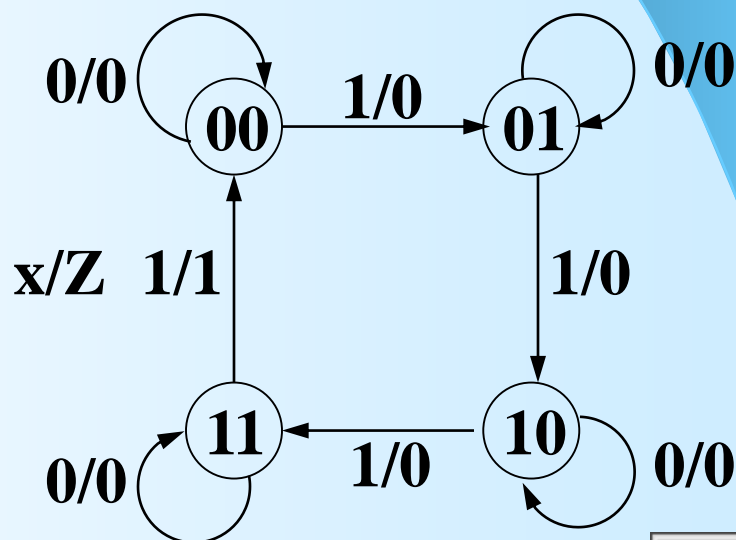
$$T_2 = 1 \quad C_2 = y_1 \quad D_1 = \overline{y_1} \quad C_1 = X$$

(3) 作出真值表: $T_2 = 1$ $C_2 = y_1$ $D_1 = \overline{y_1}$ $C_1 = X$

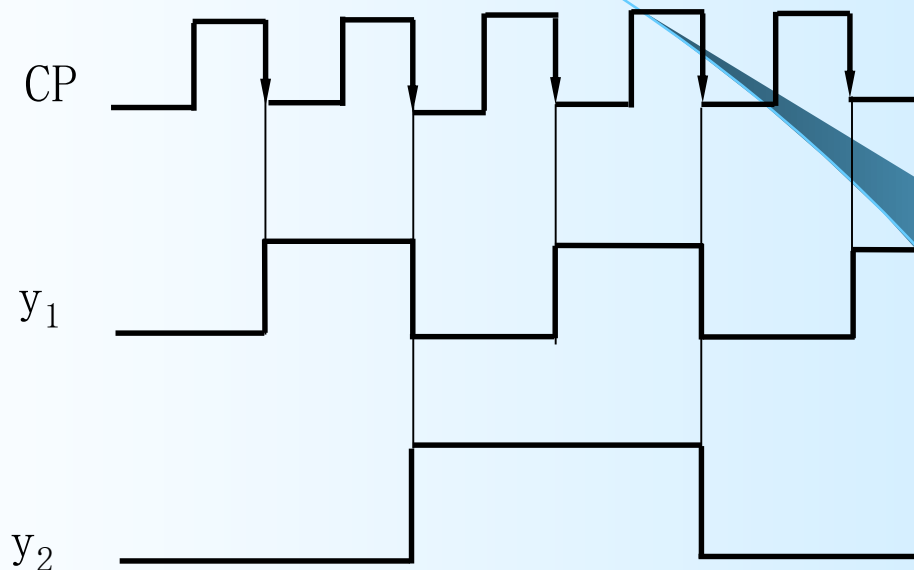
| 输入 | 现态 | 激励函数 | | | | 次态 |
|-----|-----------|-------|-------|-------|-------|---------------------------|
| x | $y_2 y_1$ | T_2 | C_2 | D_1 | C_1 | $y_2^{(n+1)} y_1^{(n+1)}$ |
| 1 | 0 0 | 1 | | 1 | ↓ | 0 1 |
| 1 | 0 1 | 1 | ↓ | 0 | ↓ | 1 0 |
| 1 | 1 0 | 1 | | 1 | ↓ | 1 1 |
| 1 | 1 1 | 1 | ↓ | 0 | ↓ | 0 0 |

(4) 状态表和状态图:

| 现态 | 次态 $y_2^{(n+1)} y_1^{(n+1)}$ |
|-----------|------------------------------|
| $y_2 y_1$ | $x = 1$ |
| 0 0 | 0 1 |
| 0 1 | 1 0 |
| 1 0 | 1 1 |
| 1 1 | 0 0 |



(5) 作出时间图:



(6) 功能分析:

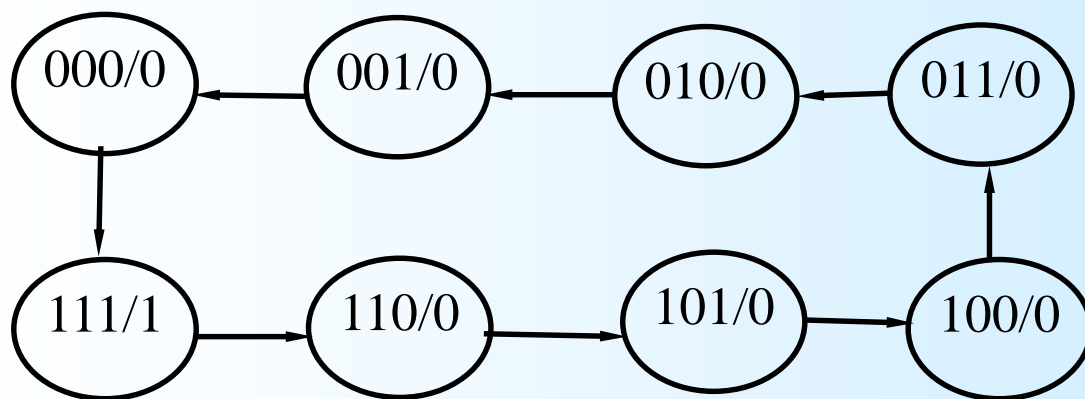
该电路是一个模4加1计数器。

6.5 用D触发器作为存储元件，设计一个脉冲异步时序电路。该电路在输入端X的脉冲作用下，实现三位二进制减1计数的功能，当电路状态为“000”时，在输入脉冲作用下，输出端Z产生一个借位脉冲，平时Z输出为0。

解答：

(1) 根据题意，该电路为Moore型电路。

(2) 状态表。



(3) 状态表。

| 现态 | | | 次态 $y_2^{(n+1)}y_1^{(n+1)}y_0^{(n+1)}$ | 输出Z |
|-------|-------|-------|--|-----|
| y_2 | y_1 | y_0 | $x = 1$ | |
| 0 | 0 | 0 | 1 1 1 | 0 |
| 0 | 0 | 1 | 0 0 0 | 0 |
| 0 | 1 | 0 | 0 0 1 | 0 |
| 0 | 1 | 1 | 0 1 0 | 0 |
| 1 | 0 | 0 | 0 1 1 | 0 |
| 1 | 0 | 1 | 1 0 0 | 0 |
| 1 | 1 | 0 | 1 0 1 | 0 |
| 1 | 1 | 1 | 1 1 0 | 1 |

(4) 真值表。

| 输入脉冲 \mathbf{x} | 现 态 $y_2 y_1 y_0$ | 次 态 $y_2^{(n+1)} y_1^{(n+1)} y_0^{(n+1)}$ | 激励函数 $D_2 C_2 D_1 C_1 D_0 C_0$ | | | | | | 输 出 \mathbf{Z} |
|----------------------|----------------------|--|-----------------------------------|---|---|---|---|---|---------------------|
| 1 | 0 0 0 | 1 1 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 0 1 | 0 0 0 | d | 0 | d | 0 | 0 | 1 | 0 |
| 1 | 0 1 0 | 0 0 1 | d | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 1 1 | 0 1 0 | d | 0 | d | 0 | 0 | 1 | 0 |
| 1 | 1 0 0 | 0 1 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 0 1 | 1 0 0 | d | 0 | d | 0 | 0 | 1 | 0 |
| 1 | 1 1 0 | 1 0 1 | d | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 1 1 | 1 1 0 | d | 0 | d | 0 | 0 | 1 | 1 |

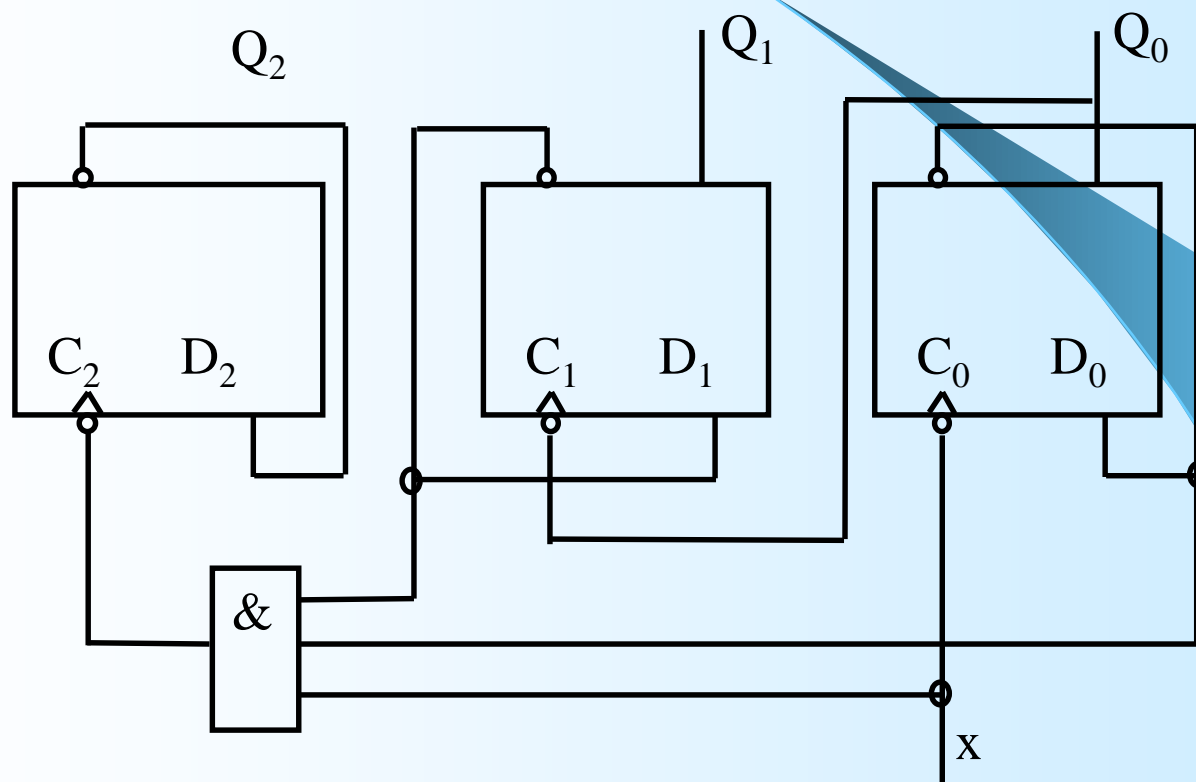
(5) 激励函数及输出函数。

$$D_0 = \overline{y_0} \quad D_1 = \overline{y_1} \quad D_2 = \overline{y_2}$$

$$C_0 = x \quad C_1 = y_0 \quad C_2 = y_0 y_1$$

$$Z = xy_0y_1y_2$$

(6) 电路图

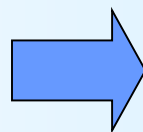
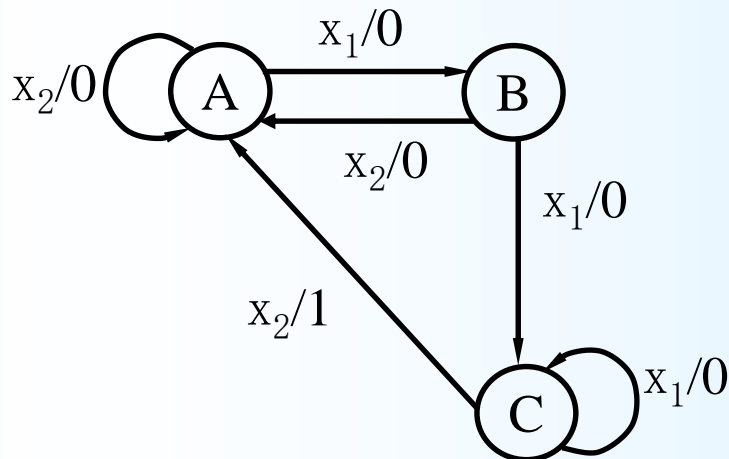


6.6 用T触发器作为存储元件，设计一个脉冲异步时序电路。该电路有两个输入 X_1 和 X_2 ，一个输出 Z ，当输入序列为“ $X_1-X_1-X_2$ ”时，在输出端 Z 产生一个脉冲，平时 Z 输出为0。

解答：

(1) 根据题意，该电路为Mealy型电路。

(2) 状态表和状态图。

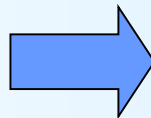


| 现 态 | 次 态/输出 | |
|----------|------------|------------|
| | x_1 | x_2 |
| A | B/0 | A/0 |
| B | C/0 | A/0 |
| C | C/0 | A/1 |

(3) 状态编码。

$N=3$ ，因此需要2个触发器。根据三条原则，编码方案如下：A: 00 B: 01 C: 11。由此得到状态表如下：

| 现 态 | 次 态/输出 | |
|-----|--------|-------|
| | x_1 | x_2 |
| A | B/0 | A/0 |
| B | C/0 | A/0 |
| C | C/0 | A/1 |



| 现 态 | 次 态/输出 | |
|-----|--------|-------|
| | x_1 | x_2 |
| 00 | 01/0 | 00/0 |
| 01 | 11/0 | 00/0 |
| 11 | 11/0 | 00/1 |

(4) 真值表。

| 现 态 | 次 态/输出 | |
|-----|--------|-------|
| | x_1 | x_2 |
| 00 | 01/0 | 00/0 |
| 01 | 11/0 | 00/0 |
| 11 | 11/0 | 00/1 |

| 输 入 | | 现 态 | | 次 态 | | 激励函数 | | | | 输入 |
|-------|-------|-------|-------|---------------|---------------|-------|-------|-------|-------|-----|
| x_2 | x_1 | y_2 | y_1 | $y_2^{(n+1)}$ | $y_1^{(n+1)}$ | T_2 | C_2 | T_1 | C_1 | Z |
| 0 | 1 | 0 | 0 | 0 | 1 | d | 0 | 1 | 1 | 0 |
| | | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| | | 1 | 0 | d | d | d | d | d | d | d |
| | | 1 | 1 | 1 | 1 | 0 | d | 0 | d | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | d | 0 | d | 0 | 0 |
| | | 0 | 1 | 0 | 0 | d | 0 | 1 | 1 | 0 |
| | | 1 | 0 | d | d | d | d | d | d | d |
| | | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

| Q | $Q^{(n+1)}$ | C | P | T |
|---|-------------|---|---|---|
| 0 | 0 | d | 0 | |
| | | 0 | d | |
| 0 | 1 | 1 | 1 | |
| 1 | 0 | 1 | 1 | |
| 1 | 1 | d | 0 | |
| | | 0 | d | |

(5) 激励函数及输出函数

| 输入 $x_2 \ x_1$ | | 现 态 $y_2 \ y_1$ | | 次 态 $y_2^{(n+1)} \ y_1^{(n+1)}$ | | 激励函数 $T_2 \ C_2 \ T_1 \ C_1$ | | | | 输入 Z |
|-------------------|---|--------------------|---|------------------------------------|---|---------------------------------|---|---|---|-----------|
| 0 | 1 | 0 | 0 | 0 | 1 | d | 0 | 1 | 1 | 0 |
| | | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| | | 1 | 0 | d | d | d | d | d | d | d |
| | | 1 | 1 | 1 | 1 | 0 | d | 0 | d | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | d | 0 | d | 0 | 0 |
| | | 0 | 1 | 0 | 0 | d | 0 | 1 | 1 | 0 |
| | | 1 | 0 | d | d | d | d | d | d | d |
| | | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

$$T_2 = 1 \quad C_2 = x_2 y_2 + x_1 \overline{y_1} \overline{y_2}$$

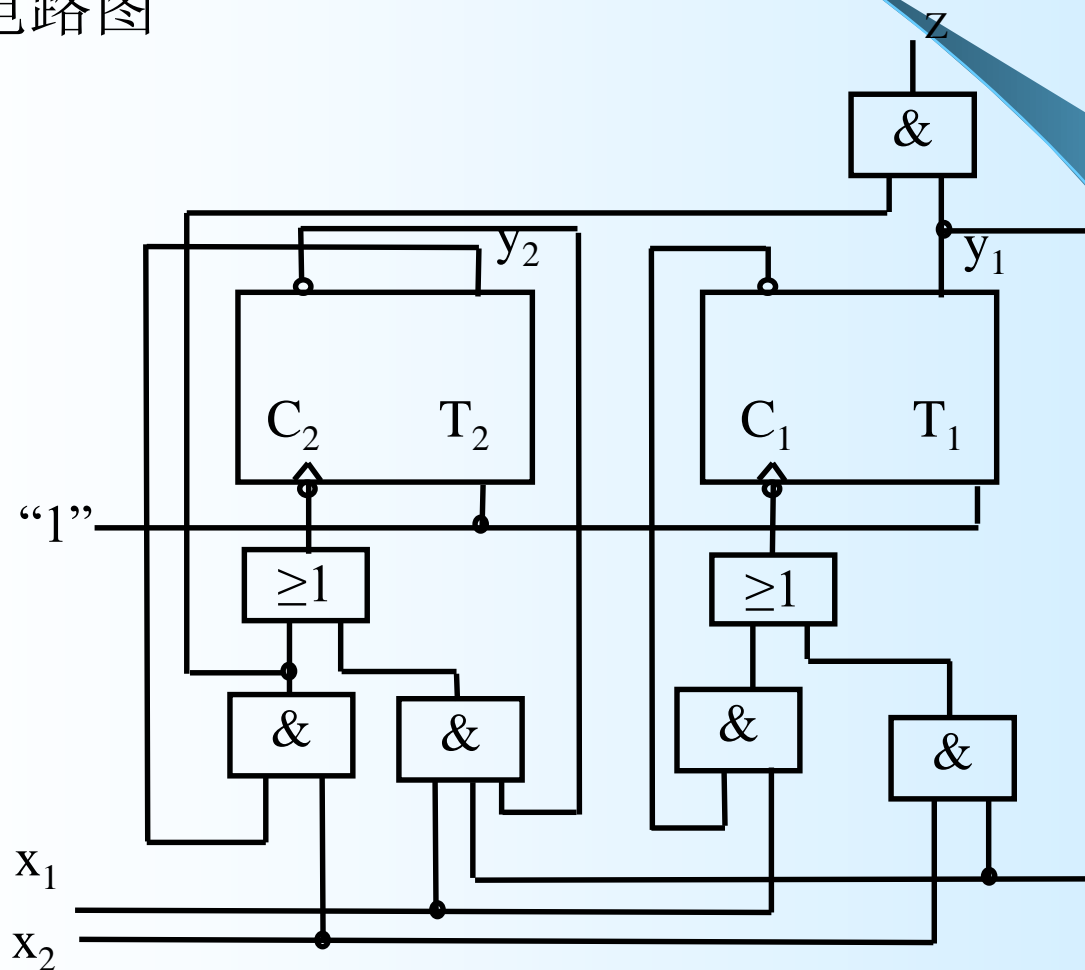
$$T_1 = 1 \quad C_1 = x_2 y_1 + x_1 y_1$$

$$Z = x_2 y_1 y_2$$

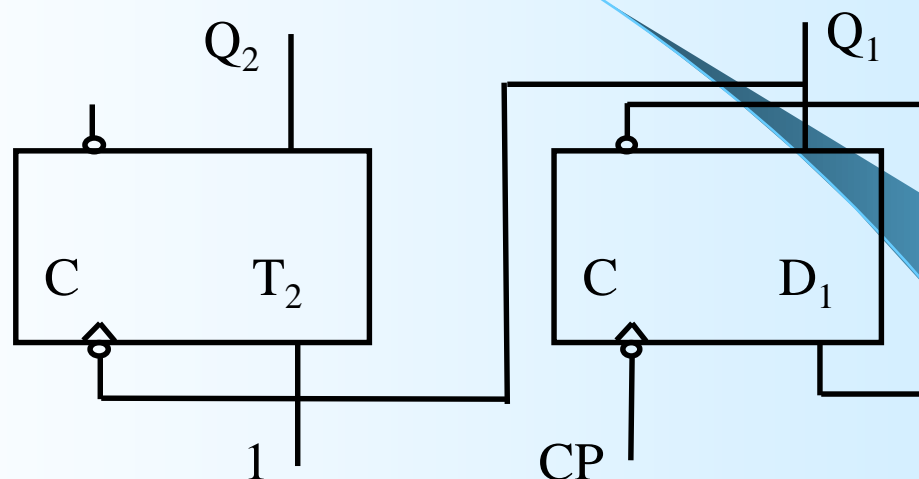
(6) 无效状态分析。

该电路存在无效状态10，但不会产生挂起现象。

(7) 电路图



6.7 试用与非门构成的基本R-S触发器实现如图所示电路的逻辑功能。



解答：

(1) 根据逻辑电路图，可知触发器的状态即电路的输出，所以，该电路为Moore型电路。电路的激励函数为：

$$T_2 = 1 \quad C_2 = y_1 \quad D_1 = \overline{y_1} \quad C_1 = X$$

(2) 作出真值表: $T_2 = 1$ $C_2 = y_1$ $D_1 = \overline{y_1}$ $C_1 = X$

| 输入 | 现态 | 激励函数 | | | | 次态 | 新触发器激励函数 | | | |
|-----|-----------|-------|-------|-------|-------|---------------------------|----------|-------|-------|-------|
| x | $y_2 y_1$ | T_2 | C_2 | D_1 | C_1 | $y_2^{(n+1)} y_1^{(n+1)}$ | R_2 | S_2 | R_1 | S_1 |
| 1 | 0 0 | 1 | | 1 | ↓ | 0 1 | d | 0 | 0 | 1 |
| 1 | 0 1 | 1 | ↓ | 0 | ↓ | 1 0 | 0 | 1 | 1 | 0 |
| 1 | 1 0 | 1 | | 1 | ↓ | 1 1 | 0 | d | 0 | 1 |
| 1 | 1 1 | 1 | ↓ | 0 | ↓ | 0 0 | 1 | 0 | 1 | 0 |

(3) 激励函数及输出函数表达式:

$$R_2 = \overline{y_2} + \overline{y_1}$$

$$S_2 = y_2 + \overline{y_1}$$

$$R_1 = \overline{y_1}$$

$$S_1 = y_1$$

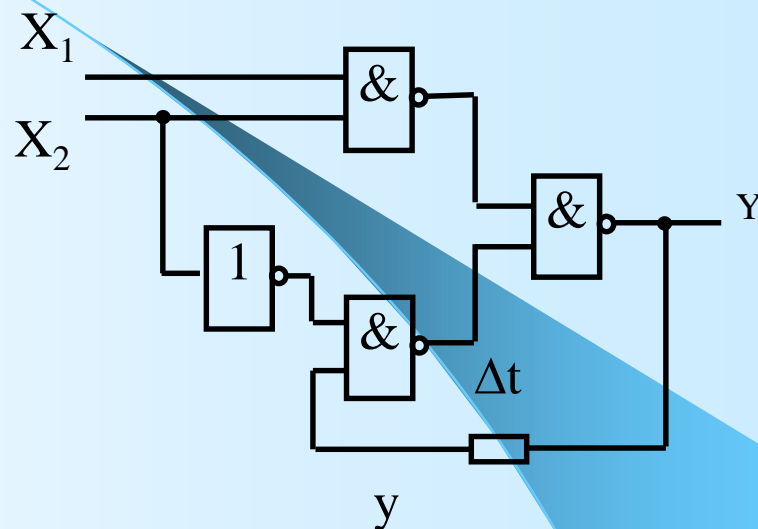
| $Q \rightarrow Q^{(n+1)}$ | R | S |
|---------------------------|-----|-----|
| 0 0 | d | 0 |
| 0 1 | 0 | 1 |
| 1 0 | 1 | 0 |
| 1 1 | 0 | d |

6.8 分析如图所示电平异步时序逻辑电路，作出流程表。

解答：

(1) 根据逻辑电路图，可得到激励函数和输出函数表达式如下：

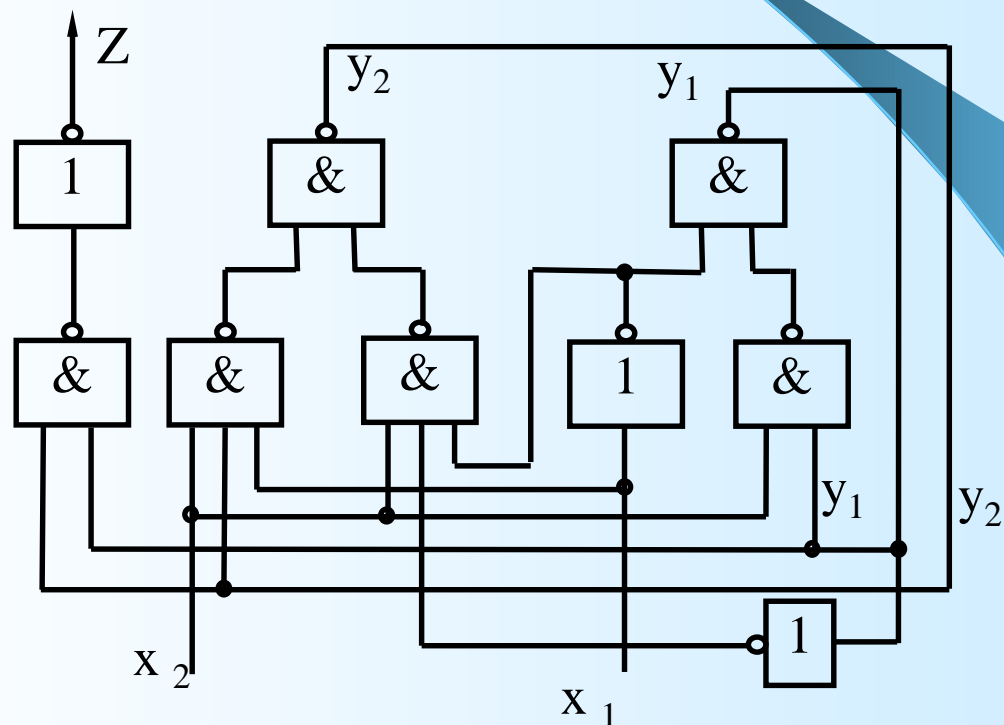
$$Y = \overline{x_1 x_2} \cdot \overline{x_2 y} = x_1 x_2 + \overline{x_2} y$$

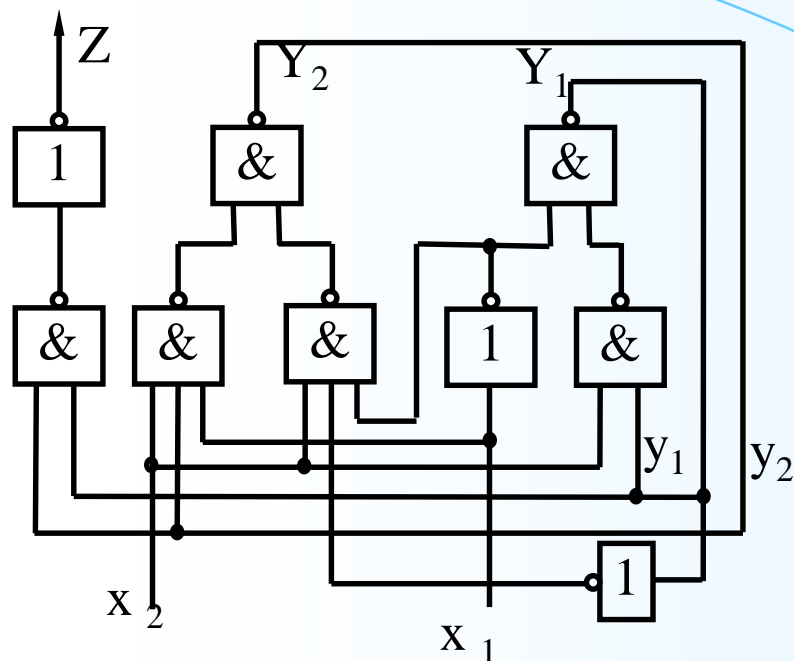


(2) 作出流程表：

| 二次状态 y | 激励状态Y/输出Z | | | |
|-----------|----------------|----------------|----------------|----------------|
| | $x_2 x_1 = 00$ | $x_2 x_1 = 01$ | $x_2 x_1 = 11$ | $x_2 x_1 = 10$ |
| 0 | ① | ① | 1 | ① |
| 1 | ① | ① | ① | 0 |

6.9 分析如图所示电平异步时序逻辑电路，作出流程表和总态图，说明该电路的逻辑功能





解答:

(1) 根据逻辑电路图, 可得到激励函数和输出函数表达式如下:

$$Z = y_2 y_1$$

$$Y_2 = \overline{x_1 x_2 y_2} \cdot \overline{x_1 x_2 y_1} = x_1 x_2 y_2 + x_1 x_2 y_1$$

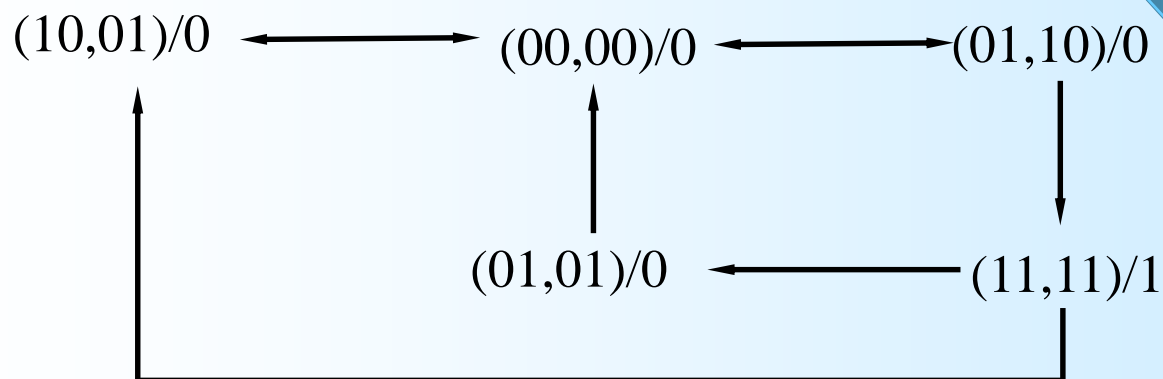
$$Y_1 = \overline{x_1 y_1} \cdot \overline{x_2} = x_2 + x_1 y_1$$

(2) 作出流程表:

| 二次状态 $y_2 y_1$ | 激励状态 $Y_2 Y_1$ | | | | Z |
|-------------------|----------------|----------------|----------------|----------------|-----|
| | $x_2 x_1 = 00$ | $x_2 x_1 = 01$ | $x_2 x_1 = 11$ | $x_2 x_1 = 10$ | |
| 0 0 | 00 | 10 | 01 | 01 | 0 |
| 0 1 | 00 | 01 | 01 | 01 | 0 |
| 1 0 | 00 | 01 | 11 | 01 | 0 |
| 1 1 | 00 | 01 | 01 | 01 | 1 |

(3) 作出总态图:

| 二次状态 $y_2 y_1$ | 激励状态 $Y_2 Y_1$ | | | | Z |
|-------------------|----------------|----------------|----------------|----------------|---|
| | $x_2 x_1 = 00$ | $x_2 x_1 = 01$ | $x_2 x_1 = 11$ | $x_2 x_1 = 10$ | |
| 0 0 | 00 | 10 | 01 | 01 | 0 |
| 0 1 | 00 | 00 | 00 | 00 | 0 |
| 1 0 | 00 | 00 | 11 | 01 | 0 |
| 1 1 | 00 | 01 | 00 | 01 | 1 |



(4) 功能分析

该电路是一个“00—01—11”序列检测器。

6.10 某电平异步时序逻辑电路的流程表如表所示。作出输入 X_2X_1 变化序列为 $00 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow 11 \rightarrow 01 \rightarrow 00$ 时的总态（ X_2X_1 ， Y_2Y_1 ）响应序列。

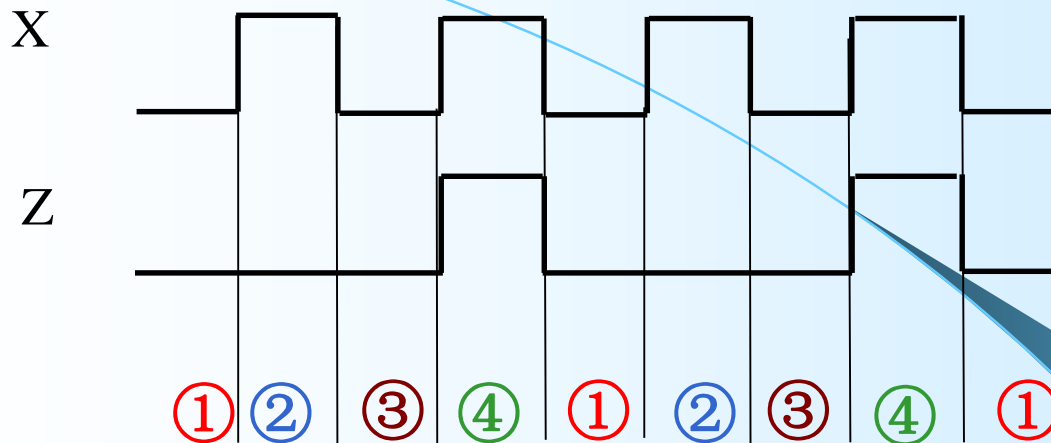
| 二次状态 Y_2Y_1 | 激励状态 Y_2Y_1 /输出 Z | | | |
|------------------|-----------------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| 0 0 | 00/0 | 01/0 | 01/0 | 10/0 |
| 0 1 | 00/0 | 00/0 | 00/0 | 11/0 |
| 1 1 | 00/0 | 01/0 | 10/0 | 00/0 |
| 1 0 | 00/d | 00/1 | 00/1 | 00/1 |

习题课

| 二次状态 $y_2 y_1$ | 激励状态 $y_2 y_1$ / 输出 z | | | |
|-------------------|-------------------------|----------------|----------------|----------------|
| | $x_2 x_1 = 00$ | $x_2 x_1 = 01$ | $x_2 x_1 = 11$ | $x_2 x_1 = 10$ |
| 0 0 | 00/0 | 01/0 | 01/0 | 10/0 |
| 0 1 | 00/0 | 00/0 | 00/0 | 11/0 |
| 1 1 | 00/0 | 01/0 | 10/0 | 00/0 |
| 1 0 | 00/d | 00/1 | 00/1 | 00/1 |

| 时间 | t_0 | T_1 | t_2 | T_3 |
|-----------|-----------|-----------|-----------|-----------|
| $x_2 x_1$ | 00 | 01 | 11 | 10 |
| 总态 | (00, 00) | (01, 00)* | (11, 01) | (10, 01)* |
| | | (01, 01) | | (10, 11) |
| | | | | |
| 时间 | t_4 | t_5 | t_6 | |
| $x_2 x_1$ | 11 | 01 | 00 | |
| 总态 | (11, 11)* | (01, 10)* | (00, 01)* | |
| | (11, 10) | (01, 00)* | (00, 00) | |
| | | (01, 01) | | |

习题课



(2)由此可得到原始流程表。

| 二次状态 y | 激励状态Y/输出Z | |
|-----------|-----------|-------|
| | X = 0 | X = 1 |
| 1 | ①/0 | 2/0 |
| 2 | 3/0 | ②/0 |
| 3 | ③/0 | 4/d |
| 4 | 1/d | ④/1 |

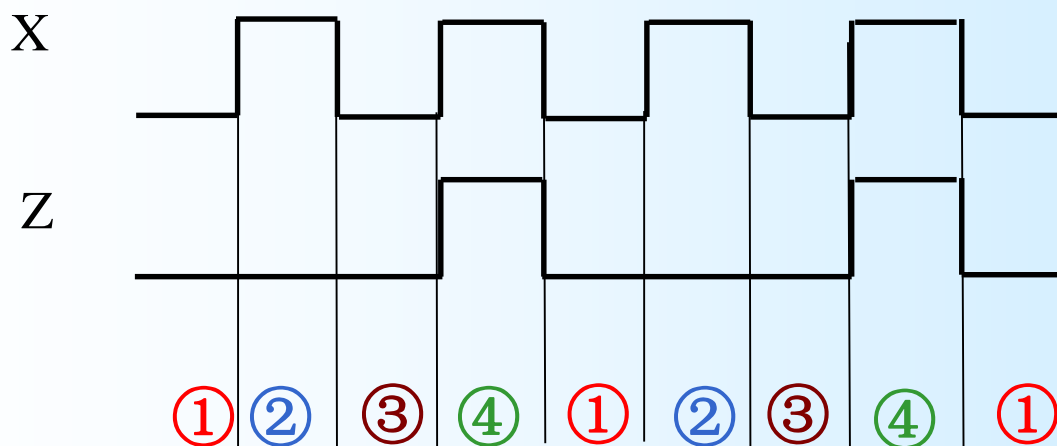
6.12 简化下表所示的原始流程表。

| 二次 状态 y | 激励状态Y/输出Z | | | |
|---------------|-------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| 1 | 1/0 | 5/d | d/d | 2/d |
| 2 | 1/d | d/d | 3/d | 2/0 |
| 3 | d/d | 5/d | 3/1 | 4/d |
| 4 | 1/d | d/d | 3/d | 4/1 |
| 5 | 1/d | 5/0 | 6/d | d/d |
| 6 | d/d | 5/d | 6/0 | 4/d |

6.11 某电平异步时序逻辑电路有一个输入X和一个输出Z，每当X出现一次 $0 \rightarrow 1 \rightarrow 0$ 的跳变后，当X为1时输出Z为1，典型输入输出时间图如图6.41所示。建立该电路的原始流程表。

解答：

(1) 根据题意作输入输出图，对该输入输出时间图按输入信号的跳变进行时间划分后，可根据题意设立与各时刻输入输出对应的稳定状态如下图所示



解答:

(1) 作隐含表, 找相容行

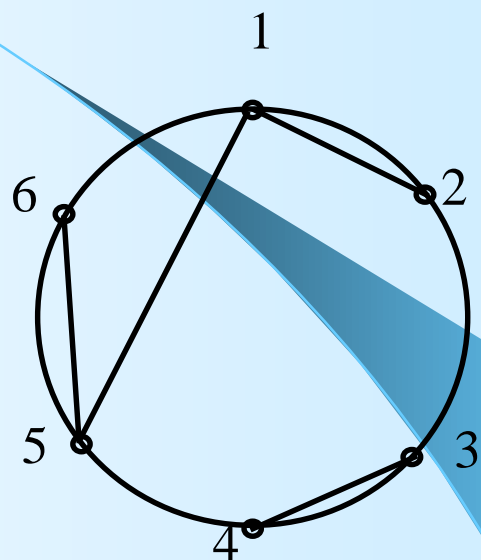
| 二次 状态 y | 激励状态Y/输出Z | | | |
|---------------|-----------------|-----------------|-----------------|-----------------|
| | x_2x_1 =00 | x_2x_1 =01 | x_2x_1 =11 | x_2x_1 =10 |
| 1 | 1/0 | 5/d | d/d | 2/d |
| 2 | 1/d | d/d | 3/d | 2/0 |
| 3 | d/d | 5/d | 3/1 | 4/d |
| 4 | 1/d | d/d | 3/d | 4/1 |
| 5 | 1/d | 5/0 | 6/d | d/d |
| 6 | d/d | 5/d | 6/0 | 4/d |

| | | | | | |
|---|-----|------------|-----|-----|---|
| 2 | √ | | | | |
| 3 | 2/4 | 2/4 | | | |
| 4 | 2/4 | × | √ | | |
| 5 | √ | 3/6 | 3/6 | 3/6 | |
| 6 | 2/4 | 2/4 3/6 | × | 3/6 | √ |
| | 1 | 2 | 3 | 4 | 5 |

由隐含表可得到相容行对为 (1,2), (3,4), (1,5), (5,6)。

(2) 作合并图，求最大相容行类

| | | | | | |
|---|-----|------------|-----|-----|---|
| 2 | √ | | | | |
| 3 | 2.4 | 2.4 | | | |
| 4 | 2.4 | × | √ | | |
| 5 | √ | 3.6 | 3.6 | 3.6 | |
| 6 | 2.4 | 2.4 3.6 | × | 3.6 | √ |
| | 1 | 2 | 3 | 4 | 5 |



由图可以看出，四个相容行对即四个最大相容行类。
由得到的最大相容行类及原始流程表可知，选择由三个最大相容行类构成的集合 $\{(1, 2), (3, 4), (5, 6)\}$ 可以满足覆盖、闭合、最小三个条件。所以，该集合为原始流程表的最小闭覆盖。

(3) 作出最简流程表。

将最小闭覆盖中的相容行类 (1, 2), (3, 4), (5, 6) 分别用 A、B、C 表示, 即可得到最简流程表如下表所示。

| 二次状态 y | 激励状态 y / 输出 z | | | |
|-------------|-------------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| 1 | ①/0 | 5/d | d/d | 2/d |
| 2 | 1/d | d/d | 3/d | ②/0 |
| 3 | d/d | 5/d | ③/1 | 4/d |
| 4 | 1/d | d/d | 3/d | ④/1 |
| 5 | 1/d | ⑤/0 | 6/d | d/d |
| 6 | d/d | 5/d | ⑥/0 | 4/d |

最简流程表

| 二次状态 y | 激励状态 Y / 输出 Z | | | |
|-------------|-------------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| A | Ⓐ/0 | C/d | B/d | A/0 |
| B | A/d | C/0 | Ⓑ/1 | Ⓑ/1 |
| C | A/d | Ⓒ/0 | Ⓒ/0 | B/d |

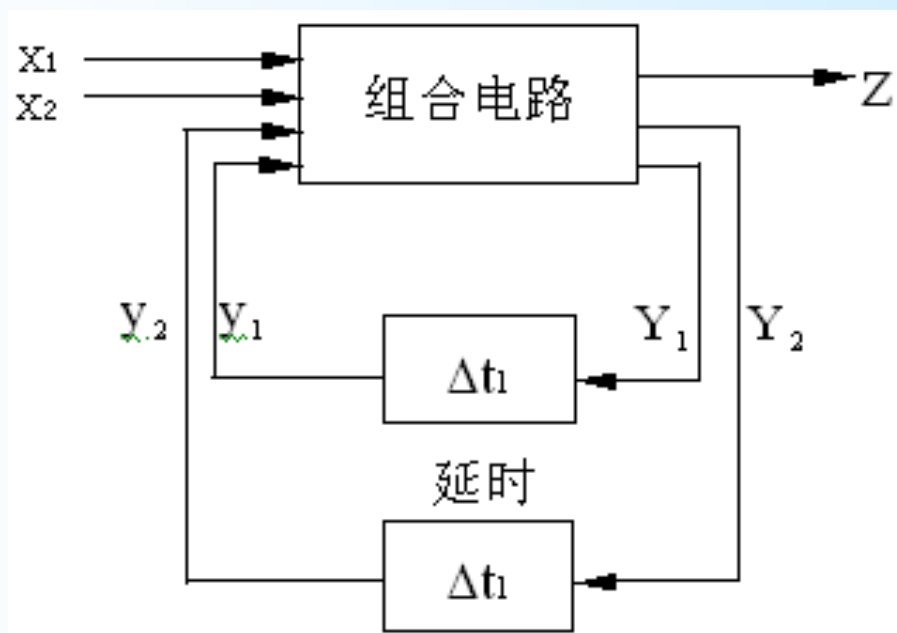
6.13 下图为某电平异步时序电路的结构框图。图中

$$Y_2 = x_2 y_2 + \bar{x}_1 y_2 + x_2 \bar{x}_1 y_1$$

$$Y_1 = x_2 x_1 + \bar{x}_2 \bar{x}_1 y_2 + x_1 y_2 \bar{y}_1$$

$$Z = y_2 y_1$$

试问该电路中是否存在竞争？若存在，请说明竞争类型？



解答:

(1) 根据激励函数和输出函数作出流程表

| 二次状态 $Y_2 Y_1$ | 激励状态 $Y_2 Y_1$ | | | | Z |
|-------------------|----------------|----------------|----------------|----------------|-----|
| | $x_2 x_1 = 00$ | $x_2 x_1 = 01$ | $x_2 x_1 = 11$ | $x_2 x_1 = 10$ | |
| 0 0 | 00 | 00 | 01 | 00 | 0 |
| 0 1 | 00 | 00 | 00 | 10 | 0 |
| 1 1 | 00 | 00 | 00 | 10 | 0 |
| 1 0 | 11 | 01 | 11 | 00 | 1 |

(2) 竞争的判断与说明

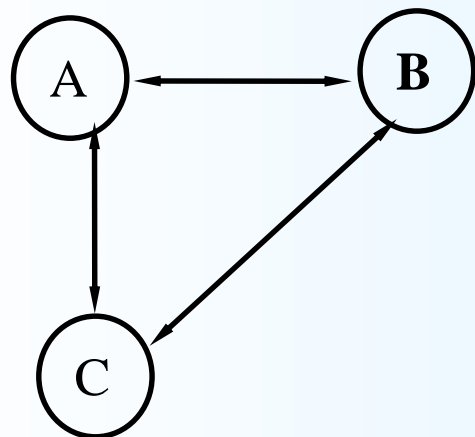
由流程表可知，该电路中存在竞争。当电路处在稳定总态 $(11, 01)$ ， $X_2 X_1$ 由 $11 \rightarrow 10$ 时，会发生临界竞争；当电路处在稳定总态 $(00, 11)$ ， $X_2 X_1$ 由 $00 \rightarrow 01$ 时，会发生非临界竞争；当电路处在稳定总态 $(11, 11)$ ， $X_2 X_1$ 由 $11 \rightarrow 01$ 时，会发生非临界竞争；

6.14 对表所示的最简流程表进行无临界竞争的状态编码，并确定激励状态和输出函数表达式。

| 二次状态 Y | 激励状态Y/输出Z | | | |
|-----------|----------------|----------------|----------------|----------------|
| | $x_2 x_1 = 00$ | $x_2 x_1 = 01$ | $x_2 x_1 = 11$ | $x_2 x_1 = 10$ |
| A | Ⓐ/0 | Ⓐ/0 | Ⓐ/0 | C/d |
| B | Ⓔ/0 | A/0 | C/d | Ⓑ/0 |
| C | B/d | A/d | Ⓒ/1 | Ⓒ/1 |

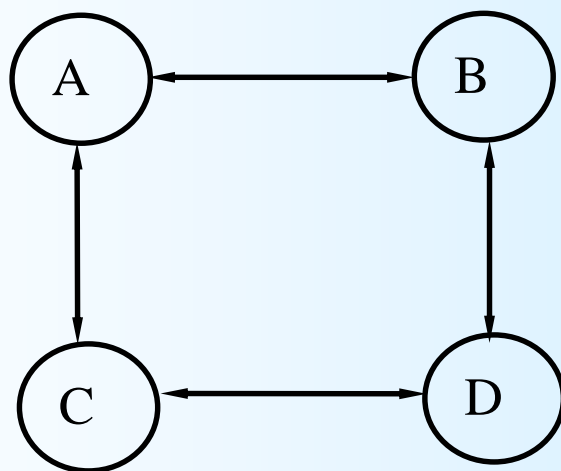
解答：

根据给定的最简流程表，可得到如下的状态相邻图



(1) 状态编码

由于给定的最简流程表中有三个状态，状态编码时需要两位二进制代码。根据该最简流程表中的状态转移关系可作出如下的状态相邻图。显然由于三个状态的相邻关系构成了一个闭环，所以，用两位二进制代码无法满足其相邻关系，因此，在B状态和C状态之间增加一个过渡状态，即可得到新的状态相邻图。



(2) 增加过渡状态后，流程表修改为

| 二次状态 Y | 激励状态Y/输出Z | | | |
|-----------|----------------|----------------|----------------|----------------|
| | $x_2 x_1 = 00$ | $x_2 x_1 = 01$ | $x_2 x_1 = 11$ | $x_2 x_1 = 10$ |
| A | Ⓐ/0 | Ⓐ/0 | Ⓐ/0 | C/d |
| B | Ⓑ/0 | A/0 | D/d | Ⓑ/0 |
| C | D/d | A/d | Ⓒ/1 | Ⓒ/1 |
| D | B/d | d/d | C/d | d/d |

(3) A状态用00表示，B状态用01表示，C状态用10表示，D状态用11表示。得到流程表如下：

| 二次状态 Y | 激励状态Y/输出Z | | | |
|-----------|----------------|----------------|----------------|----------------|
| | $x_2 x_1 = 00$ | $x_2 x_1 = 01$ | $x_2 x_1 = 11$ | $x_2 x_1 = 10$ |
| 00 | ⓪/0 | ⓪/0 | ⓪/0 | 10/d |
| 01 | ⓪/0 | 00/0 | 11/d | ⓪/0 |
| 10 | 11/d | 00/d | ⓪/1 | ⓪/1 |
| 11 | 01/d | d/d | 10/d | d/d |

(4) 确定激励状态和输出函数表达式

$$Y_2 = \overline{x_1}x_2\overline{y_1} + x_2x_1y_1 + \overline{x_1}y_2\overline{y_1} + x_2y_2$$

$$Y_1 = x_2\overline{y_2}y_1 + \overline{x_1}y_1 + \overline{x_1}\overline{x_2}y_2$$

$$Z = y_2$$

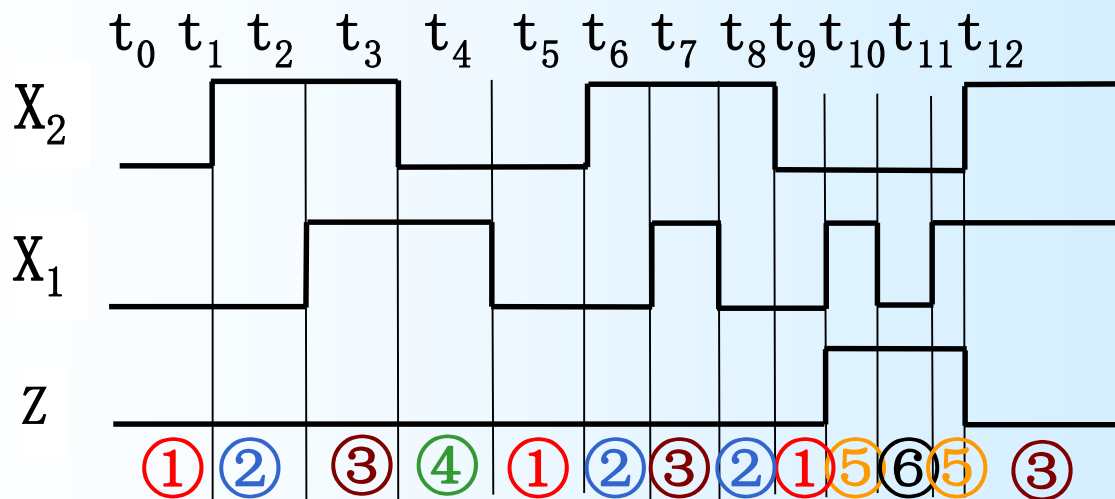
方案2:

允许存在非临界竞争。

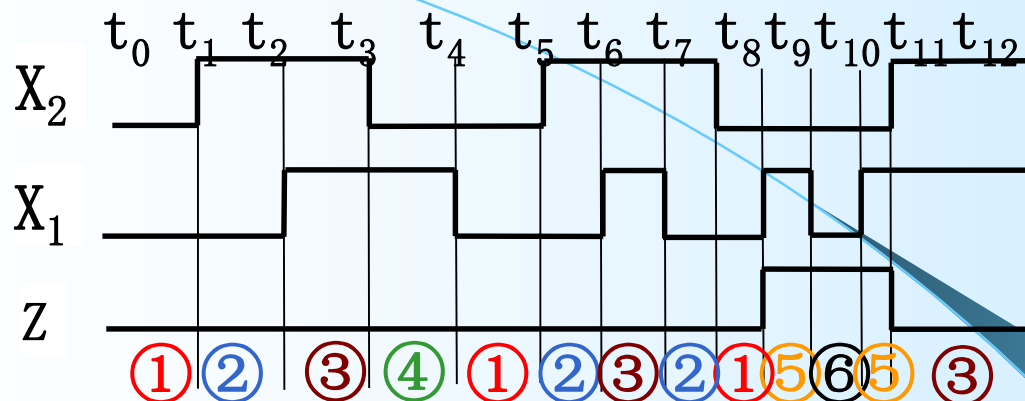
6.15 某电平异步时序电路有两个输入 X_1 和 X_2 和一个输出 Z 。当 $X_2=1$ 时， Z 总为0；当 $X_2=0$ 时， X_1 的第一次从0→1的跳变使 Z 变为1，该1输出信号一直保持到 X_2 由0→1，才使 Z 为0。试用与非门实现该电路功能。

解答：

(1) 根据题意作输入输出图，对该输入输出时间图按输入信号的跳变进行时间划分后，可根据题意设立与各时刻输入输出对应的稳定状态如下图所示

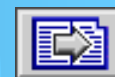


习题课



(2)由此可得到原始流程表。

| 二次状态 y | 激励状态Y/输出Z | | | |
|-------------|-------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| 1 | ①/0 | 5/d | d/d | 2/0 |
| 2 | 1/0 | d/d | 3/0 | ②/0 |
| 3 | d/d | 4/0 | ③/0 | 2/0 |
| 4 | 1/0 | ④/0 | 3/0 | d/d |
| 5 | 6/1 | ⑤/1 | 3/d | d/d |
| 6 | ⑥/1 | 5/1 | d/d | 2/d |



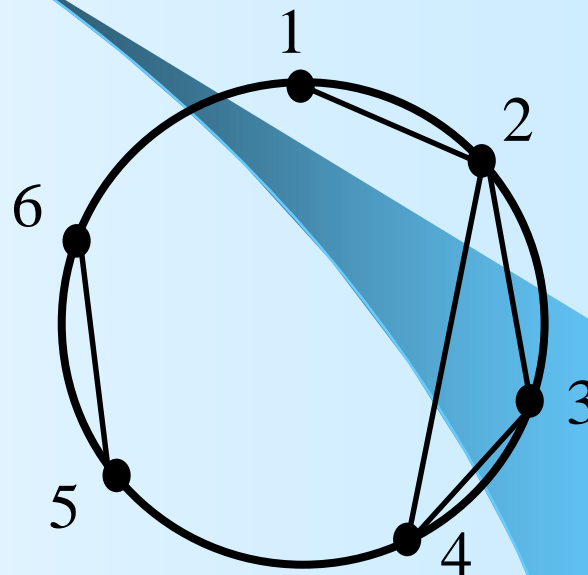
(3) 状态化简。

| 二次状态 y | 激励状态Y/输出Z | | | |
|-------------|-------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| 1 | 1 /0 | 5 /d | d/d | 2 /0 |
| 2 | 1 /0 | d/d | 3 /0 | 2 /0 |
| 3 | d/d | 4 /0 | 3 /0 | 2 /0 |
| 4 | 1 /0 | 4 /0 | 3 /0 | d/d |
| 5 | 6 /1 | 5 /1 | 3 /d | d/d |
| 6 | 6 /1 | 5 /1 | d/d | 2 /d |

| | | | | | |
|---|-----|---|---|---|---|
| 2 | √ | | | | |
| 3 | 4,5 | √ | | | |
| 4 | 4,5 | √ | √ | | |
| 5 | × | × | × | × | |
| 6 | × | × | × | × | √ |
| | 1 | 2 | 3 | 4 | 5 |

根据隐含表作状态合并表如右下图所示。

| | | | | | |
|---|-----|---|---|---|---|
| 2 | √ | | | | |
| 3 | 4,5 | √ | | | |
| 4 | 4,5 | √ | √ | | |
| 5 | × | × | × | × | |
| 6 | × | × | × | × | √ |
| | 1 | 2 | 3 | 4 | 5 |



由隐含表可得到相容行对(1, 2)、(2, 3)、(2, 4)、(3, 4)、(5, 6)。据此，可作出状态合并图如上面图 (b)所示，其最大相容行类为(1)、(2, 3, 4)、(5, 6)。

根据选择最小闭覆盖的条件，可选择相容行类集合为

$\{(1), (2,3,4), (5,6)\}$

(1) , (2,3,4) , (5,6) 分别用 A、B、C 表示，可得到合并后的最简流程表如下表所示。

| 二次状态 y | 激励状态Y/输出Z | | | |
|-----------|-------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| 1 | ①/0 | 5/d | d/d | 2/0 |
| 2 | 1/0 | d/d | 3/0 | ②/0 |
| 3 | d/d | 4/0 | ③/0 | 2/0 |
| 4 | 1/0 | ④/0 | 3/0 | d/d |
| 5 | 6/1 | ⑤/1 | 3/d | d/d |
| 6 | ⑥/1 | 5/1 | d/d | 2/d |

最简流程表

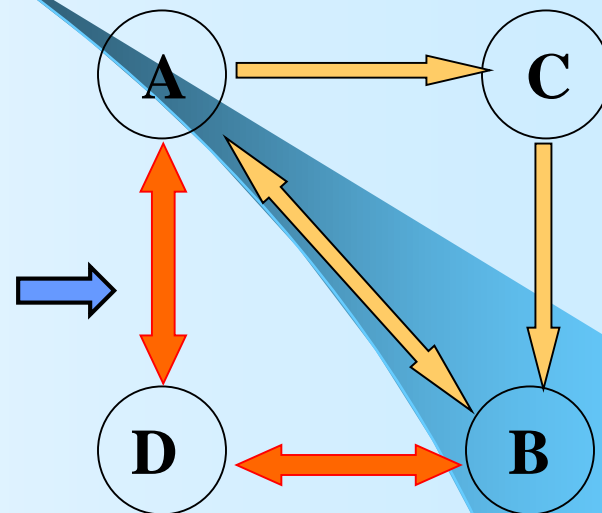
| 二次状态 y | 激励状态Y/输出Z | | | |
|-----------|-------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| A | ①/0 | C/d | d/d | B/0 |
| B | A/0 | ②/0 | ③/0 | ④/0 |
| C | ⑤/1 | ⑥/1 | B/d | B/d |

(4) 状态编码

根据最简流程表可作出状态相邻图如右下图所示。

最简流程表

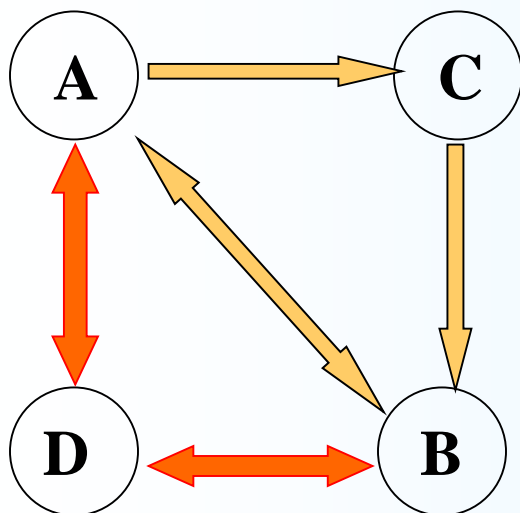
| 二次状态 y | 激励状态Y/输出Z | | | |
|-----------|-------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| A | Ⓐ/0 | C/d | d/d | B/0 |
| B | A/0 | Ⓑ/0 | Ⓑ/0 | Ⓑ/0 |
| C | Ⓒ/1 | Ⓒ/1 | B/d | B/d |



由于最简流程表中有三个状态，状态编码时需要两位二进制代码。根据该最简流程表中的状态转移关系可作出如下的状态相邻图。显然由于三个状态的相邻关系构成了一个闭环，所以，用两位二进制代码无法满足其相邻关系，因此，在A状态和C状态之间增加一个过渡状态，即可得到新的状态相邻图。

增加过渡状态后，流程表修改为：

最简流程表



| 二次状态 y | 激励状态Y/输出Z | | | |
|-----------|-----------------|-----------------|-----------------|-----------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| A | A /0 | C/d | d/d | D /0 |
| B | D /0 | B /0 | B /0 | B /0 |
| C | C /1 | C /1 | B/d | B/d |
| D | A /0 | d/d | d/d | B /0 |

设二次状态用 y_2 、 y_1 表示，令 y_2 、 y_1 取值00表示A，10表示D，11表示B，01表示C，将其代入给定流程表，即可得到相应二进制流程表。该流程表描述的电路不会产生临界竞争。

最简流程表

| 二次状态 y | 激励状态 Y /输出 Z | | | |
|-------------|------------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| A | A/0 | C/d | d/d | D/0 |
| B | D/0 | B/0 | B/0 | B/0 |
| C | C/1 | C/1 | B/d | B/d |
| D | A/0 | d/d | d/d | B/0 |

最简流程表

| 二次状态 y_2y_1 | 激励状态 Y_2Y_1 /输出 Z | | | |
|------------------|-----------------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| 00 | 00/0 | 01/d | d/d | 10/0 |
| 01 | 01/1 | 01/1 | 11/d | 11/d |
| 11 | 10/0 | 11/0 | 11/0 | 11/0 |
| 10 | 00/0 | d/d | d/d | 11/0 |

A → 00

B → 11

C → 01

D → 10



(5)确定激励状态和输出函数表达式

根据二进制流程表可作出激励状态和输出函数卡诺图如下图所示。

| | | Y_2 | | | |
|----------|----------|-------|----|----|----|
| y_2y_1 | x_2x_1 | 00 | 01 | 11 | 10 |
| | 00 | | | d | 1 |
| 01 | 00 | | | 1 | 1 |
| 11 | 00 | 1 | 1 | 1 | 1 |
| 10 | 00 | | d | d | 1 |

| | | Y_1 | | | |
|----------|----------|-------|----|----|----|
| y_2y_1 | x_2x_1 | 00 | 01 | 11 | 10 |
| | 00 | | 1 | d | 0 |
| 01 | 00 | 1 | 1 | 1 | 1 |
| 11 | 00 | | 1 | 1 | 1 |
| 10 | 00 | | d | d | 1 |

| | | Z | | | |
|----------|----------|-----|----|----|----|
| y_2y_1 | x_2x_1 | 00 | 01 | 11 | 10 |
| | 00 | | d | d | |
| 01 | 00 | 1 | 1 | d | d |
| 11 | 00 | | | | |
| 10 | 00 | | d | d | |

化简后，可得到激励状态和输出函数的最简表达式：

$$Y_2 = x_2 + y_1y_2 = \overline{\overline{x_2}} \cdot \overline{\overline{y_1y_2}}$$

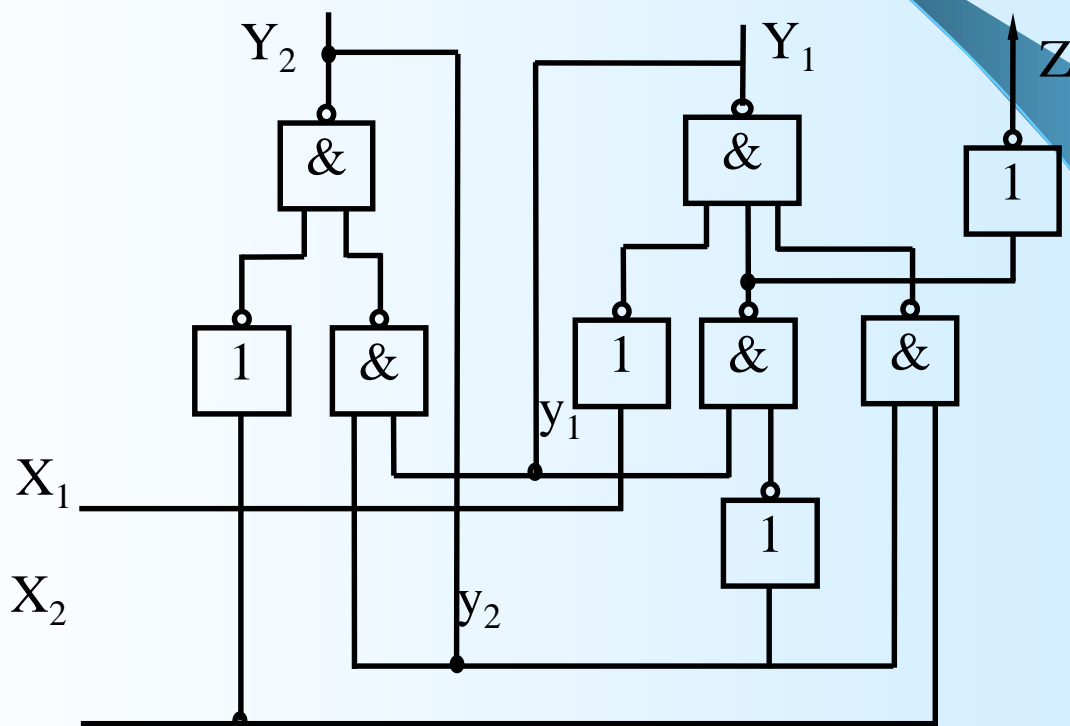
$$Y_1 = x_1 + y_1\overline{y_2} + x_2y_2 = \overline{\overline{x_1}} \cdot \overline{\overline{y_1\overline{y_2}}} \cdot \overline{\overline{x_2y_2}}$$

$$Z = y_1\overline{y_2} = \overline{\overline{y_1\overline{y_2}}}$$



(6) 画出逻辑电路图

根据激励状态和输出函数的“与非—与非”表达式，可画出用与非门实现给定功能的逻辑电路图如下图所示。



第七章 中规模通用集成电路 及其应用



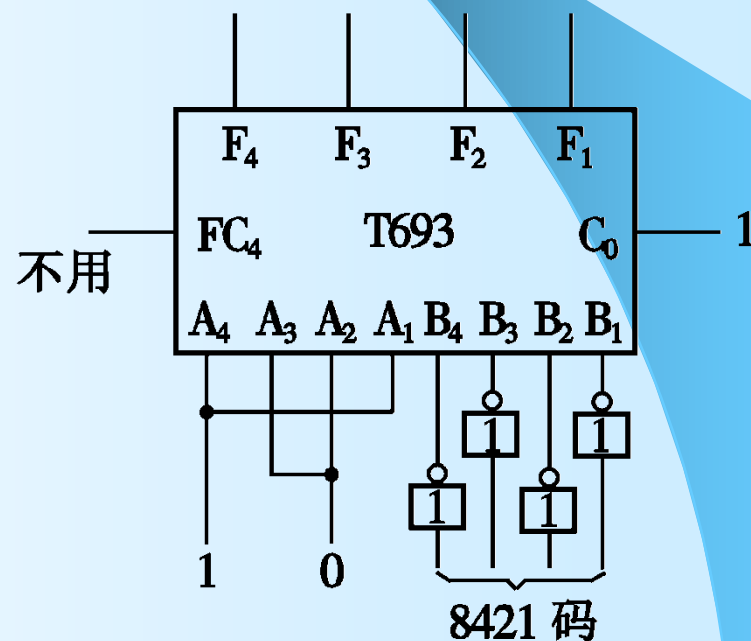
7.1 用4位二进制并行加法器设计一个实现8421码对9求补的逻辑电路。

解答：

设8421码为 $B_8B_4B_2B_1$ ，其对9的补数为 $C_8C_4C_2C_1$ ，关系如下：

$$\begin{aligned} C_8C_4C_2C_1 &= 1001 - B_8B_4B_2B_1 \\ &= 1001 + \overline{B_8}\overline{B_4}\overline{B_2}\overline{B_1} + 1 \end{aligned}$$

相应逻辑电路图如右图所示。



7.2 用两个4位二进制并行加法器实现2位十进制数8421码到二进制码的转换。

解答：

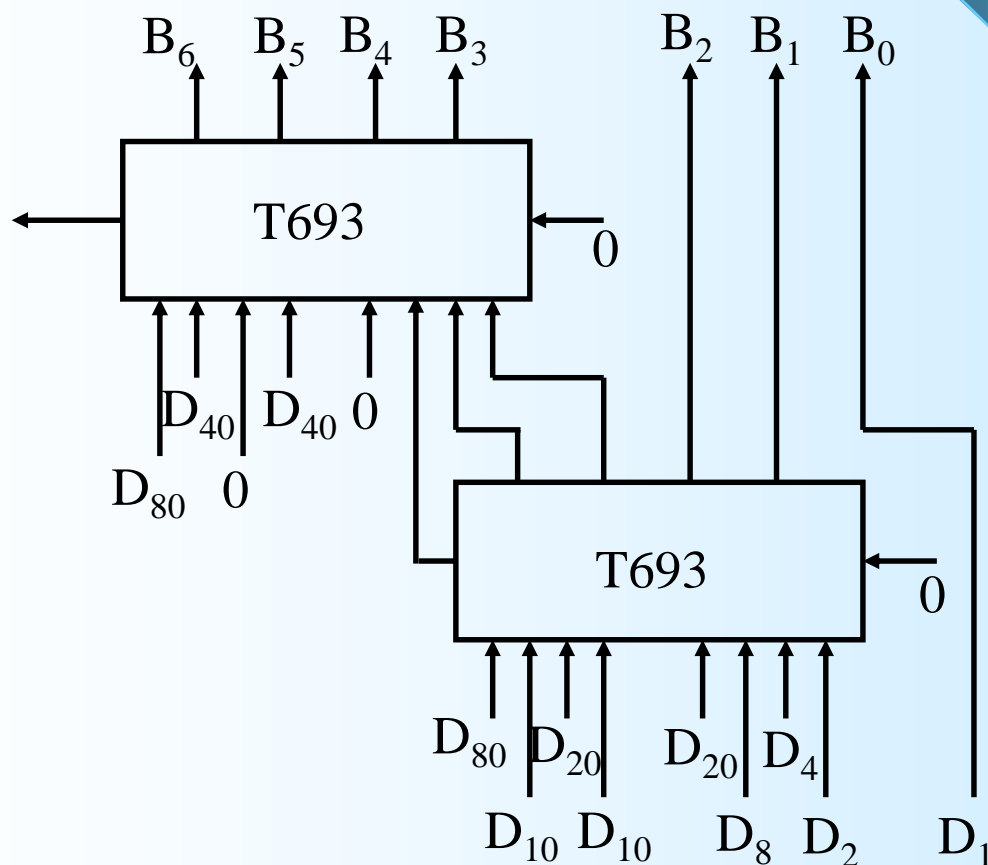
设两位十进制数的8421码为 $D_{80}D_{40}D_{20}D_{10}D_8D_4D_2D_1$ ，相应二进制数为 $B_6B_5B_4B_3B_2B_1B_0$ ，则应有 $B_6B_5B_4B_3B_2B_1B_0 = D_{80}D_{40}D_{20}D_{10} \times 1010 + D_8D_4D_2D_1$ ，运算如下：

$$\begin{array}{r}
 \begin{array}{cccc}
 & D_{80} & D_{40} & D_{20} & D_{10} \\
 \times & 1 & 0 & 1 & 0 \\
 \hline
 & & D_{80} & D_{40} & D_{20} & D_{10} \\
 + & D_{80} & D_{40} & D_{20} & D_{10} \\
 & & D_8 & D_4 & D_2 & D_1 \\
 \hline
 B_6 & B_5 & B_4 & B_3 & B_2 & B_1 & B_0
 \end{array}
 \end{array}$$

即：

$$\begin{aligned}
 B_0 &= D_1; & B_1 &= D_{10} + D_2; & B_2 &= D_{20} + D_4; \\
 B_3 &= D_{40} + D_{10} + D_8; & B_4 &= D_{80} + D_{20}; & B_5 &= D_{40}; & B_6 &= D_{80};
 \end{aligned}$$

据此，可得到实现预定功能的逻辑电路如图2所示。



7.3 用4位二进制并行加法器设计一个用8421码表示的1位十进制加法器。

解答：

由于十进制数采用8421码，因此，二进制并行加法器输入被加数和加数的取值范围为0000~1001（0~9），输出端输出的和是一个二进制数，数的范围为0000~10011（0~19, 19=9+9+最低位的进位）。因为题目要求运算的结果也是8421码，因此需要将二进制并行加法器输出的二进制数修正为8421码。设输出的二进制数为 $FC_4 F_4 F_3 F_2 F_1$ ，修正后的结果为，可列出修正函数真值表如下表所示。

习题课

| 十进制数 | 输入 | | | | | 输出 | | | | | 修正控制 |
|------|-----------------|----------------|----------------|----------------|----------------|----|-----------------|-----------------|-----------------|-----------------|------|
| N | FC ₄ | F ₄ | F ₃ | F ₂ | F ₁ | FC | F' ₄ | F' ₃ | F' ₂ | F' ₁ | C |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 3 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 4 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 5 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 7 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 8 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 9 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 10 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 11 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 12 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 13 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 14 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 15 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 |
| 16 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 17 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 18 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 19 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |

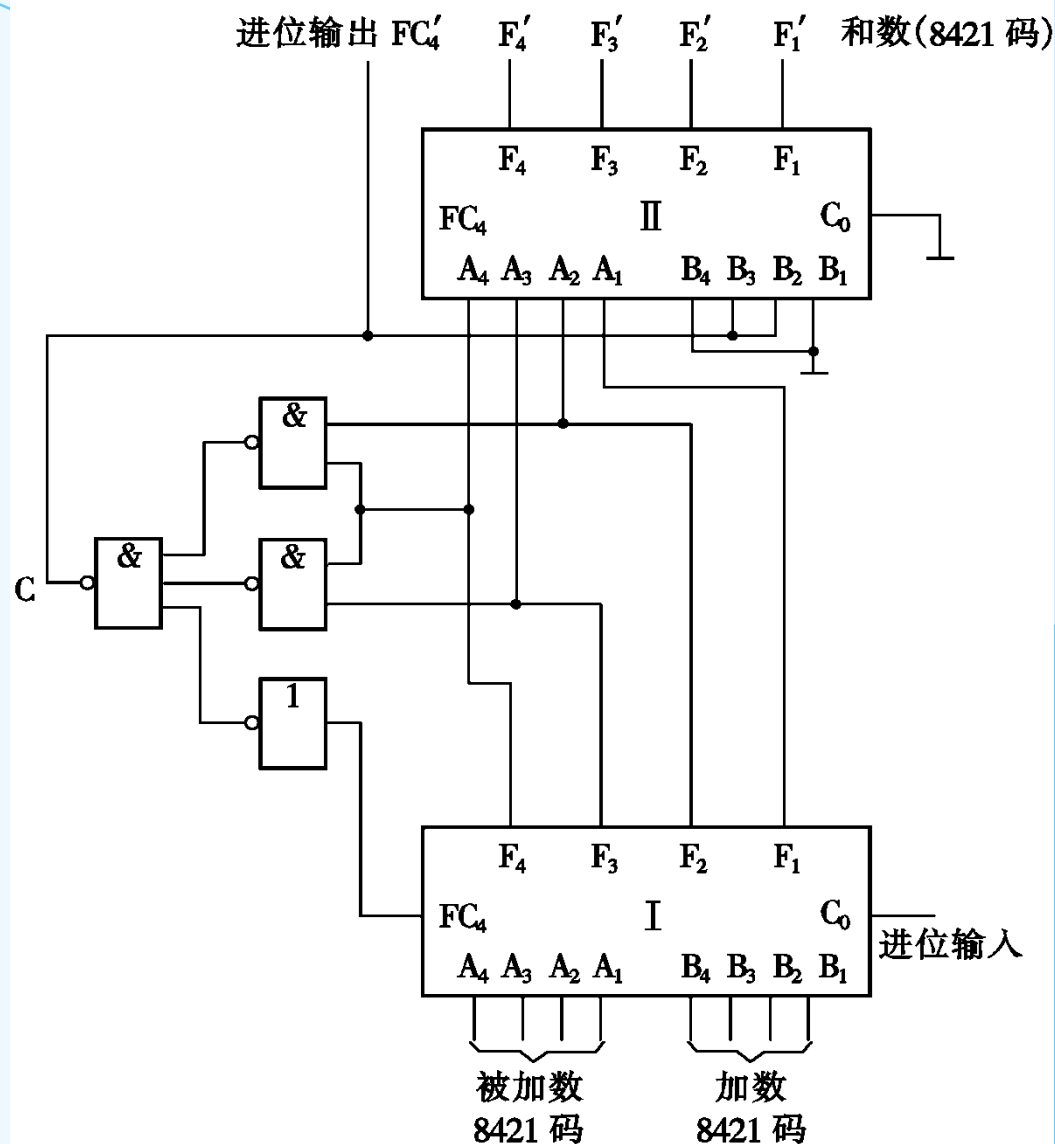


根据上表写出控制函数表达式，经简化后可得：

$$C = FC_4 + F_4F_3 + F_4F_2$$

$$= \overline{FC_4} \cdot \overline{F_4F_3} \cdot \overline{F_4F_2}$$

据此，可画出逻辑电路图如图所示。



7.4 用一片3-8线译码器和必要的逻辑门实现下列逻辑函数表达式。

$$F_1 = \overline{A}\overline{C} + A\overline{B}\overline{C}$$

$$F_2 = \overline{A} + B$$

$$F_3 = AB + \overline{A}\overline{B}$$

解答:

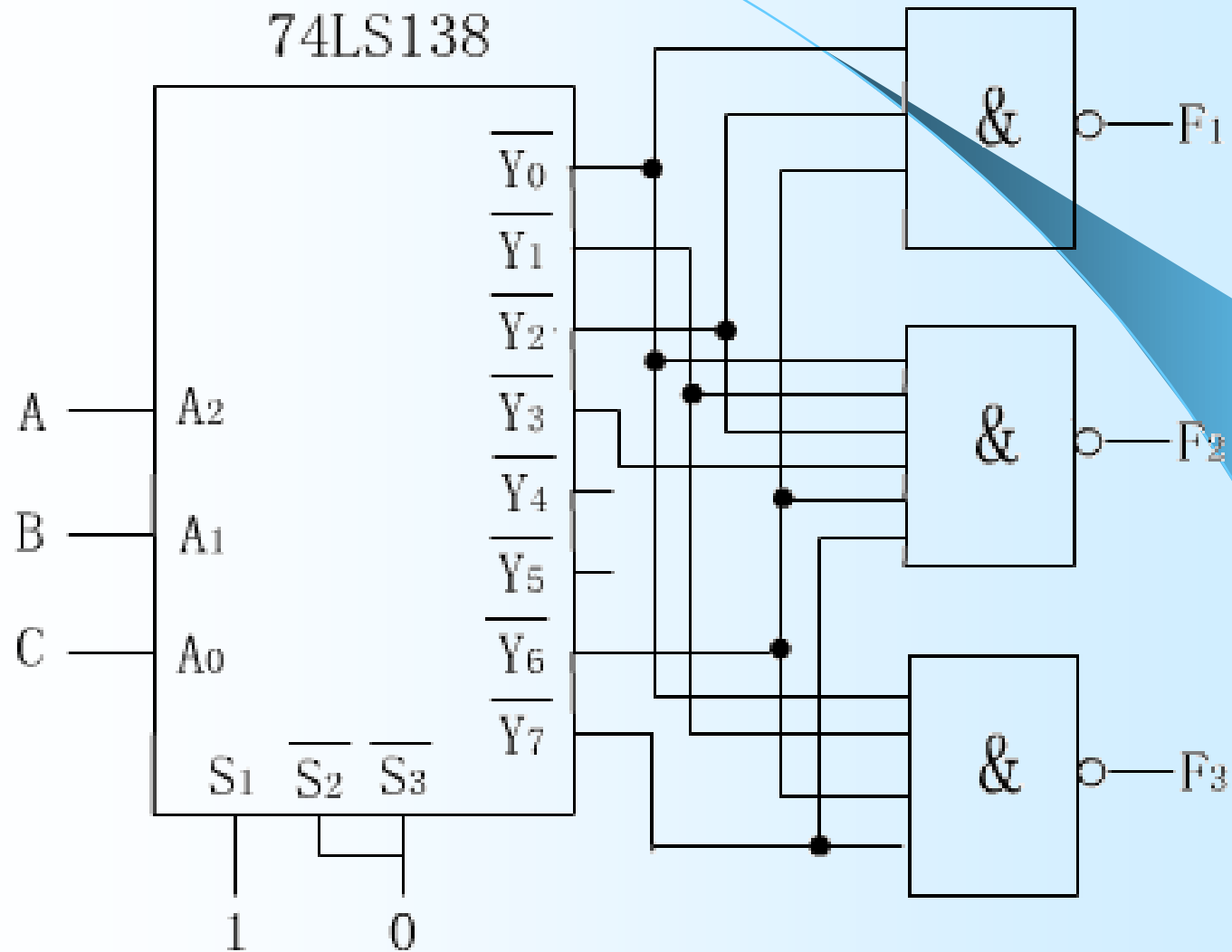
假定采用T4138和与非门实现给定函数功能, 可将逻辑表达式变换如下:

$$F_1 = \overline{A}\overline{C} + A\overline{B}\overline{C} = \sum m(0,2,6) = \overline{\overline{m_0} \cdot \overline{m_2} \cdot \overline{m_6}}$$

$$F_2 = \overline{A} + B = \sum m(0,1,2,3,6,7) = \overline{\overline{m_0} \cdot \overline{m_1} \cdot \overline{m_2} \cdot \overline{m_3} \cdot \overline{m_6} \cdot \overline{m_7}}$$

$$F_3 = AB + \overline{A}\overline{B} = \sum m(0,1,6,7) = \overline{\overline{m_0} \cdot \overline{m_1} \cdot \overline{m_6} \cdot \overline{m_7}}$$

逻辑电路图如图所示。



7.5 用一片4-16线译码器和适当的逻辑门设计一个1位十进制数2421码的奇偶位产生电路(假定采用奇检验)。

解答:

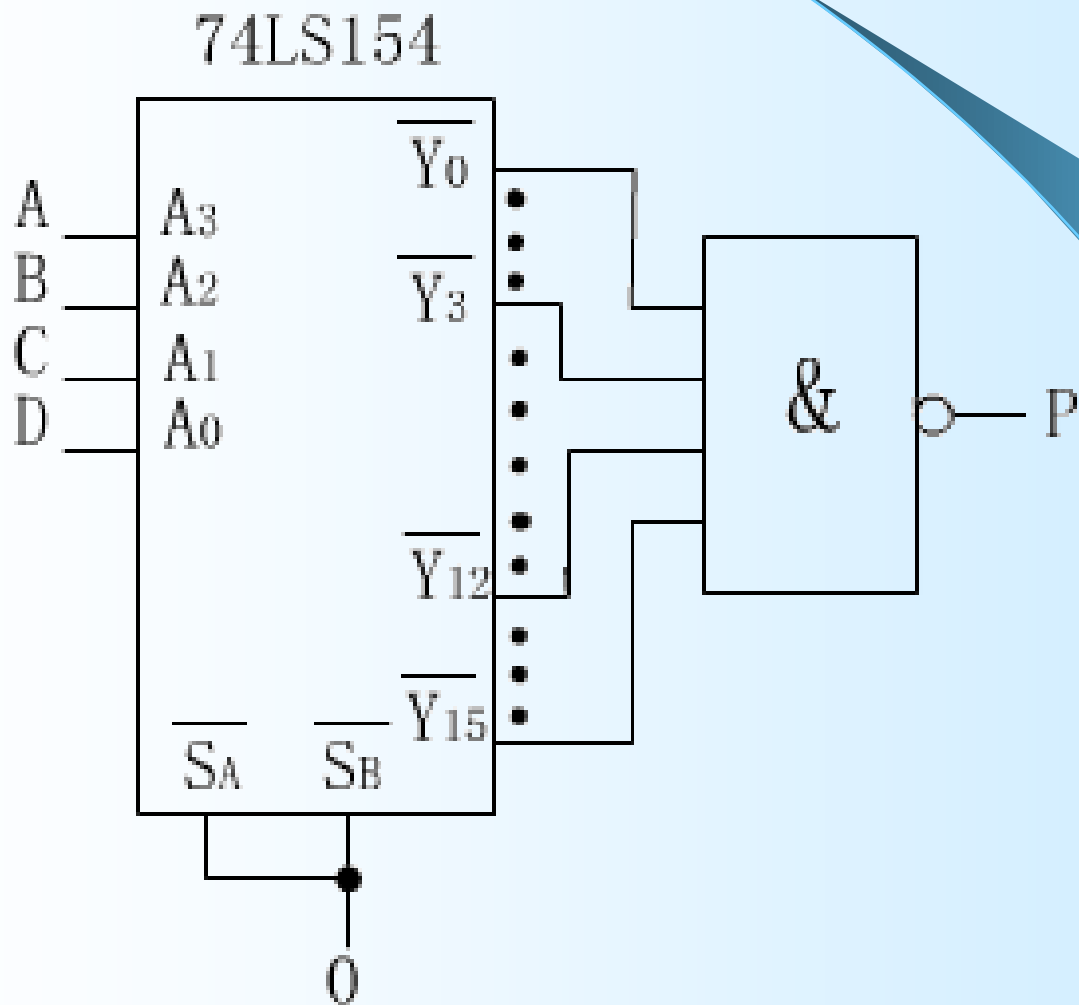
设2421码为ABCD, 奇偶检验位为P, 根据题意可列出真值表如表所示。

| ABCD | P | ABCD | P |
|------|---|------|---|
| 0000 | 1 | 1011 | 0 |
| 0001 | 0 | 1100 | 1 |
| 0010 | 0 | 1101 | 0 |
| 0011 | 1 | 1110 | 0 |
| 0100 | 0 | 1111 | 1 |

由真值表可得:

$$P(A, B, C, D) = \sum m(0, 3, 12, 15)$$

假定采用74LS154和与非门实现给定函数功能，可画出逻辑电路图如图所示。



7.6 当优先编码器74LS148的 I_s 接0，输入 $I_7I_6I_5I_4I_3I_2I_1I_0=11010001$ 时，输出为什么状态？

解答：

$Q_CQ_BQ_A=010$ (编码 I_5)， $Q_{EX}=0$ (编码群输出端，允许编码且有信号输入时为0)， $Q_S=1$ (允许输出端，允许编码且有信号输入时为1)。

7.8 当4路选择器的选择控制变量 A_1 、 A_0 接变量A、B，数据输入端 D_0 、 D_1 、 D_2 、 D_3 依次接、0、0、C时，电路实现何功能？

解答：

输出函数表达式为：

$$W = \bar{A} \cdot \bar{B} \cdot \bar{C} + ABC$$

电路实现三变量“一致性”检测功能。

7.7 试用4路数据选择器实现余3码到8421码的转换。

解答：

假定用ABCD表示余3码，WXYZ表示8421码，并选择A、B作为选择变量，可求出各4路数据选择器的数据输入端分别为：

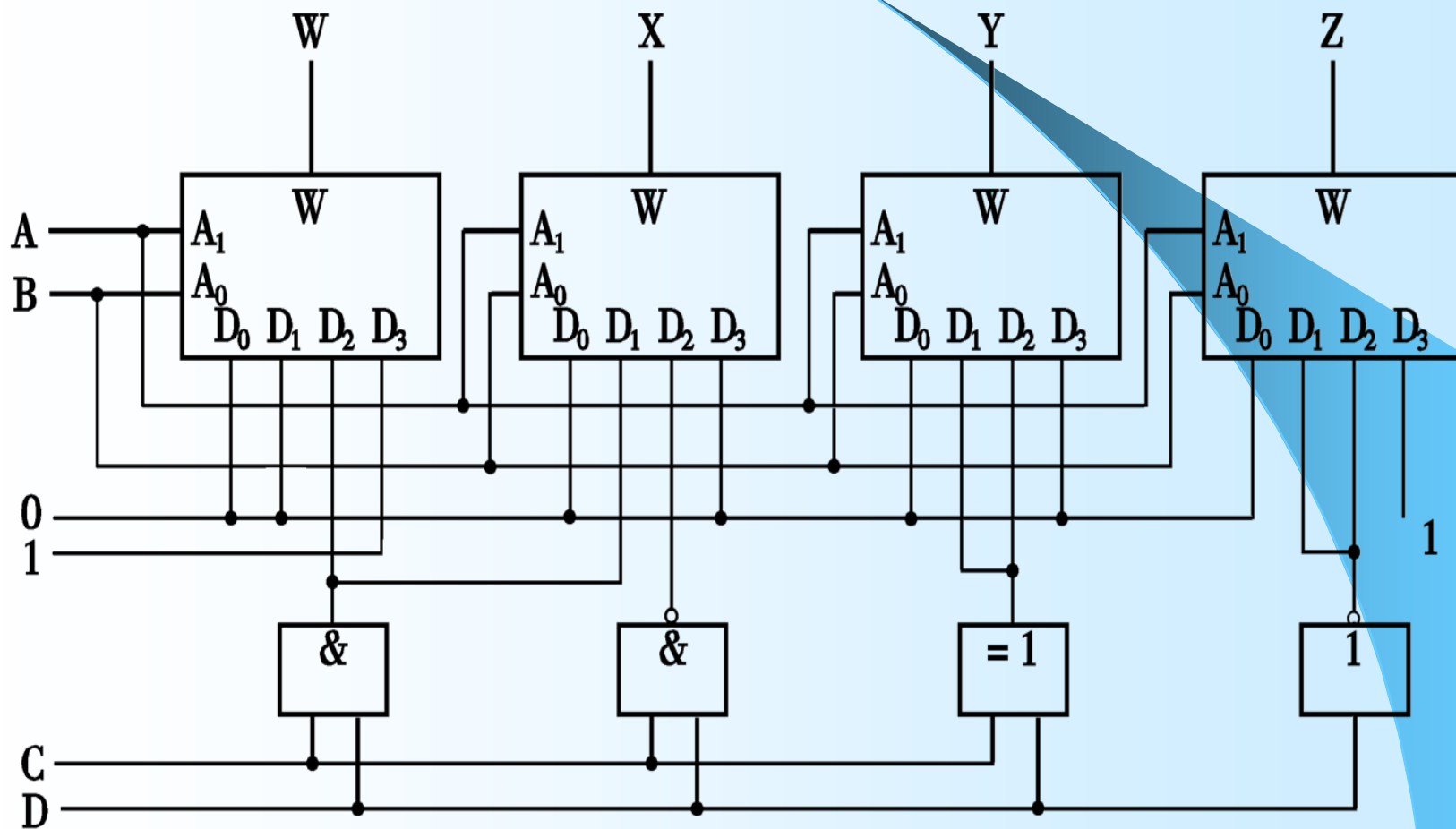
$$W : D_0 = D_1 = 0, \quad D_2 = CD, \quad D_3 = 1$$

$$X : D_0 = 0, \quad D_1 = CD, \quad D_2 = \overline{CD}, \quad D_3 = 0$$

$$Y : D_0 = 0, \quad D_1 = D_2 = C \oplus D, \quad D_3 = 0$$

$$Z : D_0 = 0, \quad D_1 = D_2 = \overline{D}, \quad D_3 = 1$$

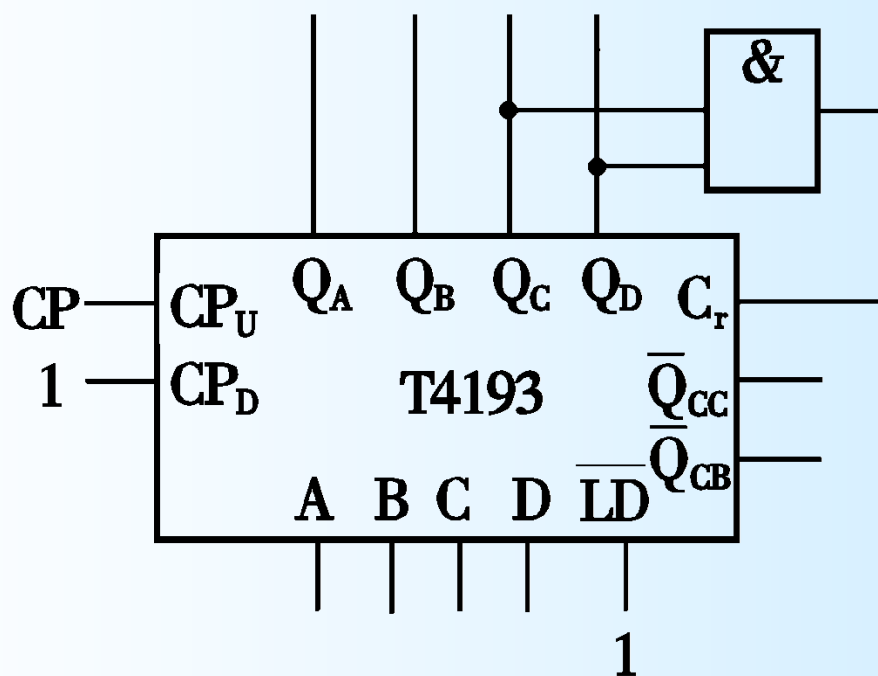
用4个四路数据选择器和4个逻辑门构造出该代码转换电路，逻辑图如图所示。



7.9 用4位二进制同步可逆计数器T4193和必要的逻辑门实现模12加法计数器。

解答：

根据T4193的逻辑功能，可画出模12加法计数器的逻辑电路图如图所示。



7.10 用T1194双向移位寄存器和必要的逻辑门设计一个00011101序列信号发生器。

解答：

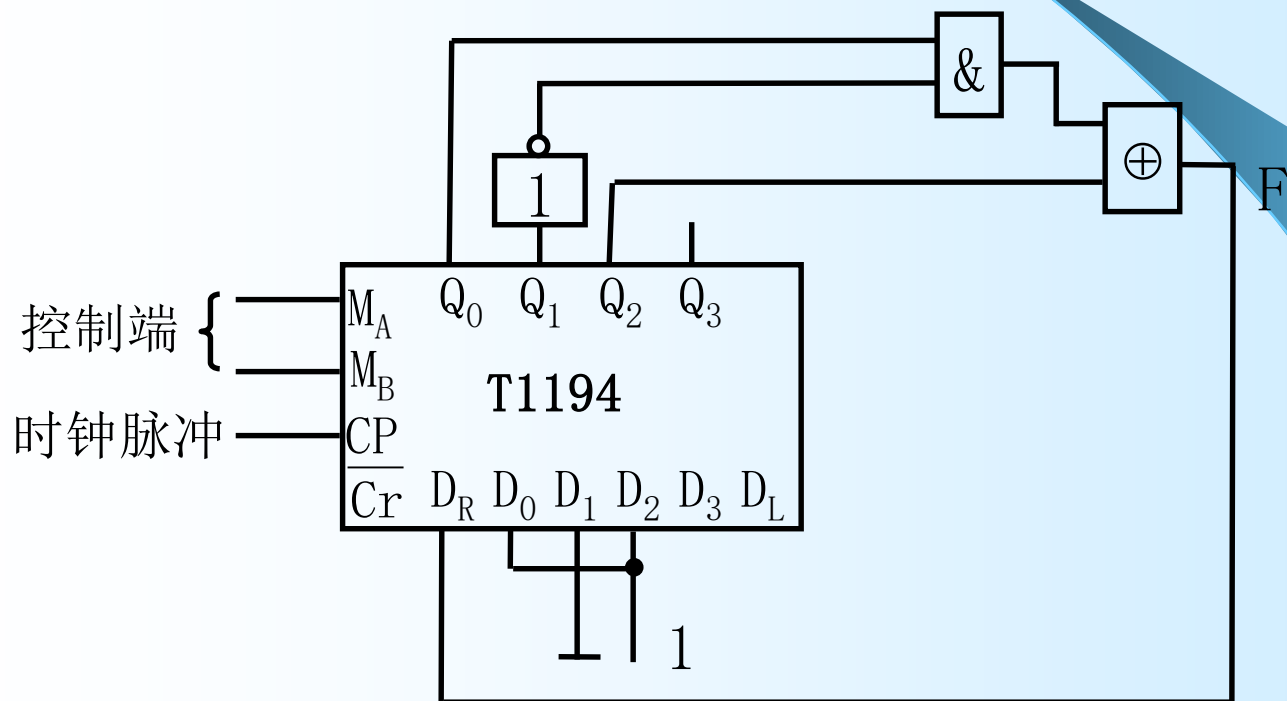
设寄存器初始状态 $Q_0Q_1Q_2=101$ ，从 Q_2 产生输出，可列出反馈函数真值表如表所示。

| CP | $Q_0Q_1Q_2$ | $F(D_R)$ |
|----|-------------|----------|
| 0 | 101 | 1 |
| 1 | 110 | 1 |
| 2 | 111 | 0 |
| 3 | 011 | 0 |
| 4 | 001 | 0 |
| 5 | 000 | 1 |
| 6 | 100 | 0 |
| 7 | 010 | 1 |

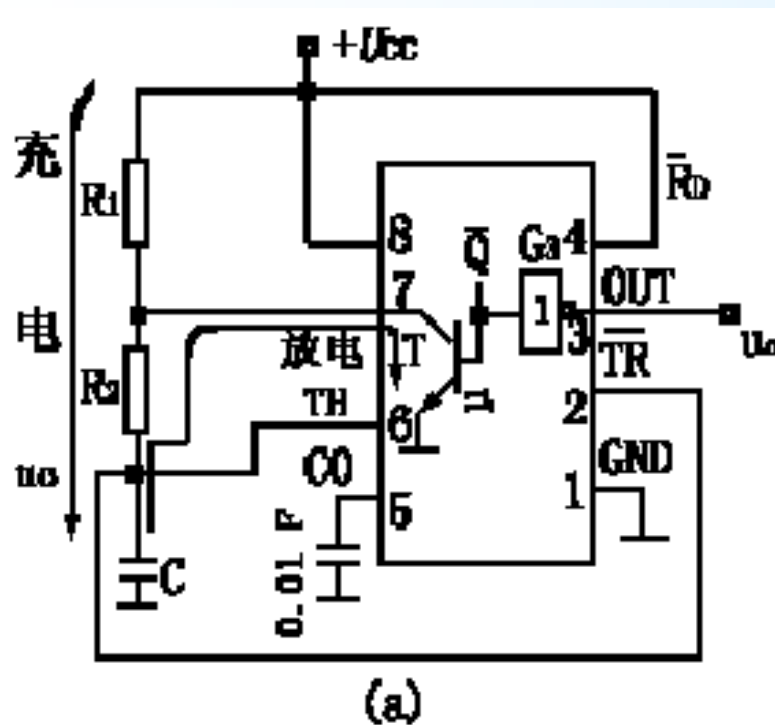
由表可写出反馈函数表达式：

$$\begin{aligned}
 F(D_R) &= Q_0 \bar{Q}_1 Q_2 + Q_0 Q_1 \bar{Q}_2 + \bar{Q}_0 \bar{Q}_1 \bar{Q}_2 + \bar{Q}_0 Q_1 \bar{Q}_2 \\
 &= Q_0 \bar{Q}_1 \oplus \bar{Q}_2
 \end{aligned}$$

设计出该序列发生器的逻辑电路图如图所示。



7.11 在图所示电路中，若取 $R_1=2R_2$ ，请问输出矩形波的占空比为多少？



解答：

占空比为：

$$\frac{2R_2 + R_2}{2R_2 + 2R_2} = \frac{3R_2}{4R_2} = \frac{3}{4}$$

7.12 分析如图所示由定时器5G555构成的多谐振荡器。

(1) 计算其震荡周期；

(2) 若要产生占空比为50%的方波， R_1 和 R_2 的取值关系如何？

解答：

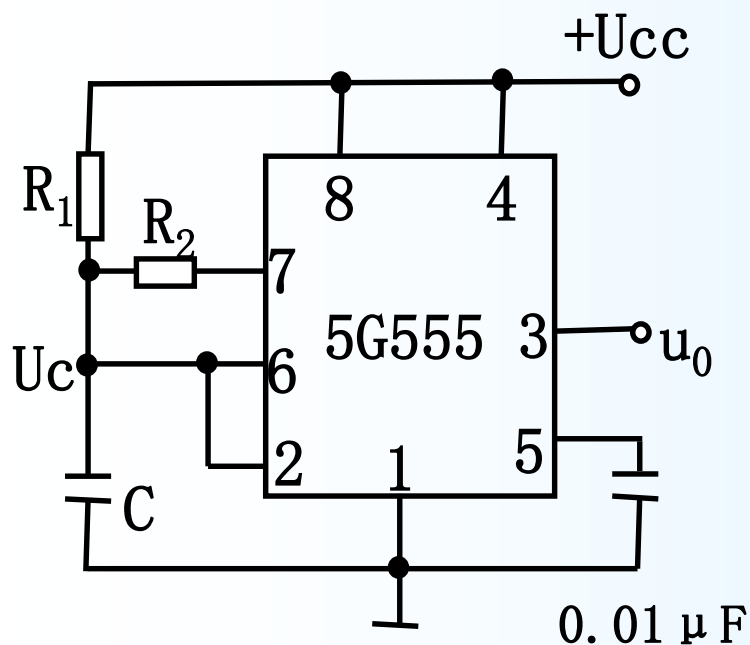
(1) 震荡周期：

$$T_w = t_H + t_L = 0.7R_1C + 0.7R_2C \\ = 0.7(R_1 + R_2)C$$

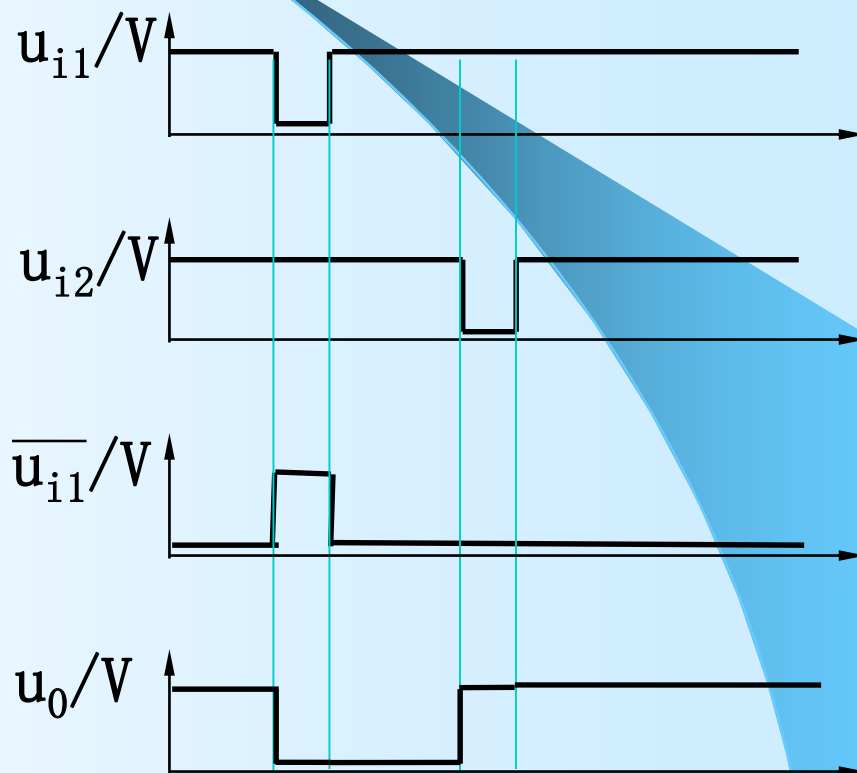
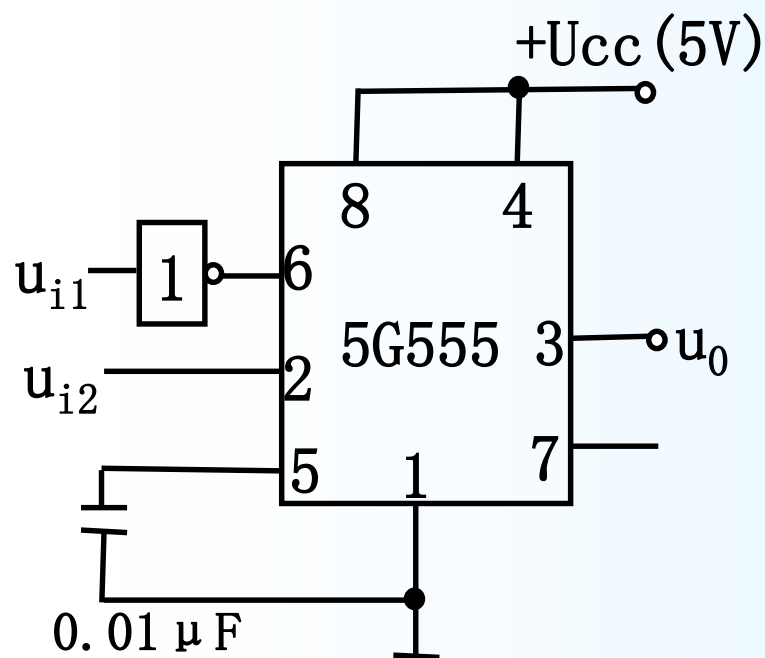
(2) 占空比：

$$Q = \frac{t_H}{t_w} = \frac{0.7R_1C}{0.7(R_1 + R_2)C} \\ = \frac{R_1}{R_1 + R_2} = 50\%$$

所以： $R_1 = R_2$



7.13 将定时器5G555按照如图所示的连接，输入波形如下。请画出定时器输出波形，并说明电路相当于什么器件。



7.14 D/A转换器有哪些主要参数，通常用什么参数来衡量转换精度？

解答：

主要参数：

- (1) **分辨率：**分辨率是指最小模拟量输出与最大模拟量输出之比。
- (2) **非线性误差：**具有理想转换特性的D/A转换器，每两个相邻数字量对应的模拟量之差都为 A_{LSB} 。在满刻度范围内偏离理想转换特性的最大值，称为非线性误差。
- (3) **绝对精度：**绝对精度是指在输入端加对应满刻度数字量时，输出的实际值与理想值之差。
- (4) **建立时间：**建立时间是指从送入数字信号起，到输出模拟量达到稳定值止所需要的时间。它反映了电路的转换速度。

7.15 DAC1210是12位D/A芯片，请问其分辨率为多少？

解答：

$$\text{分辨率} = \frac{1}{2^n - 1} = \frac{1}{2^{12} - 1} \times 100\%$$