

邏輯設計實驗

Lab14

有限狀態機

班級：資訊一甲

學號：D1109023

姓名：楊孟憲

一、摘要

1. 同步計數器原理

- 同步計數器中，所有的正反器由同一個時脈所觸發。
- 同步計數器時間延遲較短。
- 同步計數器可以用在較高之速度操作。
- 在計數狀態改變時，不會有暫態發生。

2. 4-bit 同步上/下數計數器設計-使用 T 正反器

3. 實驗

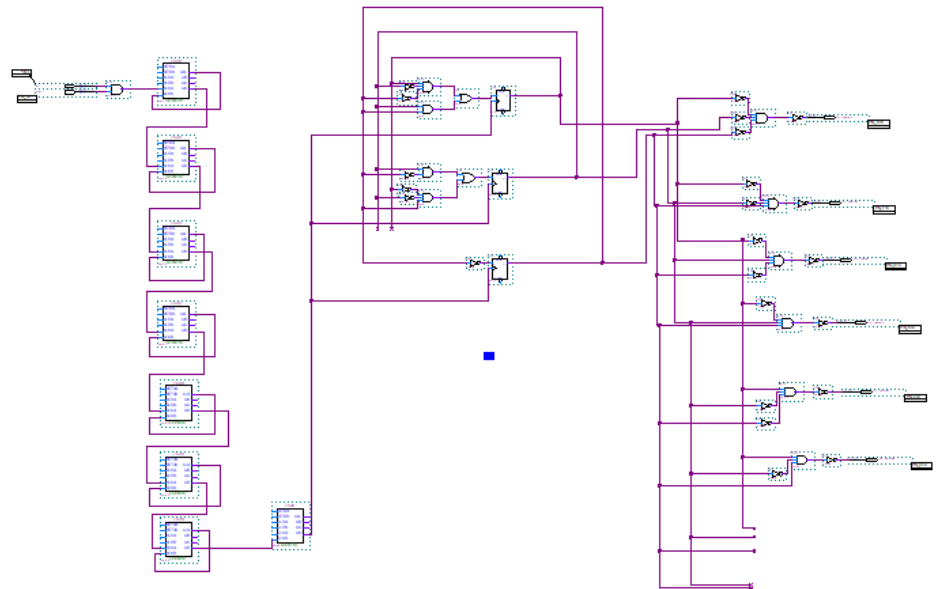
- (1) 使用 T 正反器設計一個 3-bit 同步上/下數計數器
- (2) 設計一個 0 99 計數器

二、實驗結果

實驗一 (使用 T 正反器設計一個 3-bit 同步上/下數計數器)

- Up/Down=0, 上數
- Up/Down=1, 下數

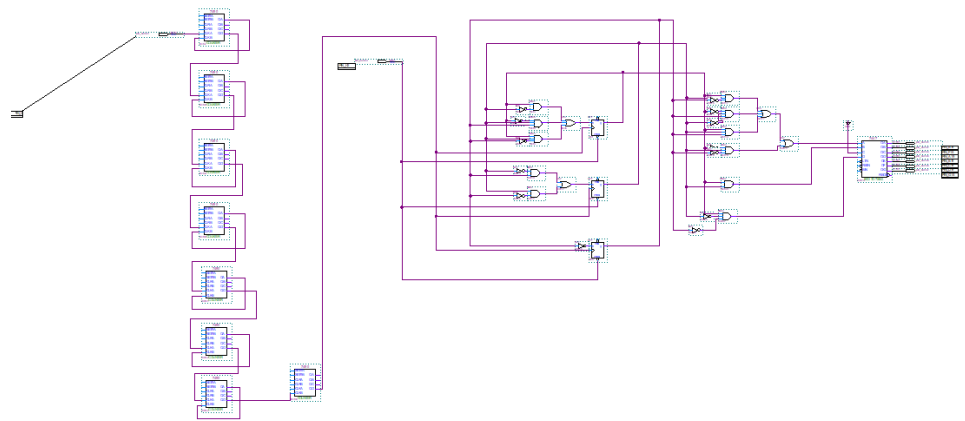
電路圖



實驗二 (設計一個 0 99 計數器)

- 請使用 DE0 所提供的 50MHz clock, CLOCK __ 50
- 將 CLOCK __ 50 除頻 10^7 ，所得的 5Hz 信號為此實驗的 CLK

電路圖



三 問題討論心得

這次實驗我們使用 T 正反器成功地設計了一個 3-bit 同步上/下數計數器。透過適當的連接和時序控制。實驗二與上次實驗大致相同，要注意的是要將 **start** 判斷放在電路除頻率前。此次實驗讓我更深入理解了正反器的工作原理和數計數器的設計方法，並提升了我的數位電路設計能力。