# 邏輯設計實驗

## Lab10

# 閂鎖器與正反器

班級:資訊一甲

學號: D1109023

姓名:楊孟憲

#### **一**、摘要

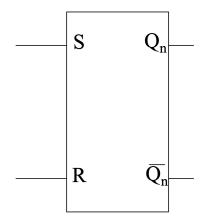
- 1. 組合邏輯與續向邏輯
  - 邏輯電路分為「組合邏輯」與「序向邏輯」兩類。
  - 組合邏輯的輸出是「現在輸入」的函數,也就 是說,有相同的輸入必然有相同的輸出。
  - 序向邏輯中的輸出不僅是「現在輸入」的函數,同時也是「目前狀態」的函數;換言之, 系統中必須擁有能將這些狀態記憶住的裝置,這就是門鎖器/正反器的功能。

#### 2. 門鎖器

● S :資料設定 (Data Set)

● R :資料重置 (Data Reset)

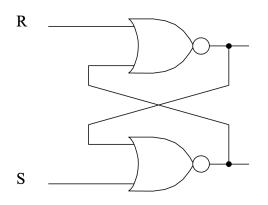
● 邏輯符號



## ● 真值表

	S	R	$Q_{n+1}$	
•	0	0	Q <sub>n</sub>	保持原態(記憶)
	0	1	0	
	1	0	1	
	1	1	禁止	

## ● 電路圖



#### 3. 正反器 (Filp-Flop)

- (1) 時脈訊號可用來控制正反器輸出狀態之轉變,可藉由時脈訊號之改變瞬間,對正反器輸入訊號取樣後,以決定正反器之輸出狀態而這改變瞬間稱為正反器的觸發。
- (2) 在數位系統中,邊緣觸發方式有兩種:
  - (a) 正緣觸發 (0→1)
  - (b) 負緣觸發 (1→0)



(3) 閂鎖器與正反器相異處:

閂鎖器:不需時脈信號觸發即可做狀態的改

變

正反器: 需配合時脈信號觸發才可做狀態改

變

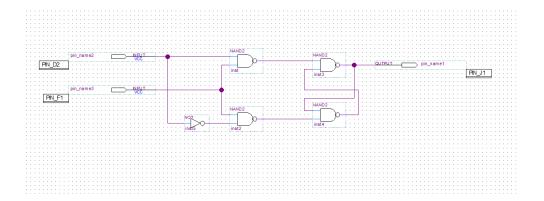
#### 4. 實驗

- (1) D 型門鎖器 (D Latch)
- (2) D 型正反器 (D Flip-Flop)
- (3) An 8-bit Register with asynchronous reset

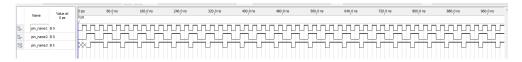
#### 二、實驗結果

實驗一 (D 型閂鎖器 (D Latch))

- 實作一個 D 型門鎖器
- Use SW0 as the clock
- (1) 電路圖



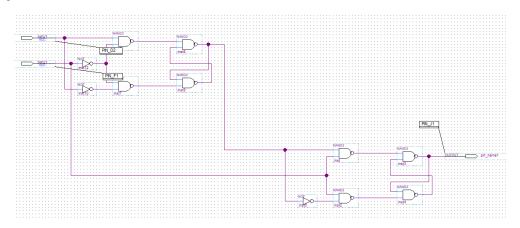
## (2) 波形圖



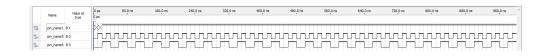
# 實驗二 (D 型正反器 (D Flip-Flop))

- 實作一個主僕式 D 型正反器
- Use Button2 as the clock

## (1) 電路圖

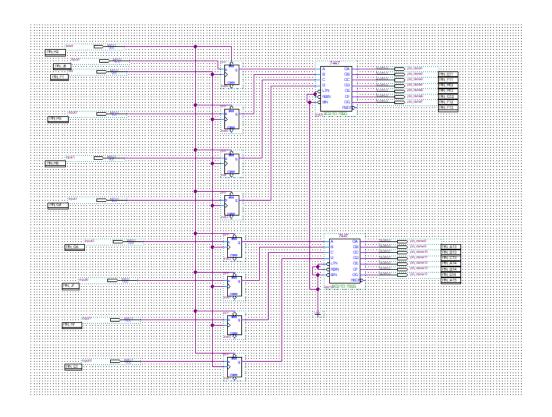


## (2) 波形圖



# 實驗三 (An 8-bit Register with asynchronous reset)

- 請使用八個具非同步 reset 的 D 正反器 (函式 庫提供), 實作一個具非同步 reset 的八位元 暫存器 (D7 D0 為兩個 BCD 數字)
- 使用兩個七段顯示器, 顯示暫存器的內容
- Use Button0 as an active-low asynchronous reset
- Use Button2 as the clock
- (1) 電路圖



## 三、 問題討論心得

這次的實驗讓我學習到如何實作一個主僕式 D 型正反器等等,透過設計電路並進行模擬,成功地實現了正反器的功能。在這個過程中,我深刻體驗到了電路設計的重要性,每一個元件都必須精確地配置,才能確保整個電路的正確運作。此外,我也學到了如何使用電路模擬軟體進行測試和驗證,以確認電路的穩定性和可靠性。這次的實驗讓我更深入地理解了數位電路的運作原理和設計方法,對我的未來學習和研究有著極大的幫助。