

邏輯設計實驗

Lab12

非同步計數器

班級：資訊一甲

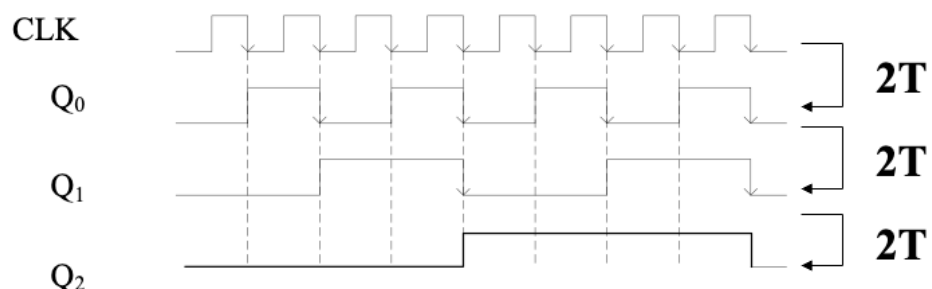
學號：D1109023

姓名：楊孟憲

一、摘要

1. 非同步計數器原理

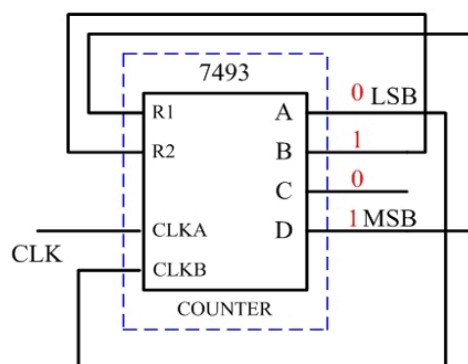
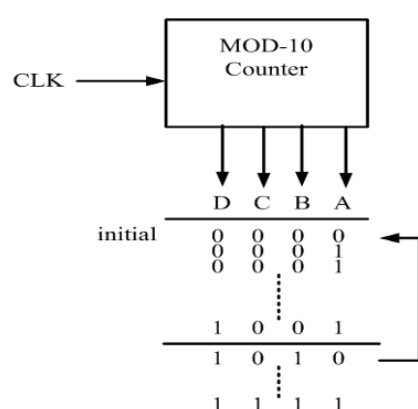
每一級的時脈輸入會造成兩倍週期的 Q_i 輸出，
而這個輸出又會當作下一級的時脈輸入，因此
又造成兩倍週期的輸出



2. Mod-N (模-N) 計數器/除 N 除頻器

● 模 10

MOD-10



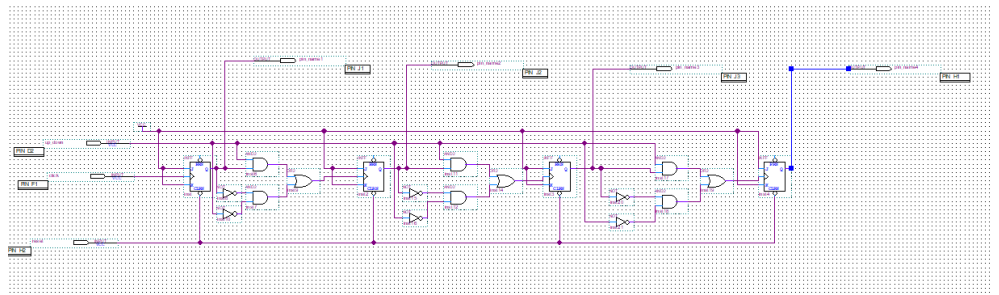
3. 實驗

- (1) 雙向 4-bit 計數器
- (2) 利用 7490 設計一個 0 99 計數器

二、實驗結果

實驗一 (設計一個雙向 4-bit 計數器)

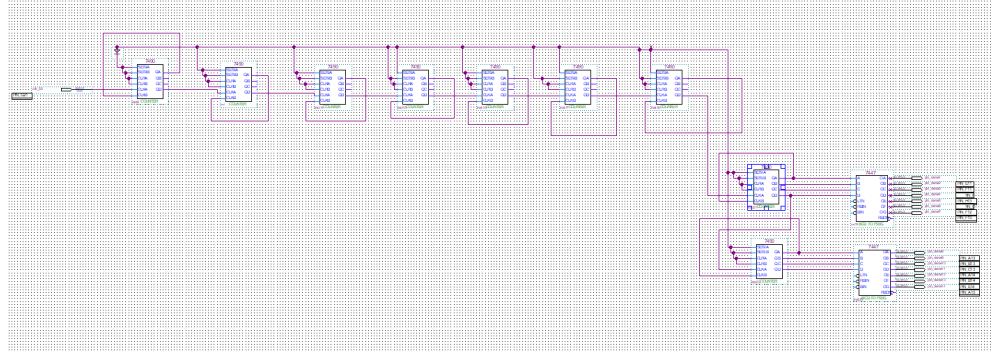
電路圖



實驗二 (利用 7490 設計一個 0 99 計數器)

- 請使用 DE0 所提供的 50MHz clock, CLOCK __ 50
- 將 CLOCK __ 50 除頻 10^7 ，所得的 5Hz 信號為此實驗的 CLK

電路圖



三、問題討論心得

這次的實驗中，我成功地實作了一個雙向 4-bit 計數器，並利用 7490 芯片設計了一個 0 99 的計數器。整個實驗過程非常有趣且具有挑戰性。

首先，我深入研究了 7490 芯片的功能和特性。7490 是一個十進制計數器，能夠實現 BCD（二進制編碼十進制）計數。我明白了 7490 的輸入和輸出的布局，並且瞭解了如何使用它來建構一個 4 位數計數器。

在設計過程中，我學會了如何利用 JK 翻轉器和邏輯閘來建構每一位的計數器。我設置了四個 JK 翻轉器，每個翻轉器代表一個位元，從最低位元到最高位元。我透過適當的連接和設定，使得計數器能夠以二進制形式正確地計數，並且在達到最大值時從頭重新計數。