

# Introdução ao projeto de sistemas digitais

Prof. Ilan Sousa Correa

Universidade Federal do Pará (UFPA)

Instituto de Tecnologia (ITEC)

Faculdade de Eng. da Computação e Telecomunicações (FCT)

# Introdução ao Quartus e simulações com o Modelsim/Questasim

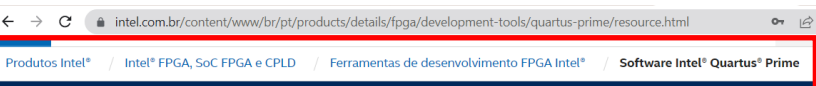
## Objetivos

- Familiarizar o aluno com os processos para download e instalação do software Intel Quartus (versão 17)
- Mostrar ao aluno a criação de um arquivo de verificação de um projeto (testbench).
- Familiarizar o aluno com simulações em nível RTL e mostrar a capacidade da simulação “Gate Level” usando o software Modelsim/Questasim, incluso no pacote do Quartus
- Mostrar a diferença de códigos em VHDL sintetizáveis e não-sintetizáveis

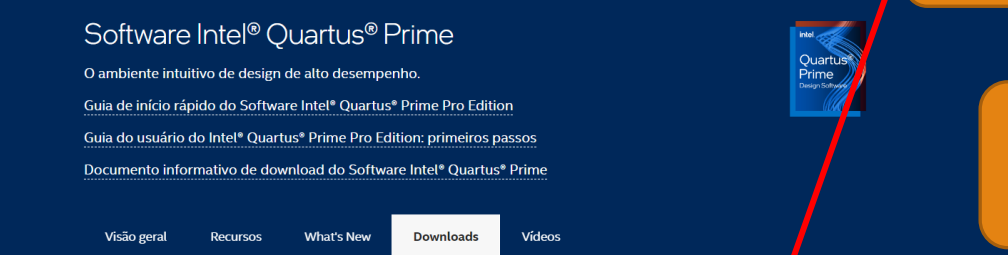
# Introdução ao Quartus e simulações com o Modelsim/Questasim

## Download do Quartus

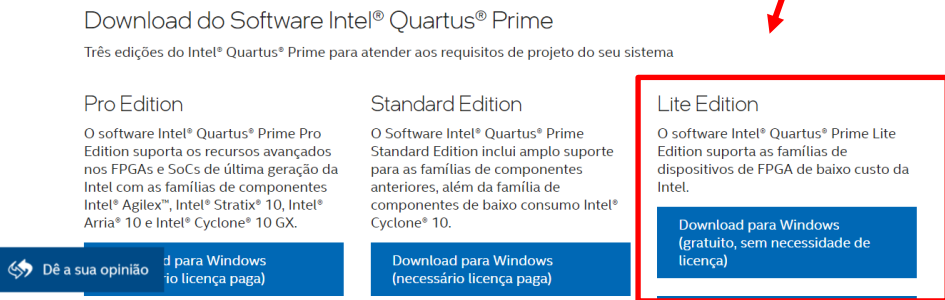
Quartus II pode ser baixado  
no site intel.com



Caminho para encontrar a página de download do Quartus.  
Usaremos a versão Lite (gratuita)



É necessário cadastro prévio no site, que é feito  
gratuitamente



Obs: a página da Intel é atualizada  
constantemente, então, a interface em alguns  
passos pode ser mostrada de forma diferente.

# Introdução ao Quartus e simulações com o Modelsim/Questasim

## Download do Quartus

The screenshot shows the Intel website's download page for the Quartus Prime Lite Edition. The browser address bar shows the URL: [intel.com/content/www/us/en/software-kit/669557/intel-quartus-prime-lite-edition-design-software-version-17-0-f...](https://intel.com/content/www/us/en/software-kit/669557/intel-quartus-prime-lite-edition-design-software-version-17-0-f...). The page has a 'Downloads' header with tabs for 'Multiple Download', 'Individual Files', 'Additional Software', and 'Updates'. The 'Multiple Download' tab is selected. Below it, the section 'Multiple Download' contains a table with one entry: 'Intel® Quartus® Prime Lite Edition Software (Device support included)'. This entry has a blue 'Download' button labeled 'Quartus-lite-17.0.0.595-windows.tar', a size of '5.8 GB', and a SHA1 hash: '2249246119b0c44bba9273c811a01d550ba431fb'. A red arrow points from an orange box labeled 'Versão 17' to the download button. Below the table, there is a 'What's Included?' link, 'Download and install instructions' (a numbered list of 3 steps), a link to 'Read Intel® FPGA Software Installation FAQ', a note about download times, and a 'Detailed Description' section. The 'System Requirements' section is partially visible at the bottom.

Downloads

Multiple Download Individual Files Additional Software Updates

Multiple Download

Intel® Quartus® Prime Lite Edition Software (Device support included)

<a href="#">Download</a> Quartus-lite-17.0.0.595-windows.tar	Size: 5.8 GB SHA1: 2249246119b0c44bba9273c811a01d550ba431fb
-----------------------------------------------------------------	-------------------------------------------------------------------

[What's Included?](#)

**Download and install instructions:**

1. Download the software .tar file and the appropriate device support files.
2. Extract the files into the same temporary directory.
3. Run the setup.bat file.

[Read Intel® FPGA Software Installation FAQ](#)

Note: The Intel® Quartus® Prime software is a full-featured EDA product. Depending on your download speed, download times may be lengthy.

Detailed Description

**System Requirements:**  
[Operating System Support](#)

Versão 17

Escolher para o SO de sua preferência

Baixar versão em um único arquivo, que inclui o Quartus + Questasim

# Introdução ao Quartus e simi

Installing Quartus Prime Lite Edition (Free) 21.1.0.842



## Select Components

Select the components you want to install

- ☒ Quartus Prime Lite Edition (Free)
  - ☒ Quartus Prime (includes Nios II EDS) (9235MB)
  - ☒ Quartus Prime Help (507.9MB)
  - ☒ Devices
    - ☐ Arria II (536.5MB)
    - ☒ Cyclone IV (516.3MB)
    - ☐ Cyclone 10 LP (293.5MB)
    - ☒ Cyclone V (1430.9MB)
    - ☐ MAX II/V (13.1MB)
    - ☐ MAX 10 FPGA (355.1MB)
- ☒ Questa - Intel FPGA Starter Edition (A zero cost license requi...
- ☐ Questa - Intel FPGA Edition (3202.4MB)

You can add additional device support to an existing Quartus Prime software installation without having to reinstall the entire software package. Use the Install Devices command on the Tools menu in the Quartus Prime software to get started.

Select a component for more information

VMware InstallBuilder

< Back

Next >

Cancel

## Instalação

Seguir as passos padrão da instalação

Escolher os pacotes a serem instalados

Pacotes usados

Quartus

Questasim

Dispositivos Cyclone

# Introdução ao Quartus e simulações com o Modelsim/Questasim

## Criação de um projeto – diretório

The screenshot shows the 'New Project Wizard' dialog box, page 1 of 5, titled 'Directory, Name, Top-Level Entity'. It contains three text input fields with browse buttons (three dots) to the right. The first field is labeled 'What is the working directory for this project?' and contains the path 'C:/Users/Ilan/Documents/QuartusProjects'. The second field is labeled 'What is the name of this project?' and contains 'lab-intro'. The third field is labeled 'What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.' and contains 'lab-intro'. Below these fields is a button labeled 'Use Existing Project Settings...'. At the bottom of the dialog are five buttons: '< Back', 'Next >', 'Finish', 'Cancel', and 'Help'. The 'Next >' button is highlighted with a blue border. Two red arrows point from orange callout boxes to the first and second input fields.

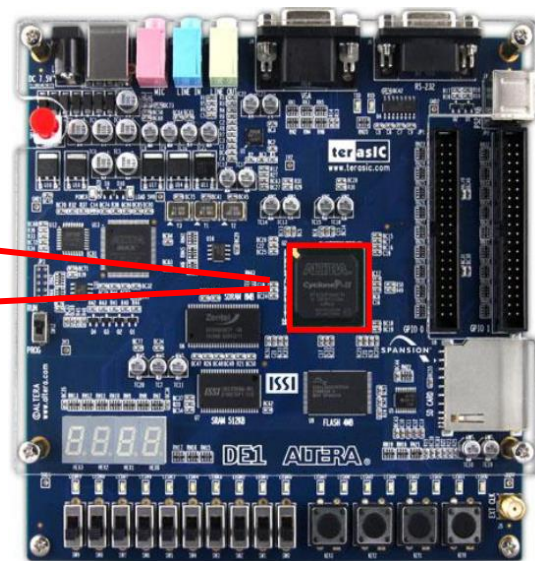
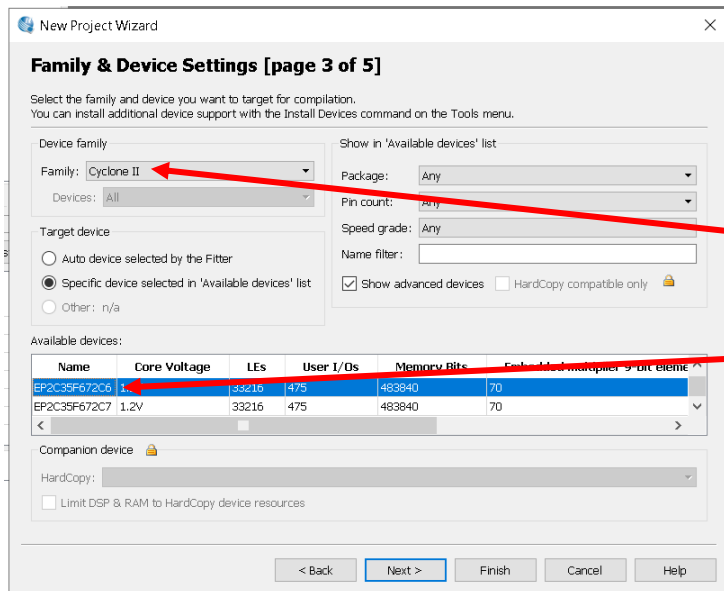
Não salvar no diretório de instalação do Quartus

Nomear adequadamente e escolher o diretório apropriado

# Introdução ao Quartus e simulações com o Modelsim/Questasim

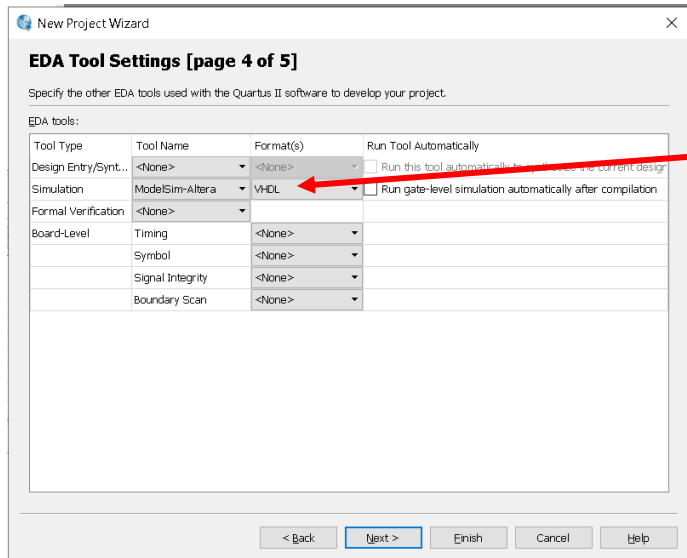
Criação de um projeto - dispositivo

A FCT tem disponível Kits DE1-SoC



# Introdução ao Quartus e simulações com o Modelsim/Questasim

Criação de um projeto – configuração do simulador

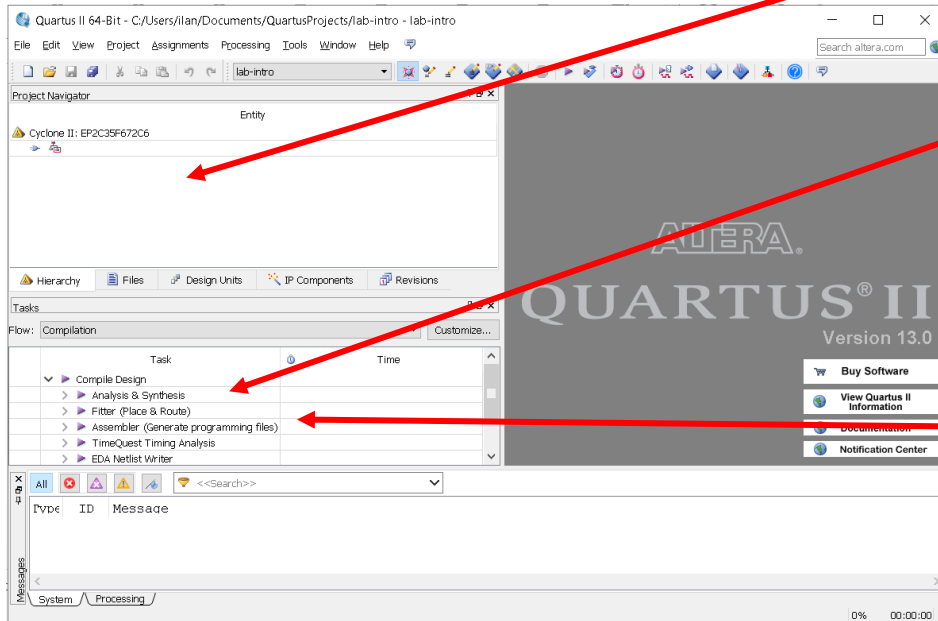


Selecionar o simulador  
Questasim/Modelsim Intel FPGA e  
linguagem VHDL



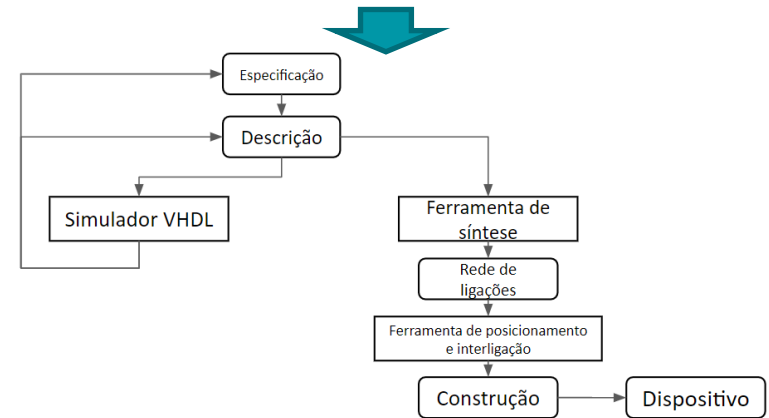
# Introdução ao Quartus e simulações com o Modelsim/Questasim

## Interface de desenvolvimento do Quartus



Arquivos do projeto

Processos

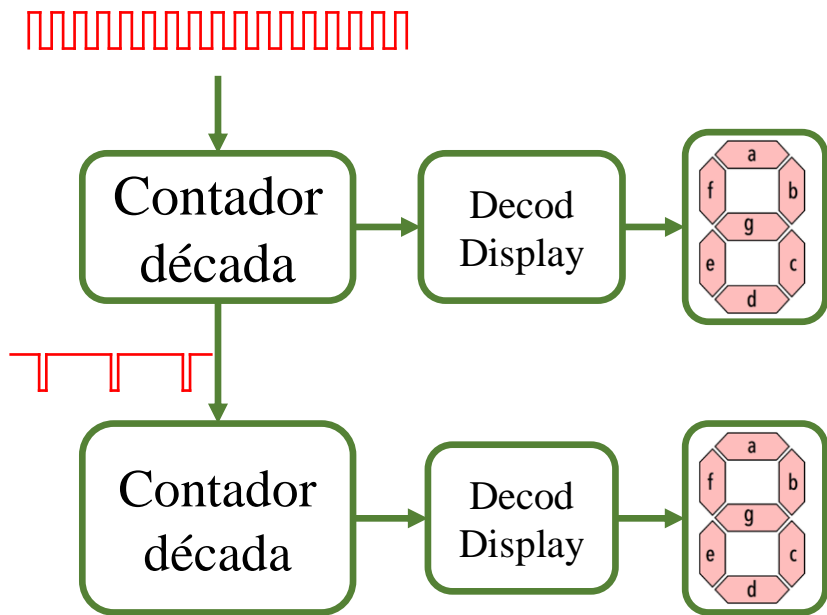


# Introdução ao projeto de sistemas digitais

Exemplo

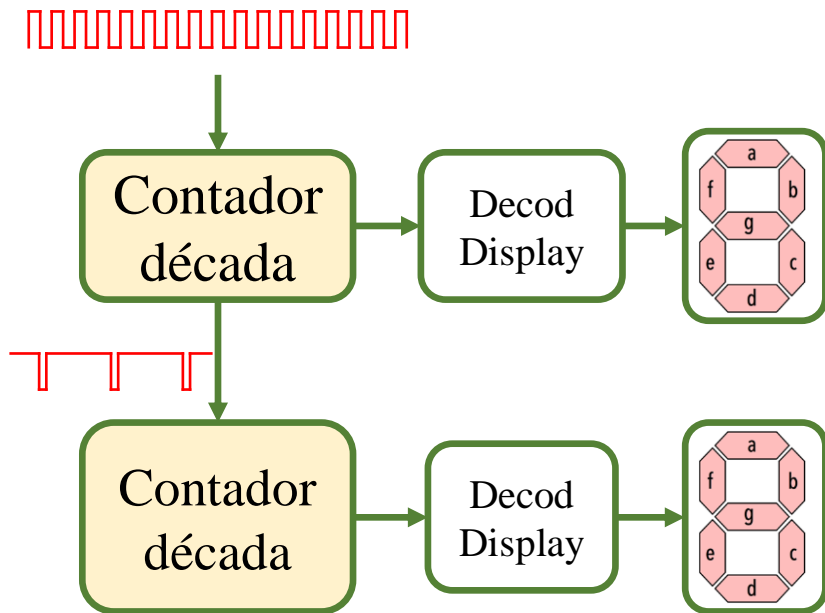
# Introdução ao projeto de sistemas digitais

Exemplo: Contador 00 - 99



# Introdução ao projeto de sistemas digitais

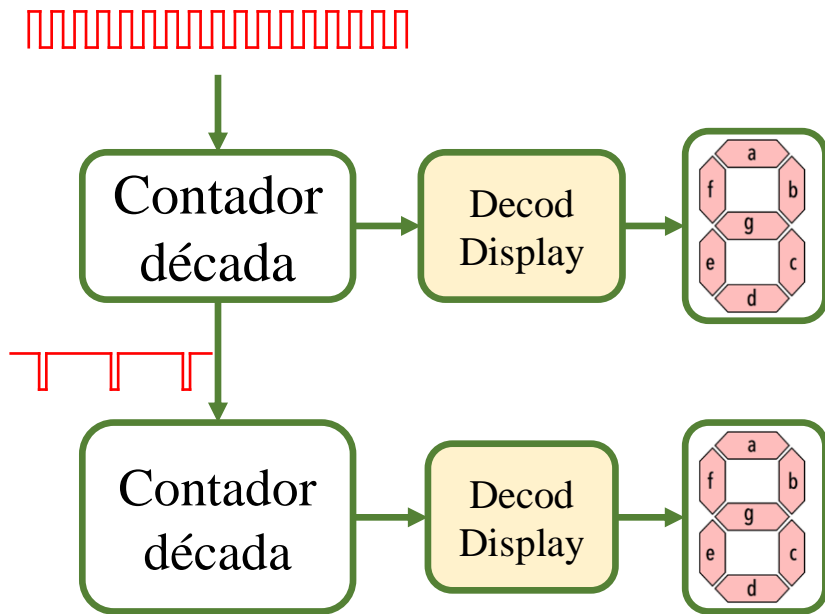
Exemplo: Contador 00 - 99



```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY conta IS
PORT ( ckin : IN  STD_LOGIC;
      vcont : OUT STD_LOGIC_VECTOR (3 DOWNT0 0);
      ckout : OUT STD_LOGIC);
END conta;
ARCHITECTURE soma OF conta IS
  SIGNAL vcont_s : STD_LOGIC_VECTOR (3 DOWNT0 0) := "0000";
  SIGNAL ckout_s : STD_LOGIC := '0';
BEGIN
  vcont <= vcont_s ;
  ckout <= ckout_s;
  PROCESS (ckin)
  BEGIN
    IF ckin'EVENT and ckin = '0' THEN
      IF vcont_s /= 9 THEN
        vcont_s <= vcont_s + 1;
        ckout_s <= '1';
      ELSE
        vcont_s <= "0000";
        ckout_s <= '0';
      END IF;
    END IF;
  END PROCESS;
END soma;
```

# Introdução ao projeto de sistemas digitais

Exemplo: Contador 00 - 99



```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY disp7 IS
PORT (dec : IN  STD_LOGIC_VECTOR (3 DOWNTO 0) ;
      disp : OUT STD_LOGIC_VECTOR (6 DOWNTO 0));
END disp7;
```

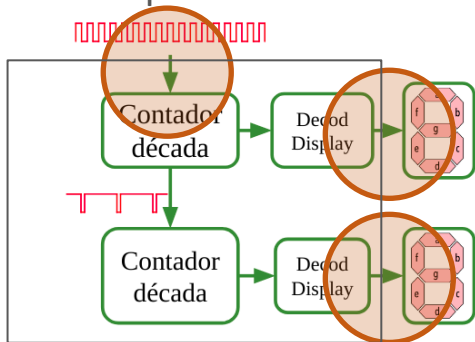
```
ARCHITECTURE decod OF disp7 IS
BEGIN
```

```
with dec select
disp <= "1111001" when "0001",  --1
        "0100100" when "0010",  --2
        "0110000" when "0011",  --3
        "0011001" when "0100",  --4
        "0010010" when "0101",  --5
        "0000010" when "0110",  --6
        "1111000" when "0111",  --7
        "0000000" when "1000",  --8
        "0010000" when "1001",  --9
        "0001000" when "1010",  --A
        "0000011" when "1011",  --b
        "1000110" when "1100",  --C
        "0100001" when "1101",  --d
        "0000110" when "1110",  --E
        "0001110" when "1111",  --F
        "1000000" when others;  --0
```

```
END decod;
```

# Introdução ao projeto de sistemas digitais

Exemplo: Contador 00 - 99



```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
```

```
ENTITY contador99 IS
```

```
    PORT
```

```
    (
```

```
        ck : IN STD_LOGIC;
```

```
        hex0 : OUT STD_LOGIC_VECTOR(6
```

```
        hex1 : OUT STD_LOGIC_VECTOR(6
```

```
        DOWNTO 0);
```

```
        DOWNTO 0);
```

```
END contador99;
```

```
ARCHITECTURE contagem OF contador99 IS
    COMPONENT conta
        PORT(ckin : IN STD_LOGIC;
             ckout : OUT STD_LOGIC;
             vcont : OUT STD_LOGIC_VECTOR(3
DOWNTO 0));
    END COMPONENT;
    COMPONENT disp7
        PORT(dec : IN STD_LOGIC_VECTOR(3 DOWNTO
0);
             disp : OUT STD_LOGIC_VECTOR(6
DOWNTO 0));
    END COMPONENT;
    SIGNAL ckdez : STD_LOGIC;
    SIGNAL dez : STD_LOGIC_VECTOR(3 DOWNTO 0);
    SIGNAL uni : STD_LOGIC_VECTOR(3 DOWNTO 0);
BEGIN
    conta_uni : conta
        PORT MAP(ckin => ck,
                 ckout => ckdez,
                 vcont => uni);

    conta_dez : conta
        PORT MAP(ckin => ckdez,
                 ckout => dez);

    disp_uni : disp7
        PORT MAP(dec => uni,
                 disp => hex0);

    disp_dez : disp7
        PORT MAP(dec => dez,
                 disp => hex1);
```

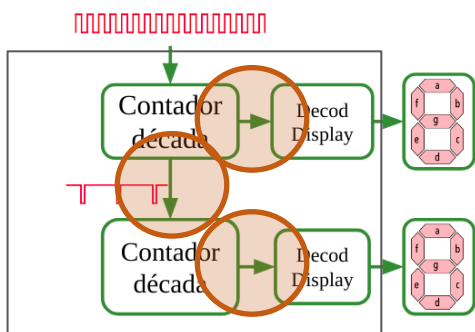
Prof. Ilan Correa

UFPA/ITEC/FCT

2022.4 – Projetos de Hardware e Interfaceamento

# Introdução ao projeto de sistemas digitais

Exemplo: Contador 00 - 99



```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
```

```
ENTITY contador99 IS
    PORT
    (
        ck : IN STD_LOGIC;
        hex0 : OUT STD_LOGIC_VECTOR(6
            DOWNTO 0);
        hex1 : OUT STD_LOGIC_VECTOR(6
            DOWNTO 0);
    );
END contador99;
```

Prof. Ilan Correa

```
ARCHITECTURE contagem OF contador99 IS
    COMPONENT conta
        PORT(ckin : IN STD_LOGIC;
            ckout : OUT STD_LOGIC;
            vcont : OUT STD_LOGIC_VECTOR(3
                DOWNTO 0));
    END COMPONENT;
    COMPONENT disp7
        PORT(dec : IN STD_LOGIC_VECTOR(3
            DOWNTO 0);
            disp : OUT STD_LOGIC_VECTOR(6
                DOWNTO 0));
    END COMPONENT;
    SIGNAL ckdez : STD_LOGIC;
    SIGNAL dez : STD_LOGIC_VECTOR(3
        DOWNTO 0);
    SIGNAL uni : STD_LOGIC_VECTOR(3
        DOWNTO 0);
BEGIN
    conta_uni : conta
        PORT MAP(ckin => ck,
            ckout => ckdez,
            vcont => uni);

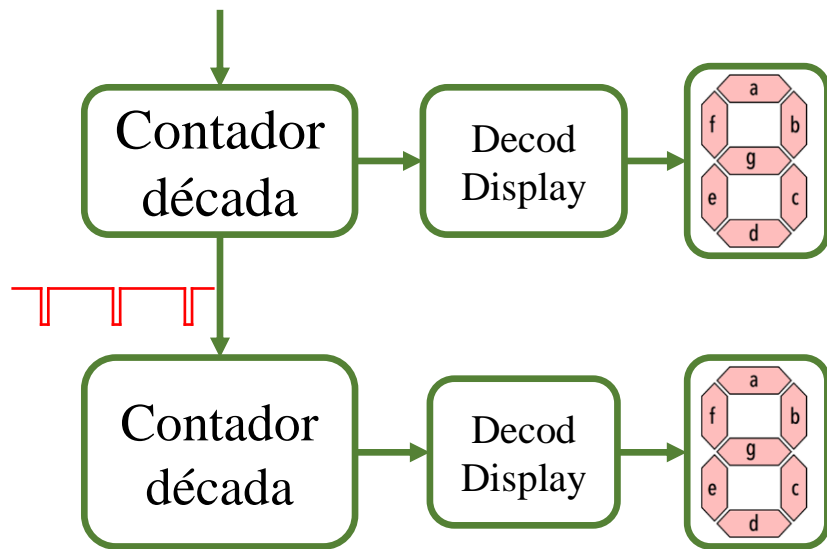
    conta_dez : conta
        PORT MAP(ckin => ckdez,
            ckout => ckdez,
            vcont => dez);

    disp_uni : disp7
        PORT MAP(dec => uni,
            disp => hex0);

    disp_dez : disp7
        PORT MAP(dec => dez,
            disp => hex1);
END contagem;
```

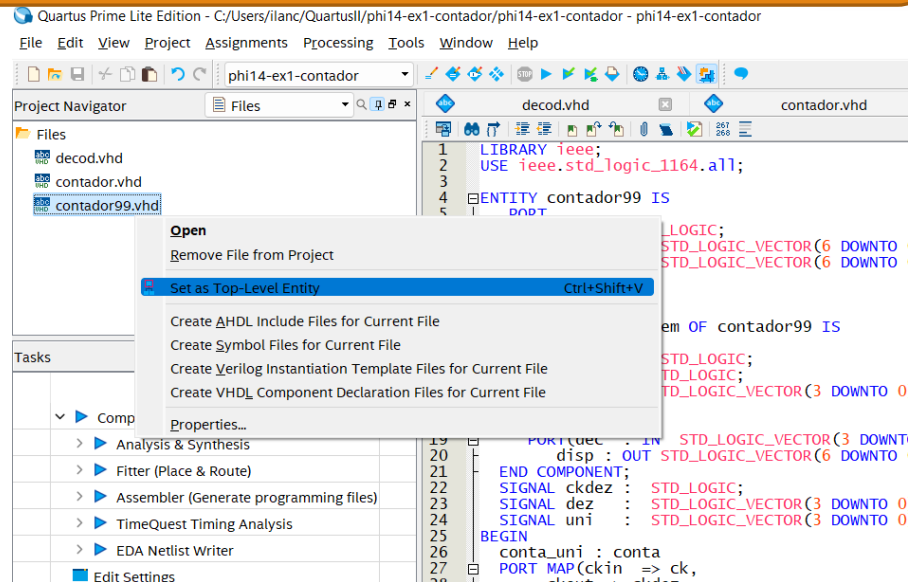
# Introdução ao projeto de sistemas digitais

Exemplo: Contador 00 - 99



Seleção do arquivo principal, que ficará no topo da hierarquia de arquivos

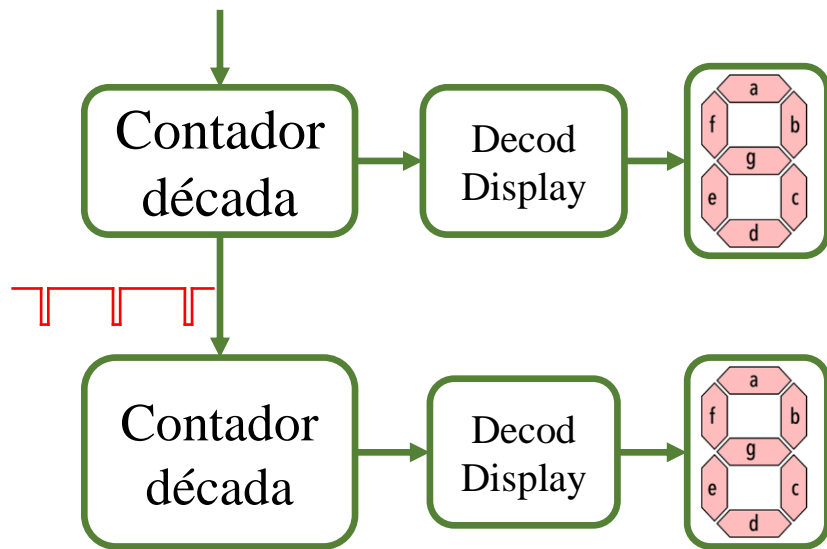
O arquivo contador99 será o top-level da task “compilation” para processar o projeto para resultar em arquivo de programação do FPGA



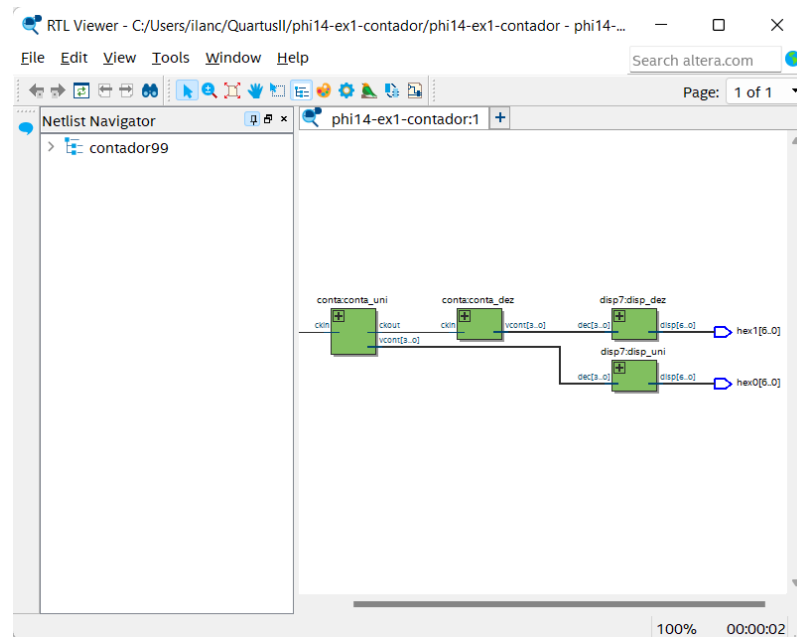


# Introdução ao projeto de sistemas digitais

Exemplo: Contador 00 - 99

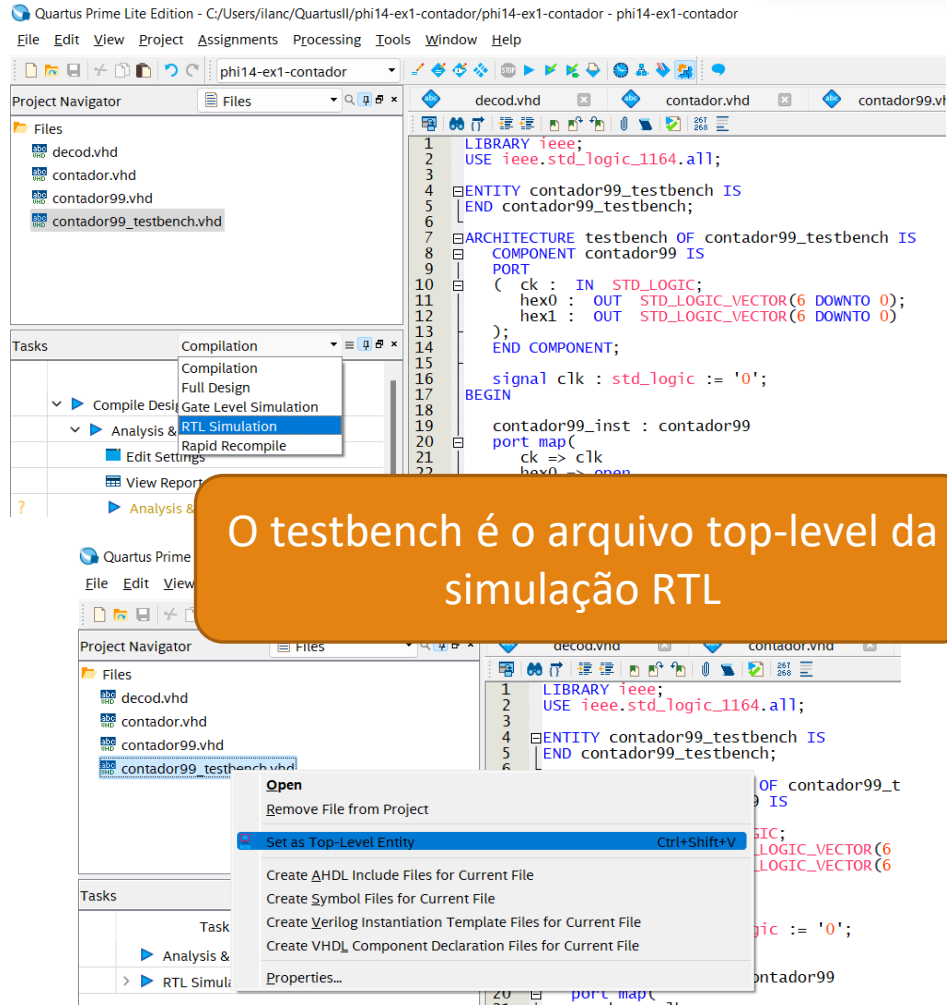
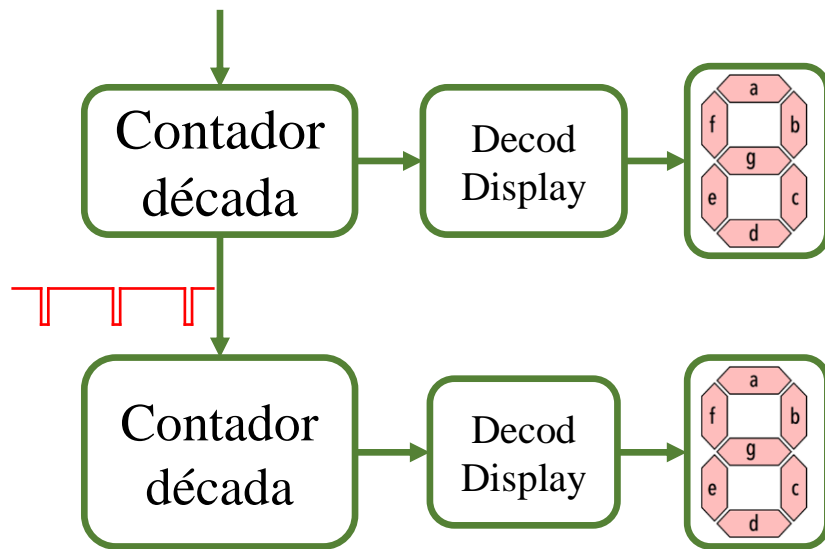


Resultado após a síntese.  
Visualização com o recurso RTL  
Viewer



# Introdução ao projeto de sistemas digitais

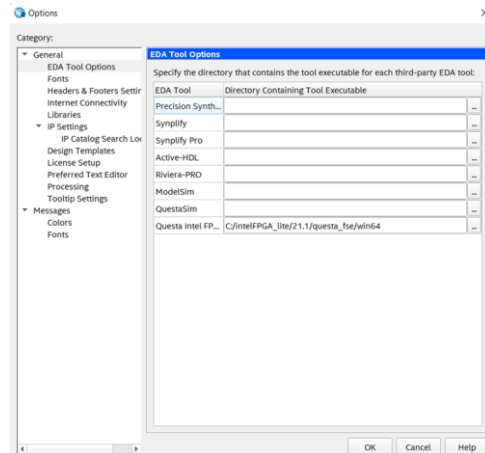
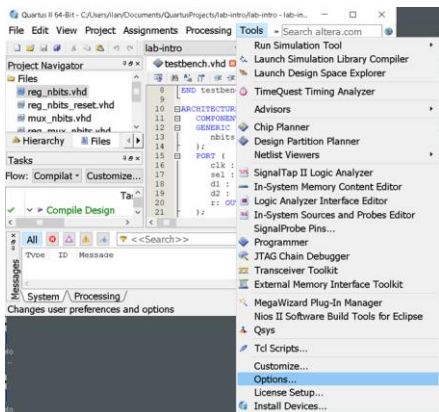
Simulação do contador99 com um testbench



# Introdução ao projeto de sistemas digitais

## Configuração do Questasim no Quartus

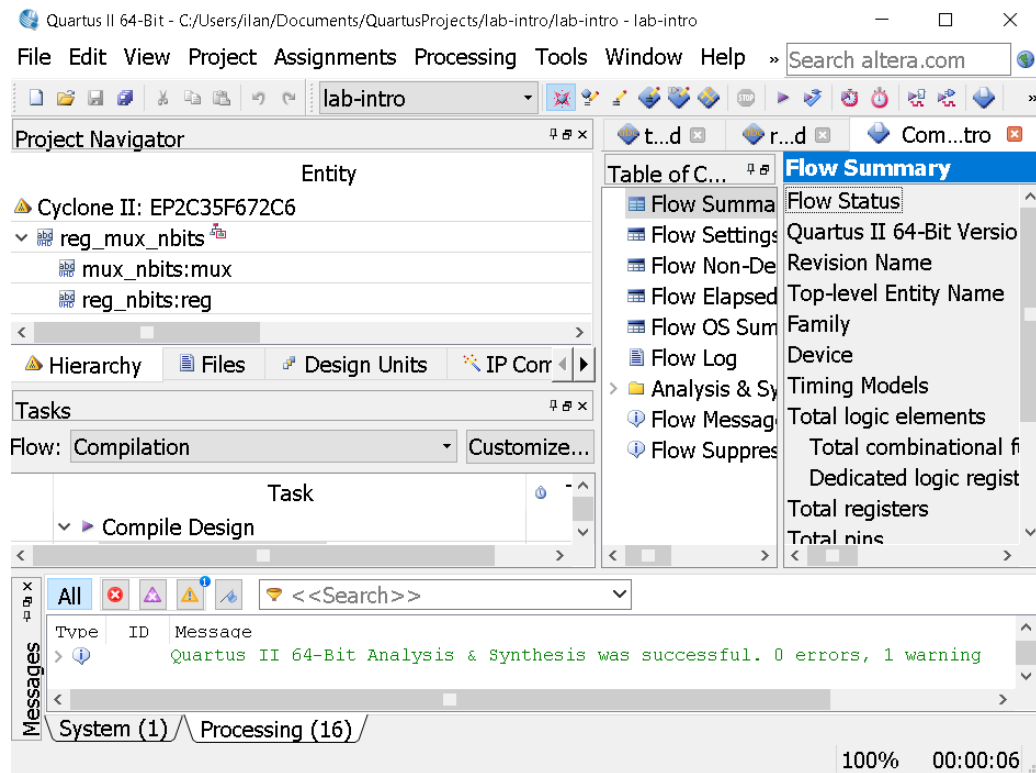
- Em instalações novas do Quartus pode ser necessário configurar o caminho do executável do Questasim
- Menu Tools⇒Options⇒EDA Tool Options⇒No campo Questasim Intel FPGA preencher
  - C:/intelFPGA\_lite/21.1/questa\_fse/win64 (modificar de acordo com o diretório de instalação no seu computador)



# Introdução ao projeto de sistemas digitais

Arquivo principal processado pelo Quartus

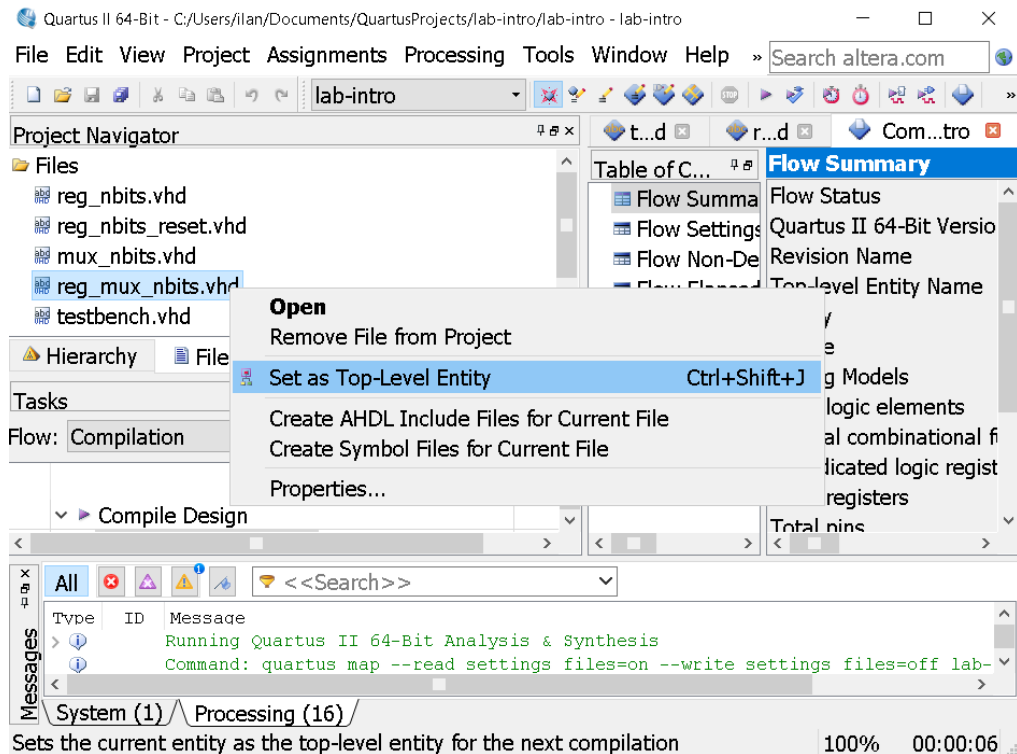
- Para os processos de síntese e simulação, o Quartus processa o chamado “Top-Level Entity”, que basicamente é uma entidade em VHDL. Somente serão sintetizados os arquivos VHDL que estiverem na hierarquia do “Top-Level Entity”.
- Exemplo: O arquivo `reg_mux_nbits.vhd` é um arquivo hierárquico, que instancia as entidades `mux_nbits.vhd` e `reg_nbits.vhd`.



# Introdução ao projeto de sistemas digitais

Arquivo principal processado pelo Quartus

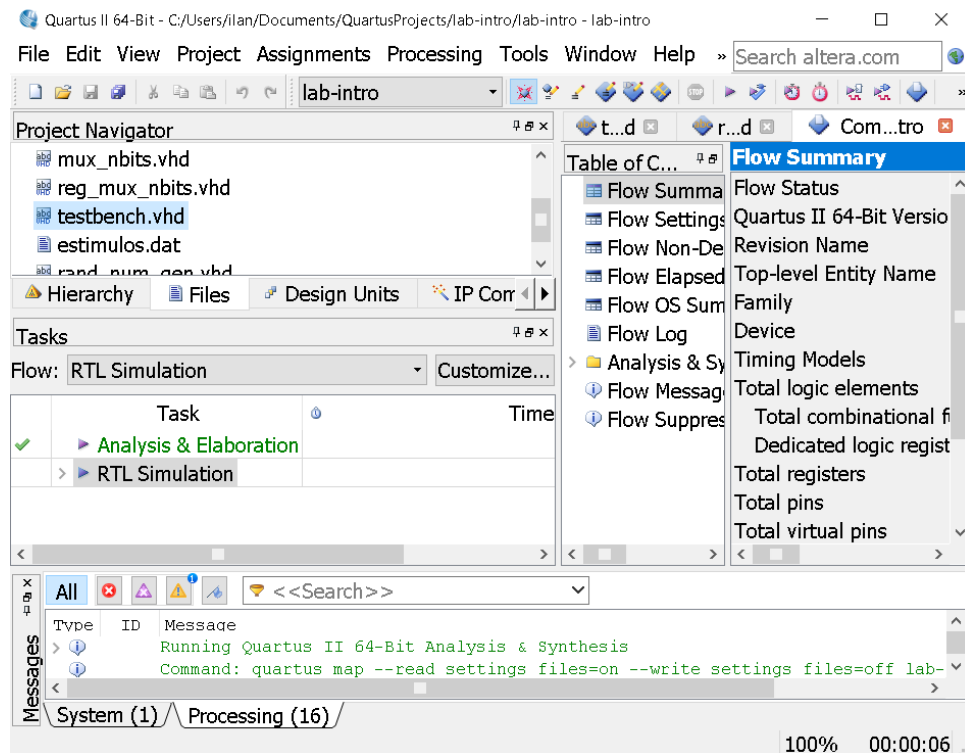
- Para selecionar o arquivo “Top-Level Entity”, deve-se ir na aba “File” e selecionar o arquivo desejado como tal



# Introdução ao projeto de sistemas digitais

Execução de simulação de um arquivo com o Questasim

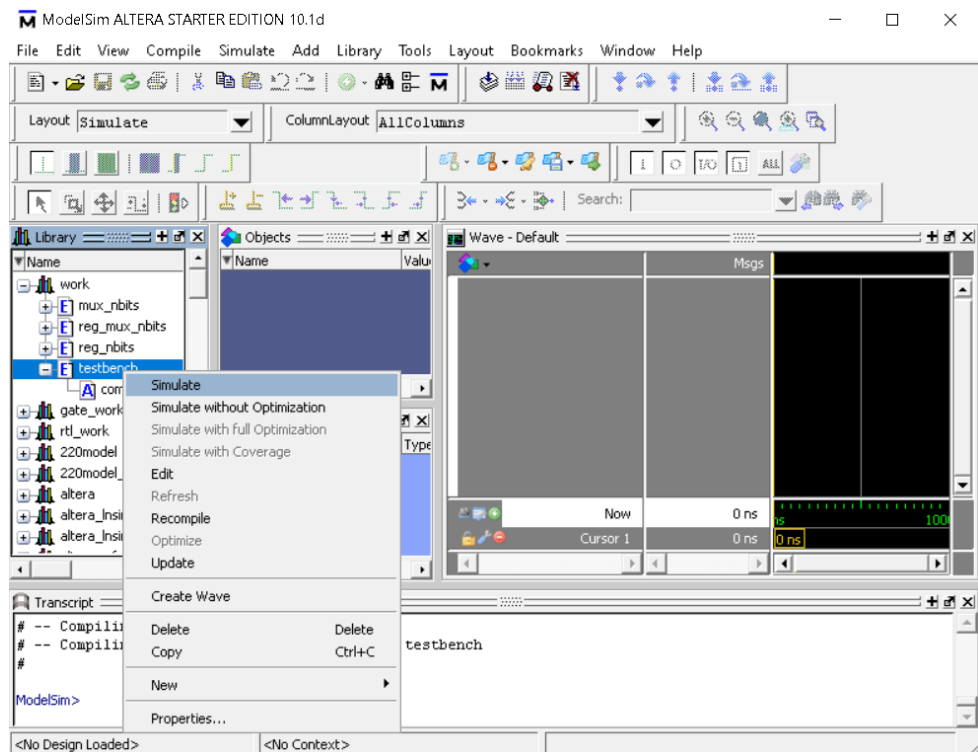
- O testbench que testa o arquivo desejado deve ser configurado como Top-Level
- O caminho do Questasim deve estar configurado corretamente no Quartus
- Iniciando o Questasim
  - Selecionar o Flow RTL Simulation
    - Simulações sem atraso
  - Clicar em RTL Simulation
  - O ModelSim deve ser aberto



# Introdução ao projeto de sistemas digitais

Execução de simulação de um arquivo com o Questasim

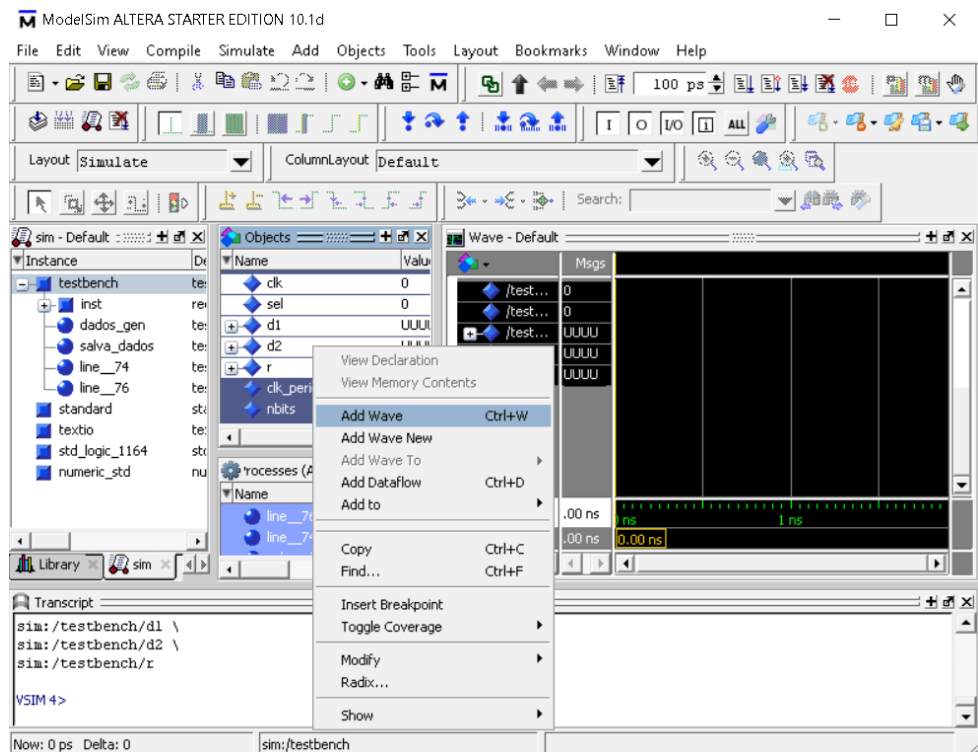
- No Questasim, os arquivos VHDL do Quartus são agrupados na biblioteca work
- O testbench desejado deve ser selecionado para simulação (clique duas vezes)
  - A janela do Questasim mudará



# Introdução ao projeto de sistemas digitais

Execução de simulação de um arquivo com o Questasim

- No Questasim, os arquivos VHDL do Quartus são agrupados na biblioteca work
- O testbench desejado deve ser selecionado para simulação (clique duas vezes)
- A janela do Questasim mudará
- Selecionar o sinais para serem mostrados na simulação
- Controles da simulação
  - Reiniciar
  - Configurar tempo de simulação
  - Simular pelo tempo configurado

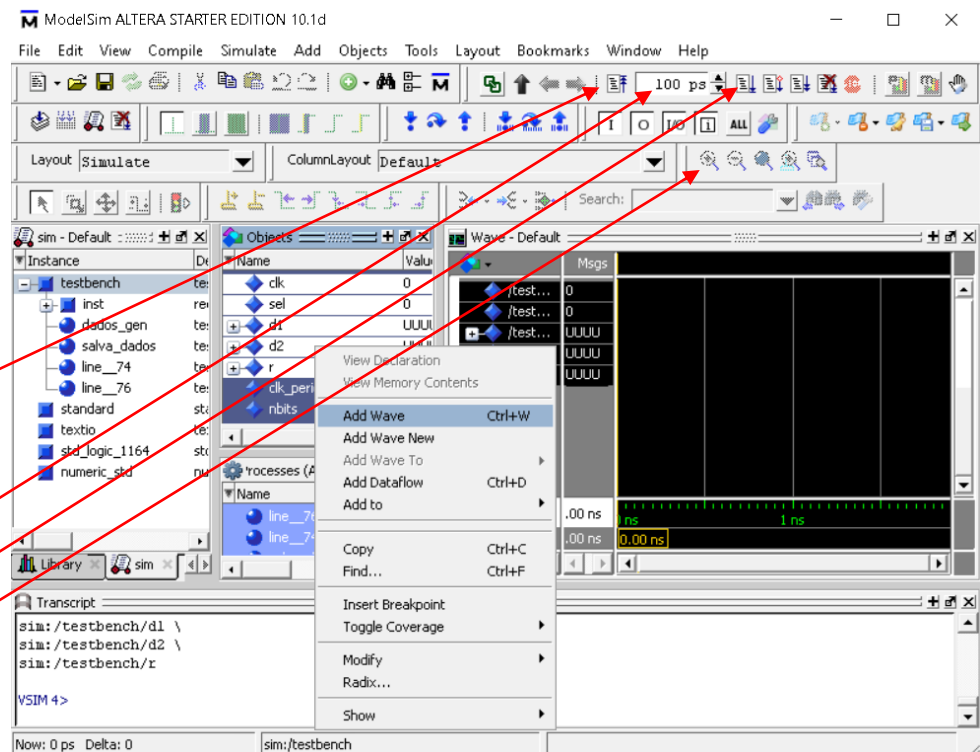




# Introdução ao projeto de sistemas digitais

Execução de simulação de um arquivo com o Questasim

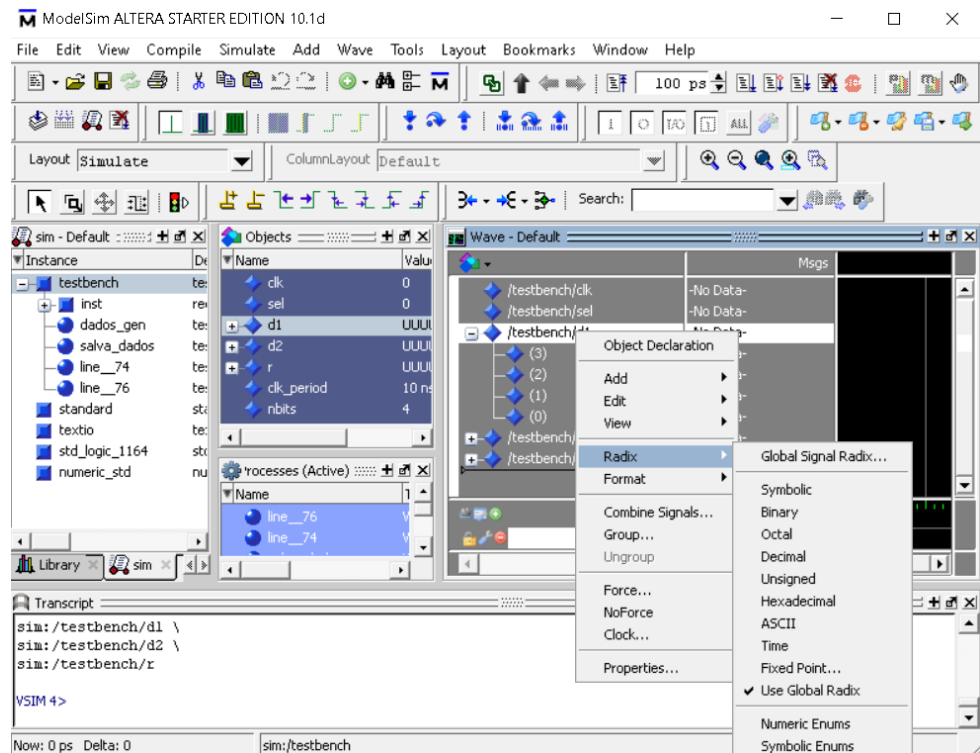
- No Questasim, os arquivos VHDL do Quartus são agrupados na biblioteca work
- O testbench desejado deve ser selecionado para simulação (clique duas vezes)
  - A janela do ModelSim irá mudar
- Selecionar o sinais para serem mostrados na simulação
- Controles da simulação
  - Reiniciar
  - Configurar tempo de simulação
  - Simular pelo tempo configurado
  - Controle de



# Introdução ao projeto de sistemas digitais

Execução de simulação de um arquivo com o Questasim

- Visualização dos dados
- Os bits podem ser interpretados de várias formas



# Introdução ao projeto de sistemas digitais

Geração e configuração da licença para o Modelsim/Questasim

# Introdução ao Quartus e simulações com o Modelsim/Questasim

A variável de ambiente  
LM\_LICENSE\_FILE deve ser criada  
com o conteúdo igual ao caminho  
da licença adquirida no site a Intel

## Linux

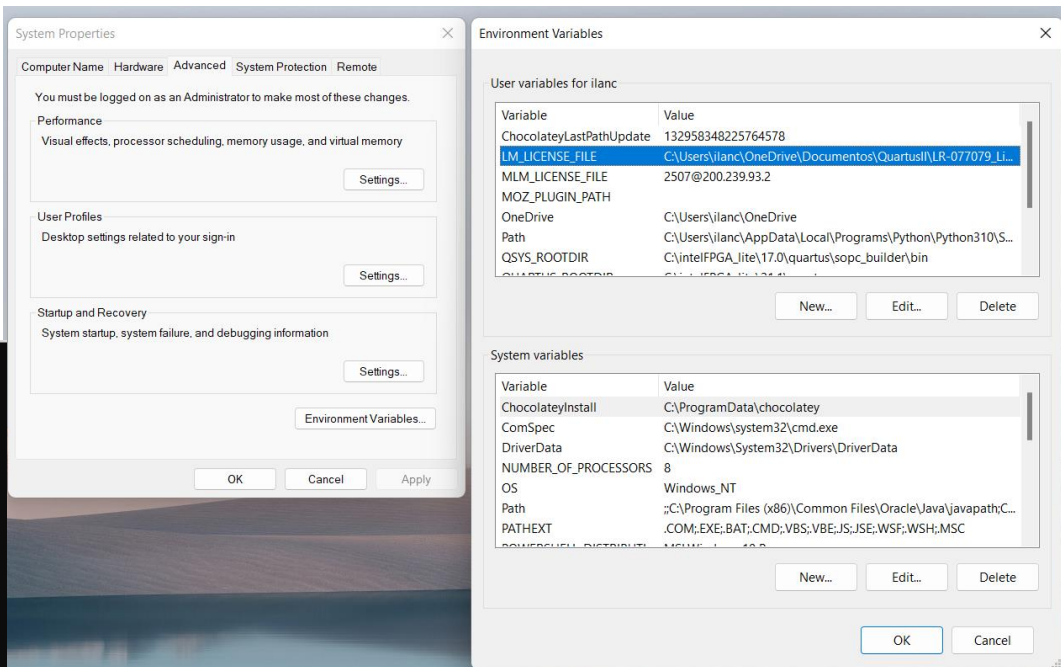
A variável pode ser criada no próprio terminal  
antes de abrir o Quartus também pelo terminal

```
/home/ilan [ilan@my-laptop] [13:57]
> export LM_LICENSE_FILE=/home/ilan/quartus_license.dat

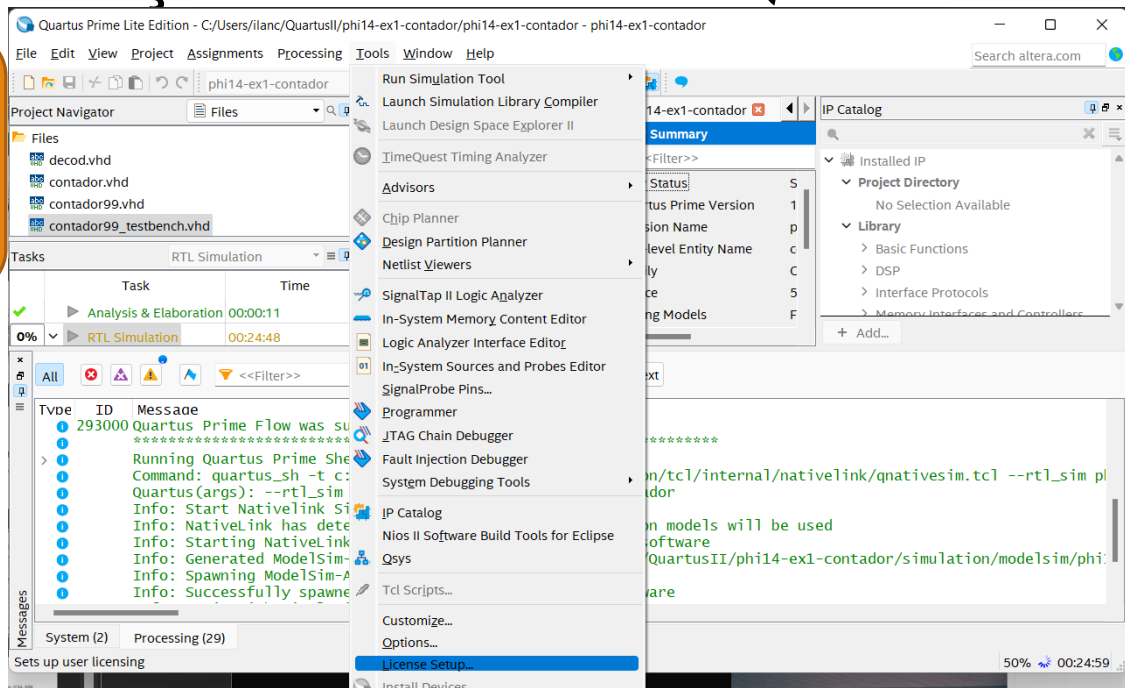
/home/ilan [ilan@my-laptop] [13:57]
> /home/ilan/diretorio_instalacao_quartus/bin/quartus
```

## Windows

Processo de criação da variável a partir de menus  
do sistema



É possível verificar no Quartus se a variável criada foi detectada corretamente



# Introdução ao Quartus e simulações com o Modelsim/Ques

Obtenção da licença no site da Intel

Manuais da Intel para licenciamento:

<https://www.intel.com/content/www/us/en/docs/programmable/683472/22-2/licensing-fpga-software.html>

4.4.3. Questa\*-Intel® FPGA Edition and Questa\*-Intel® FPGA Starter Edition Software License

<https://www.intel.com/content/www/us/en/support/programmable/licensing/support-center.html>

1. Go to the [Intel® FPGA Self-Service Licensing Center \(SSLC\)](#).
2. Select the **Sign up for Evaluation or Free Licenses** option on the menu bar.
3. In the list of products displayed, select the **Questa\* Intel® FPGA Starter Edition SW-QUESTA** option.
4. Under the **# of Seats** column, enter the number of seats you require.
5. Read the license terms of use.
6. Select the "I have read and agree to the terms of use of this license as listed below" check box.
7. Click **Get License**. A pop-up window displays asking you to which computer should the license be assigned. You can use one of the following options:
  - **Option 1:** Click **Create a New Computer** if you want to assign the license to a new computer. You must provide information about the required hardware and license type. For information about the license type, refer to [Intel® FPGA Software License Types](#). For information about how to extract information about your computer hardware, refer to [Hardware Information Required When You Request a License](#).
  - **Option 2:** Click **Assign an Existing Computer** and search for the computer name/NIC ID that you have created previously in your **My Intel®** account. To view your list of computers, use of the following options:
    - Visit the [License Assistant](#) and select **Regenerate License by Primary Computer > View all computers and select**
    - On the SSLC menu bar, click **Computers and License Files** and select the desired option.
8. Click **Generate**. You receive an email with the license attached to your registered email address.
9. Save the license.dat file on your computer (for example, ~/intelFPGA\_pro/LR-xxxxxx\_License.dat).

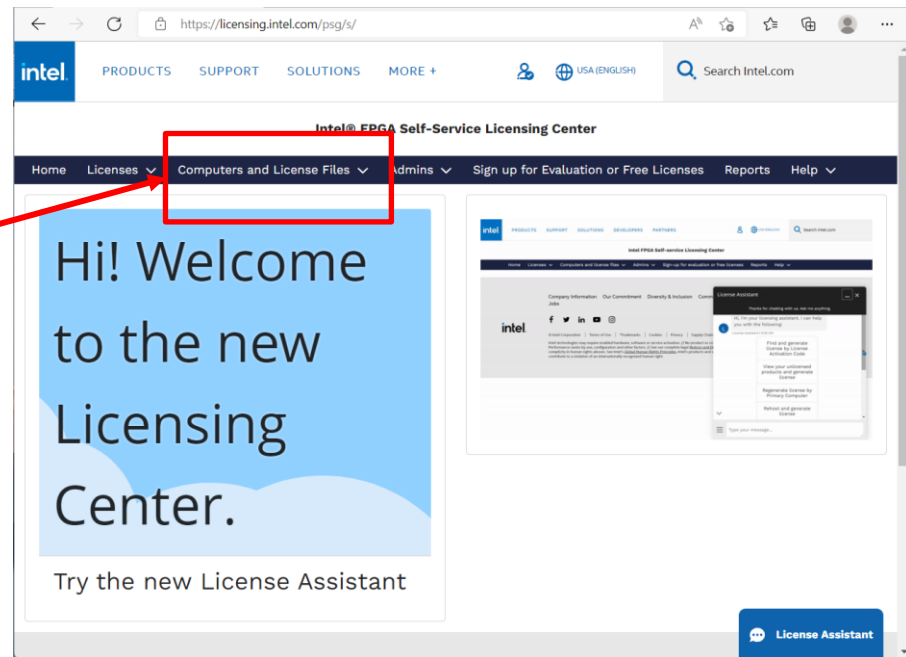
# Introdução ao Quartus e simulações com o Modelsim/Questasim

Obtenção da licença no site da Intel

Registrar o computador com o endereço MAC

Para registrar o computador, é necessário o endereço MAC, que pode ser obtido com o comando "ipconfig /all" (windows) ou "ip addr" (linux).

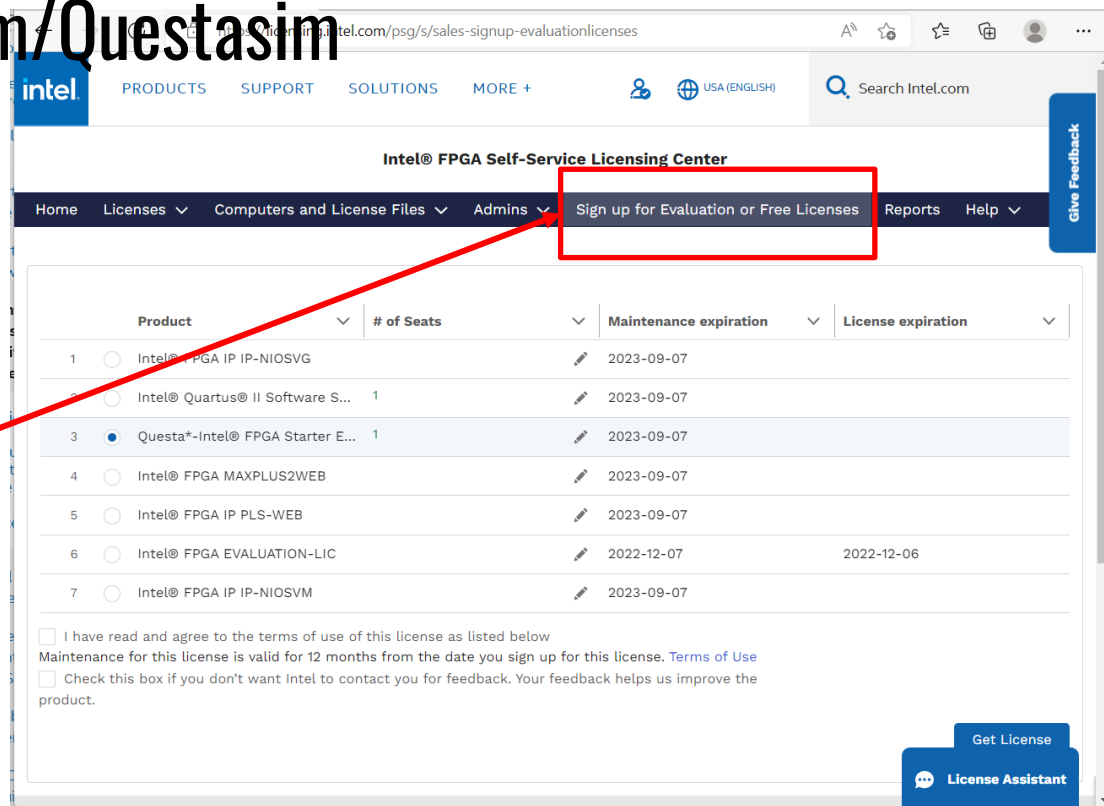
Deve-se usar o endereço MAC da interface Ethernet ou Wifi (outros como Bluetooth e interfaces virtuais não são válidos)



# Introdução ao Quartus e simulações com o Modelsim/Questasim

Obtenção da licença no site da Intel

Gerar a licença do Questa-Intel FPGA Starter Edition (gratuita)





**Dúvidas?**