

Aluno: _____

Matrícula: _____ Data: _____

Sprint 9 – Entrada e saída paralela – Processador RISC-V

Descrição geral do problema: Incluir uma entrada e uma saída paralela mapeada em memória, de 8bits. Isso finalizará o conjunto mínimo de funcionalidades do processador.

Requisitos mínimos:

Abra o projeto da Sprint8 e edite-o para incluir as funcionalidades dessa sprint. **Obs: “File > Open Project” e NÃO “File > Open”.**

- Até esse momento, o processador v0.3 não tinha nenhuma forma de trocar dados com o mundo externo. Além das interfaces de debug, as únicas entradas externas da montagem eram o clock e o reset. A fim de completar a versão v1.0 do processador, inclua uma porta de entrada e uma de saída paralela, mapeada em memória.
 - O endereço **8'hFC** da memória de dados será inutilizado e ressignificado para as portas de entrada e saída paralelas, mapeadas em memória.
 - Ao armazenar o conteúdo de algum registrador **\$X** no endereço **8'hFC** da memória de dados, **SW \$X, FC(\$0)**, o bloco **ParallelOUT** redirecionará o conteúdo de **\$X** para a saída paralela **w_DataOut**. A especificação lógica do circuito de saída está ilustrada na Figura 2.
 - Ao carregar o conteúdo do endereço **8'hFC** da memória de dados, para um registrador **\$X**, **LW \$X, FC(\$0)**, o bloco **ParallelIN** redirecionará o conteúdo da entrada paralela **w_DataIn** para o registrador **\$X**. A especificação lógica do circuito de entrada está ilustrada na Figura 3.
 - A sugestão de montagem final da CPU v1.0 está representada na Figura 1.

Perceba que não foi necessário criar mais nenhuma instrução para manipular as portas. Somente **SW** e **LW**

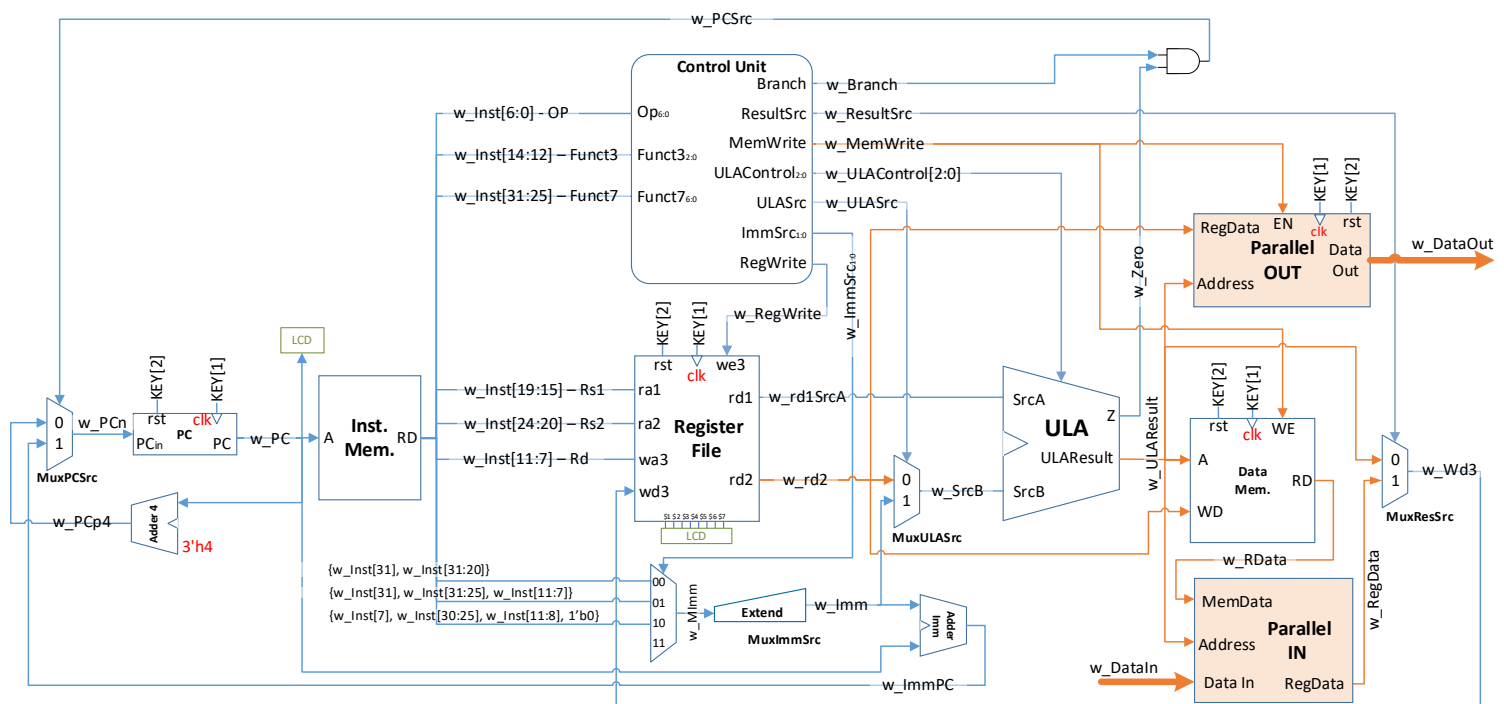


Figura 1 – CPU V1.0, memórias e porta de IO paralela de 8bits

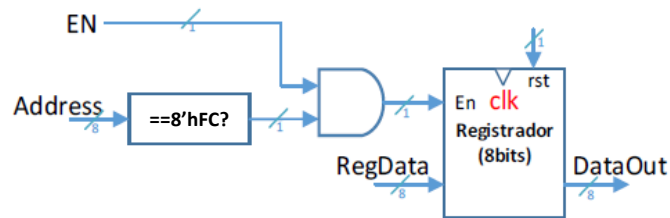


Figura 2 – Saída paralela mapeada no endereço 8'hFC da memória

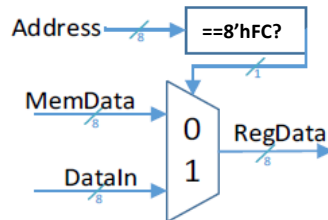


Figura 3 – Entrada paralela mapeada no endereço 8'hFC da memória

2. Ligações auxiliares para Debug:

- Conecte a saída paralela (DataOut) no display **w_d1x4**,
- Conecte a entrada paralela (DataIn) nas chaves **SW[7:0]**

3. Roteiro de testes:

- Rode o programa da Tabela 1

init:	
lw x1, 0xFC(x0)	#Carrega a entrada paralela no registrador 1
sw x1, 0xFC(x0)	#Salva o registrador 1 na saída paralela
beq x0, x0, init	#Reinicia o laço

Tabela 1 – Programa de testes A

- Escreva e rode na sua CPU, **um programa em assembly** que receba um número de 8bits na entrada paralela e calcule se ele é PAR ou ÍMPAR. Retorne, na saída paralela, **1** caso o número seja PAR e **0** caso seja ÍMPAR. Resolva esse problema por software, não é necessário nenhum hardware extra, que não tenha sido descrito previamente. Aumente o clock principal da CPU para 10Hz.

Relembrando o conjunto de instruções suportadas pela CPU

Instrução	Descrição	Algoritmo
ADD \$X, \$Y, \$Z	Adicionar	$\$X = \$Y + \$Z$
SUB \$X, \$Y, \$Z	Subtrair	$\$X = \$Y - \$Z$
AND \$X, \$Y, \$Z	AND Bit a bit	$\$X = \$Y \& \$Z$
OR \$X, \$Y, \$Z	OR Bit a bit	$\$X = \$Y \$Z$
SLT \$X, \$Y, \$Z	Menor que	$\$X = 1$ se $\$Y < \Z e 0 c.c.
LW \$X, i(\$Y)	Carregar da memória	$\$X \leftarrow \text{end}[\$Y + i]$
SW \$X, i(\$Y)	Armazenar na memória	$\text{End}[\$Y + i] \leftarrow \X
ADDi \$X, \$Y, i	Adicionar Imediato	$\$X = \$Y + i$
BEQ \$X, \$Y, i	Desviar se igual	Se $\$X == \Y , $PC = PC + i$

Tabela 2 –Conjunto de instruções RISC-V suportadas pela CPU do LASD.

Desafio (Valendo +0,5 na média geral)

- Escreva um código, em assembly, para gerar um sinal PWM de 8bits no pino menos significativo da saída paralela;
- Configure o t_on (0-255) do PWM através da entrada paralela;
- Conecte as chaves SW[7:0] na entrada paralela, um LED na saída paralela e aumente o clock do processador para 5kHz;
- Altere o valor do t_on e veja o brilho do LED variar!