

Kombinezonal Lojik

Sayısal sistemlerdeki lojik devreler, kombinezonal ya da ardışıl olabilir. Kombinezonal bir devrede çıkışlar, o andaki girişlere bağlı lojik kapılardan oluşur. Kombinezonal devre, bir Boole fonksiyonu kümesi ile belirlenmiş mantıksal bir bilgi işleme operasyonunu gerçekleştirir. Ardışıl devrelerde ise, bu lojik kapılara ek olarak bellek elemanları da kullanılır. Çıkışlar, giriş ve bu bellek elemanlarının durumları ile belirlenir. Bellek elemanların çıkışları bir önceki durumla ilişkili olabilir. Bu nedenle, ardışıl devrelerde çıkışlar o an ki durum için değil daha önceki durumlarla da ifade edilebilir.

Bu bölümün amacı, daha önce anlatılanlar ışığında kombinezonal devrelere ilişkin sistematik tasarım ve analiz yöntemleri geliştirmektir.

Kombinezonal bir devre, giriş değişkenleri, lojik kapılar ve çıkış değişkenlerinden oluşur. Lojik kapılar girişlerden işaretleri alıp çıkışlar için işaret üretirler. Bu işlem belirli bir giriş verisinden istenen çıkış verisine ikili bilgi dönüştürmedir. Kombinezonal bir devre ait blok diyagramı aşağıda görülmektedir.



n giriş söz konusu olduğuna göre 2^n tane olası ikili değer kombinasyonu vardır. Her bir giriş kombinasyonu için tek bir çıkış kombinasyonu mevcuttur. Bu girişlerde değişkenlerin kendileri ya da tümleyenlerinin olduğu varsayılacaktır. Eğer girişte hem değişkenin kendisi hem de tümleyeni mevcut ise evirici kullanmadan daha sonra anlatılacak olan flip-flop devreleri kullanılacaktır.

Tasarım Yöntemi

Kombinezonal devrenin tasarımı önce sözle başlar ve lojik diyagramlardan elde edilecek lojik devre diyagramı veya Boole fonksiyonu elde edilmesi ile sonuçlanır. Yöntem aşağıdaki adımlardan oluşur.

1. Problem sözle ifade edilir.

2. Mevcut giriş ve çıkış değişkenlerinin sayısı belirlenir.
3. Giriş ve çıkış değişkenlerine harf sembolleri atanır.
4. Giriş ve çıkış arasındaki ilişkileri tanımlayan doğruluk tablosu oluşturulur.
5. Her lojik çıkış için basitleştirilmiş Boole fonksiyonu elde edilir.
6. Lojik devre çizilir.

Kombinezonal bir devrenin doğruluk tablosu giriş ve çıkış sütunlarından oluşturulur. Giriş sütunlarındaki 1 ve 0'lar n adet giriş değişkeni için mevcut 2^n ikili kombinasyonundan elde edilir. Çıkışlara ilişkin değerler problemin incelenmesi ile elde edilir. Her geçerli giriş değeri için çıkış 1 ya da 0 olabilir. Eğer girişte belirsiz durumlar varsa ya da girişin değerleri için çıkışın durumları belirsiz ise bu gibi durumlar etkisiz koşullar olarak göz önünde tutulurlar.

Doğruluk tablosundan elde edilen Boole fonksiyonu çıkışları cebirsel işlem, diyagram ya da tablo yöntemi ile basitleştirilir. Pratik uygulamaya uygun bir tasarım yönteminde (1) minimum kapı sayısı, (2) kapıların minimum giriş sayısı, (3) devre boyunca işaretin minimuma yayılma süresi, (4) minimum ara bağlantı sayısı ve (5) her bir kapının sürme yeteneğine ilişkin sınırlamalar şeklinde başlar. Genellikle, Boole fonksiyonunu basitleştirme işlemi ile başlanır ve diğer performans kriterlerinin sağlanması için sistem geliştirilir.

Toplayıcılar

Sayısal bilgisayarlar, bilgi işleme görevi sırasında çeşitli aritmetik işlemleri yerine getirmek durumunda kalırlar. Bu aritmetik işlemlerin en temeli olan iki sayının toplanmasıdır. Bu basit toplama, $0+0=0$, $0+1=1$, $1+0=1$ ve $1+1=10$ şeklinde dört olası işlemdir. Burada, ilk üç toplam tek haneli bir ikili toplamı verir ama dördüncü toplam iki haneden oluşmuştur. İkinci hane yüksek anlamlı bit olup bir sonraki toplama elde olarak geçecektir. İki bitin toplamını gerçekleştiren kombinezonal devreye yarı toplayıcı denir. Üç bitin toplamını (iki bit toplam bir bit gelen elde) veren kombinezonal devreye ise tam toplayıcı denir.

Yarı Toplayıcı

Girişler x ve y , toplam S ve oluşan elde ise C ile gösterilsin. Doğruluk tablosu aşağıdaki gibi elde edilir.

x	y	C	S
0	0	0	0
0	1	0	1

1	0	0	1
1	1	1	0

Toplam sonucuna ilişkin diyagram,

	y	0	1
x	0		1
1	1	1	

elde bitinin sonucuna ilişkin diyagram

	y	0	1
x	0		
1	1		1

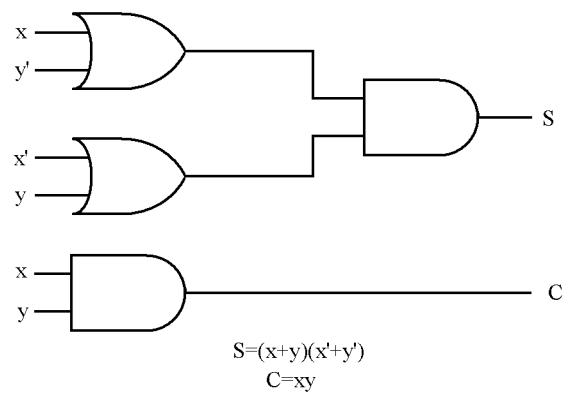
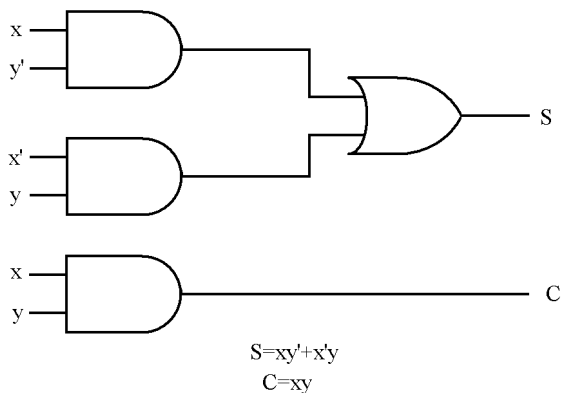
şeklinde elde edilir.

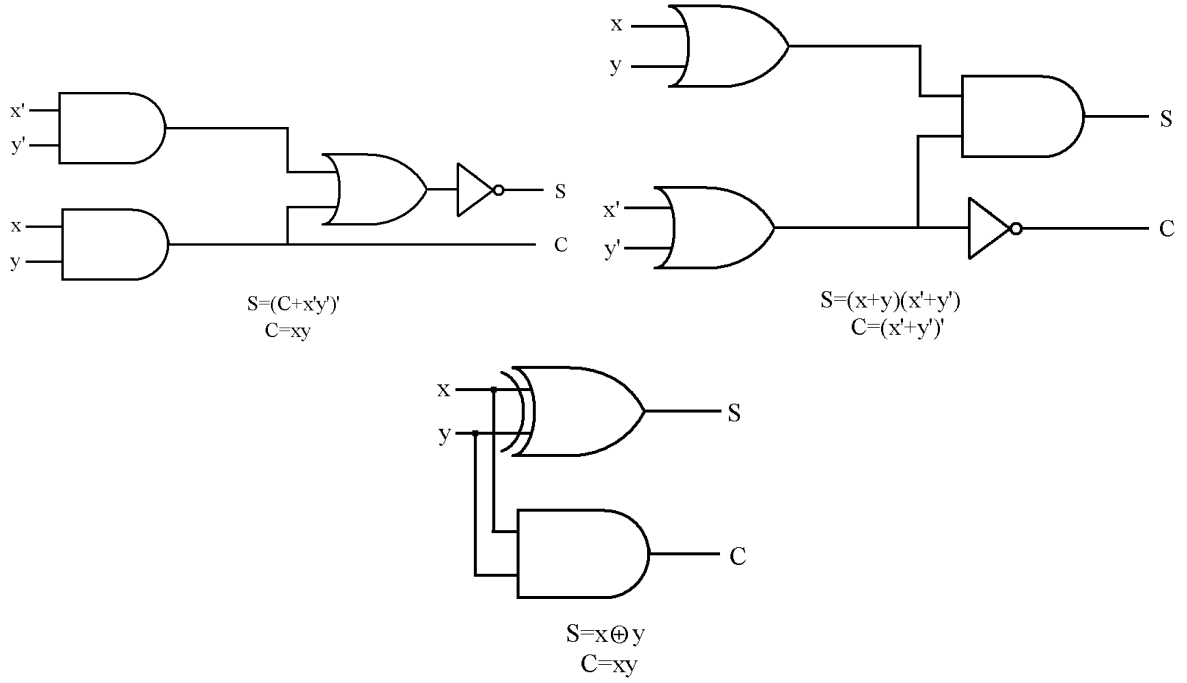
Toplama ilişkin Boole fonksiyonu

$$S = x'y + xy'$$

elde bitine ilişkin Boole fonksiyonu

$C = xy$ şeklinde elde edilir.





İlk şekil çarpımların toplamı şeklinde elde edilmiştir. İkincisi ise, diyagramda 0'lar göz önüne alınarak toplamların çarpımı şeklinde elde edilmiştir. Üçüncüsü ise toplamların çarpımı şeklinde elde edilen ifadenin tümleyeni alınarak elde edilmiş ve S tekrar tümleyeni alınarak fonksiyonun kendisi bulunmuştur. Dördüncü şekilde ise elde bitinin tümleyeni bulunmuş ve sonra tekrar tümleyeni alınmıştır. Yarı toplayıcı aslında bir ÖZEL-VEYA fonksiyonu ile tanımlanır. Elde bitinin ise bir VE kapısı ile elde edildiği şekil beşincide görülmektedir.

Tam Toplayıcı

Tam toplayıcı, üç giriş bitinin aritmetik toplamını oluşturan bir kombinezonal devredir. Üç giriş ve iki çıkıştan oluşur. x ve y ile gösterilenler giriş, z ile gösterilen düşük anlamlı hanelerden gelen elde biti, C toplam sonucu oluşan elde ve S ise toplam sonucudur. Tam toplayıcıya ait doğruluk tablosu aşağıda gösterildiği gibidir.

x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Biri elde bitine diğeri de toplam sonucuna ilişkin iki tane diyagram oluşturulmalıdır.

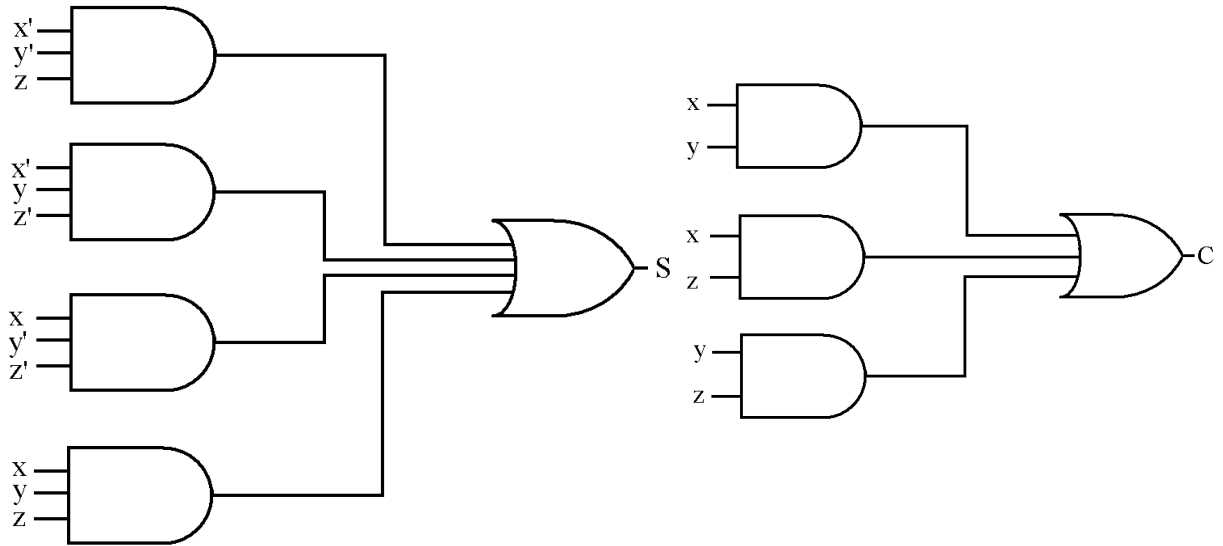
yz \ x	00	01	11	10
0		1		1
1	1		1	

$$S = xy'z' + x'y'z + xyz + x'yz'$$

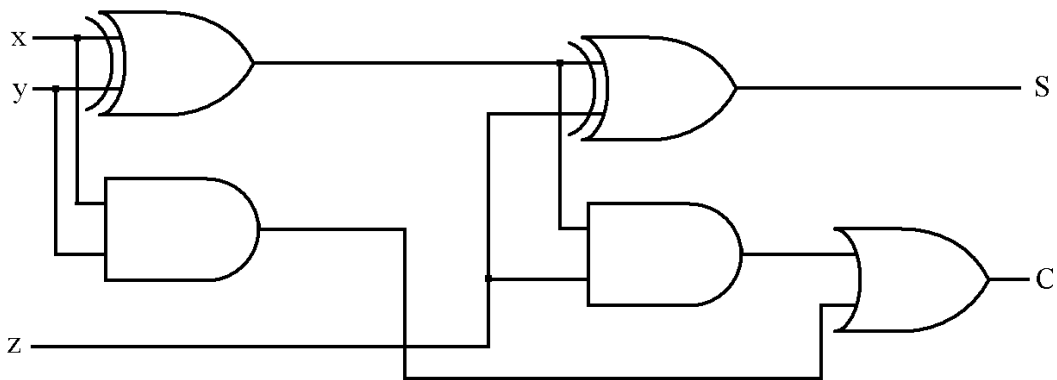
yz \ x	00	01	11	10
0			1	
1		1	1	1

$$C = xz + yz + xy$$

Şeklinde diyagramlardan elde edilirler. VE, VEYA kapıları ile aşağıdaki gibi bir lojik kapı devresi oluşturulabilir.



Bir tam toplayıcı iki yarı toplayıcı ile oluşturulabilir.



$$S = z \oplus (x \oplus y)$$

$$a = x \oplus y = x'y + xy'$$

$$= z \oplus a = z'a + za'$$

$$= z'(x'y + xy') + z(x'y + xy')' \quad (x'y + xy')' = (x'y)' \cdot (xy')' = (x+y)(x'+y') = xy + x'y'$$

$$=x'yz'+xy'z'+xyz+x'y'z$$

$$C=z(x\oplus y)+xy$$

$$=z(x'y+xy')+xy$$

$$=x'yz+xy'z+xy$$

ÇIKARICILAR

Daha önce anlatıldığı gibi, iki ikili sayının çıkarma işlemi, çıkan sayının tümleyeninin alınıp bunun çıkarılan sayıya eklenmesi ile alınır. Bu şekilde çıkarma işlemi tam toplayıcıları gerektiren bir toplama işlemine dönüşmüş olur. Çıkarma işleminde, çıkan sayı çıkarılan sayıdan büyük ise bir üst basamaktan bir bit ödünç alınır ve işlem bir üst bite geçilerek devam edilir.

Yarı Çıkarıcı

İki biti birbirinden çıkaran bir kombinezonal devredir. Ayrıca ödünç bit alınıp alınmadığını gösteren bir de çıkış mevcuttur. Ödünç alınan bit, bir üst basamaktan alındığı için 1 değil 10 olarak düşünülecektir. x ve y çıkan ve çıkarılan sayılar, B ödünç(borrow) biti, D ise fark bitini göstermek üzere aşağıdaki doğruluk tablosu elde edilebilir.

x	y	B	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

Diyagram metodu ile aşağıdaki Boole fonksiyonları elde edilir.

$$D=x'y+xy' \quad B=x'y$$

Dikkat edilirse buradaki D 'ye ait ifade yarı toplayıcıdaki ifade ile aynıdır.

Tam Çıkarıcı

Tam çıkarıcı, yarı çıkarıcıya ek olarak bir önceki basmağa verilen ödünç biti de göz önüne alan kombinezonal devredir. Örneğin, x=0, y=0 ve z=1 olsun, x-y-z işlemi için üst basamaktan bir ödünç alınmalıdır. 10-0-0-1=1 olur. Bu durumda B=1 ve D=1 olmuş olur. Doğruluk tablosu aşağıdaki gibidir.

x	y	z	B	D
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

yz \ x	00	01	11	10
0		1		1
1	1		1	

$$D = xy'z' + x'y'z + xyz + x'yz'$$

yz \ x	00	01	11	10
0		1	1	1
1			1	

$$B = x'z + yz + x'y$$

Kod Dönüştürme

Farklı sayısal sistemlerde farklı kodlar kullanıldığı için bu kodların bir birilerine dönüştürülmesi gerekebilir. Burada, bu dönüşüm BCD kodunun 3-fazlalık koduna dönüştürülmesi şeklinde bir örnek ile gösterilecektir. A, B, C, D BCD girişleri, w, x, y, z ise üç fazlalık kod çıkışları olmak üzere aşağıdaki dönüşüm tablosu elde edilir.

Giriş BCD				Çıkış 3-fazlalık kodu			
A	B	C	D	w	x	y	z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

AB \ CD	00	01	11	10
00	1			1
01	1			1
11	X	X	X	X
10	1		X	X

$$z=D'$$

AB \ CD	00	01	11	10
00	1		1	
01	1		1	
11	X	X	X	X
10	1		X	X

$$y=CD+C'D'$$

AB \ CD	00	01	11	10
00		1	1	1
01	1			
11	X	X	X	X
10		1	X	X

$$x=B'C+B'D+BC'D'$$

AB \ CD	00	01	11	10
00				
01		1	1	1
11	X	X	X	X
10	1	1	X	X

$$w=A+BD+BC$$

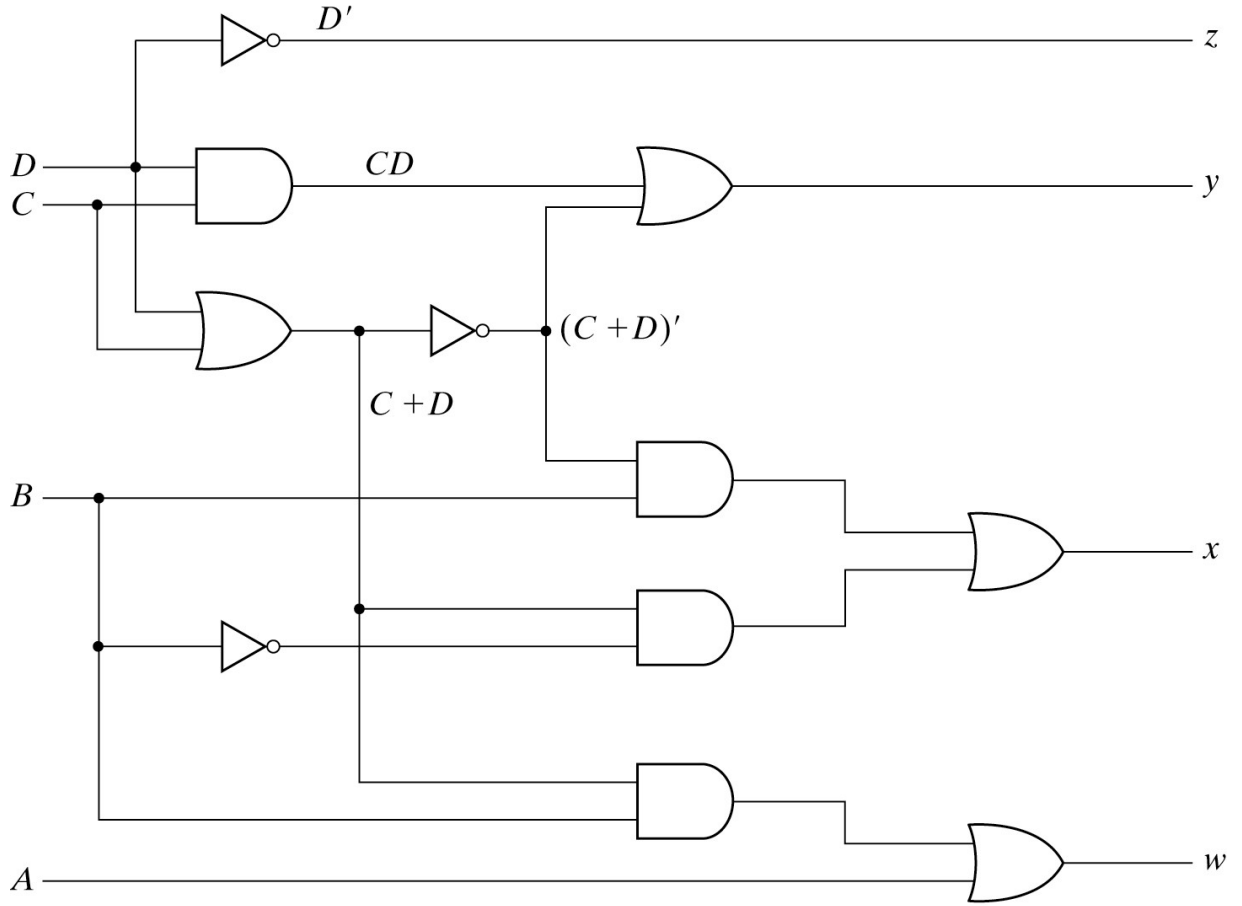
$$z=D'$$

$$y=CD+C'D'=CD+(C+D)'$$

$$x=B'C+B'D+BC'D'=B'(C+D)+B(C+D)'$$

$$w=A+BD+BC=A+B(C+D)$$

Tabloya dikkat edilirse sadece girişin on değeri için çıkış tanımlıdır. Diyagram oluşturulurken girişin tanımlı olmadığı çıkışlar keyfi olarak seçilecektir. Her bir çıkış için doğruluk tablosundan oluşturulan diyagramlar yukarıdaki gibidir.



ANALİZ YÖNTEMİ

Bir kombinezonal devrenin tasarımı, istenen fonksiyonun sözel tanımı ile başlar, bir Boole fonksiyon kümesi ya da bir lojik devre ile sonlanır. Bir kombinezonal devrenin analizi ise bunun tersi bir süreçle yapılır. Verilen lojik devre ile başlar bir Boole fonksiyon kümesi, doğruluk tablosu veya devrenin çalışmasına ait sözel bir ifade ile sonlanır.

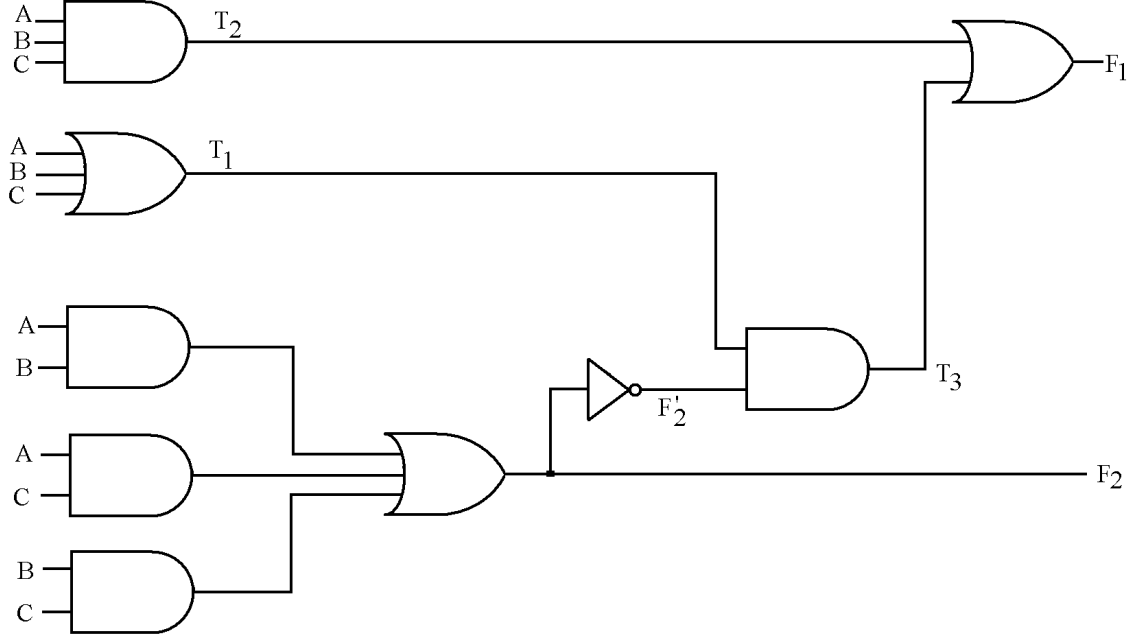
Analizin ilk adımı, verilen devrenin kombinezonal bir devre olup ardışıl bir devre olmadığının emin olunması ile başlar. Kombinezonal devrelerin lojik kapılarında geri besleme ya da bellek elemanları bulunmamaktadır. Daha sonra eğer devrenin çalışması sözle ifade edilmişse kapıların durumlarına göre çalışması doğrulanabilir. Verilmemişse aşağıdaki adımlar uygulanmalıdır.

- 1- Giriş değişkenlerinin fonksiyonu olan tüm kapı çıkışlarına keyfi semboller verilerek Boole fonksiyonları yazılır.
- 2- Giriş değişkenlerine keyfi semboller verilerek bu kapılar için Boole fonksiyonları bulunur.

3- 2. adımda anlatılan işlem tüm çıkışlar için tekrarlanır.

4- Daha önce tanımlanmış Boole fonksiyonları tekrar yerlerine konularak çıkışlar giriş değişkenleri cinsinden elde edilir.

Bunu bir örnekle açıklamaya çalışalım.



Çıkışlar F_1 ve F_2 olarak isimlendirilmiştir. Ara durumlar ise T_1 , T_2 ve T_3 olarak belirlenmiştir.

$$F_2 = AB + AC + BC$$

$$T_1 = (A + B + C)$$

$$T_2 = ABC$$

$$T_3 = F_2' T_1 = (A' + B')(A' + C')(B' + C')(A + B + C)$$

$$F_1 = T_3 + T_2 = (A' + B')(A' + C')(B' + C')(A + B + C) + ABC$$

$$= AB'C' + A'BC' + A'B'C + ABC$$

Bu devre bir tam toplayıcı devredir.

Devrenin çıkış fonksiyonunu elde etmek için başka bir yöntem daha vardır. Önce girişler ve çıkışlar keyfi olarak isimlendirilirler. Sonra girişlere 0'dan $2^n - 1$ 'e kadar değerler verilerek doğruluk tabloları hazırlanır ve bu doğruluk tablolarından diyagram metoduna geçilerek Boole fonksiyonları elde edilir.

A	B	C	F ₂	F' ₂	T ₁	T ₂	T ₃	F ₁
0	0	0	0	1	0	0	0	0
0	0	1	0	1	1	0	1	1
0	1	0	0	1	1	0	1	1
0	1	1	1	0	1	0	0	0
1	0	0	0	1	1	0	1	1
1	0	1	1	0	1	0	0	0
1	1	0	1	0	1	0	0	0
1	1	1	1	0	1	1	0	1

Buradan aşağıdaki diyagramlar ve Boole fonksiyonları elde edilir.

A \ BC	00	01	11	10
0		1		1
1	1		1	

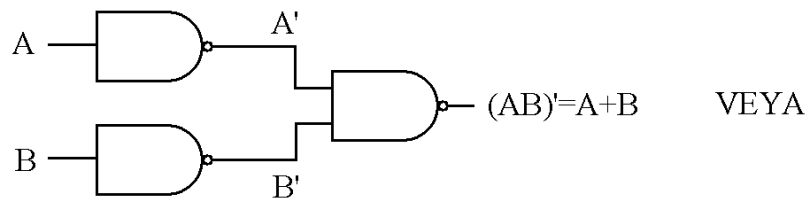
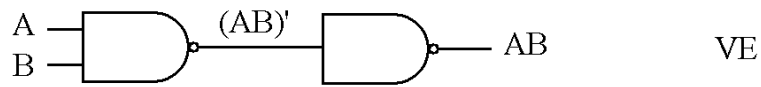
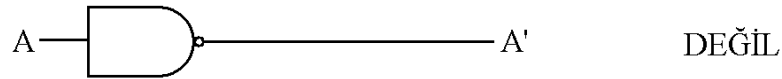
$$F_1 = AB'C + A'BC + A'B'C + ABC$$

A \ BC	00	01	11	10
0			1	
1		1	1	1

$$F_2 = AB + AC + BC$$

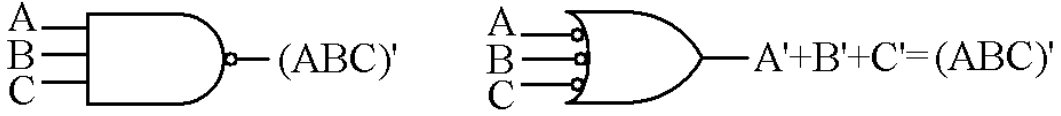
Çok Kademeli VEDEĞİL Devreleri

Daha önce de bahsi geçtiği gibi lojik devreler VE, VEYA kapıları yerine VEDEĞİL ve VEYADEĞİL kapıları ile gerçekleştirilir.



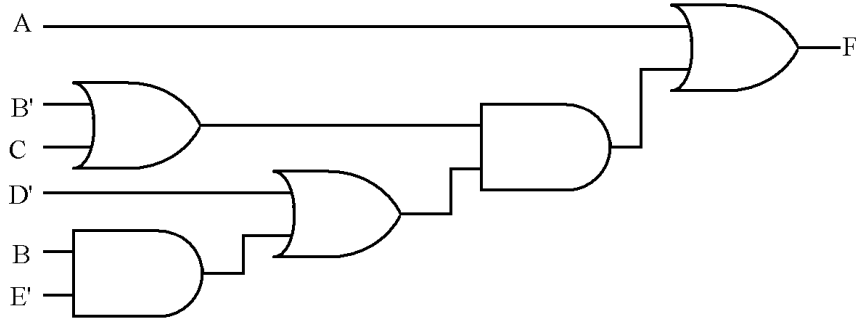
Boole Fonksiyonlarının Gerçeklenmesi

Öncelikle VE, VEYA ve DEĞİL kapıları ile gerçekleştirilmiş devrede bazı basit teknikler kullanılarak devre VEDEĞİL kapıları ile gerçekleştirilebilir. Gerçeklenirken, aşağıda gösterilen iki kapı elemanı kullanılır.

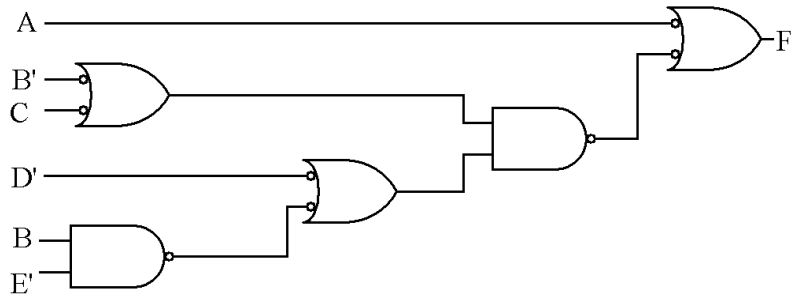


Öncelikle tüm VE kapıları VEDEĞİL kapısı ile değiştirilir. Daha sonra tüm VEYA kapıları EVİRME-VEYA kapısı ile değiştirilerek küçük daireler incelenir. Direkt olarak girişin herhangi bir değişkeni küçük daireye geliyorsa bu değişkenlerin DEĞİL'leri alınarak diğer EVİRME-VEYA kapıları VEDEĞİL kapıları ile yer değiştirilir.

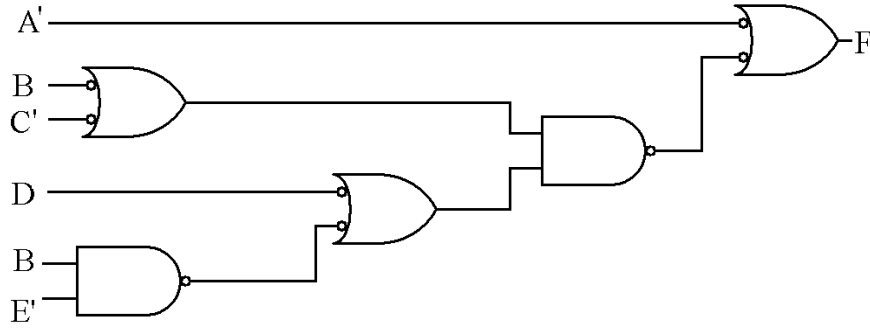
$F=A+(B'+C)(D'+BE')$ fonksiyonunu göz önüne alalım.



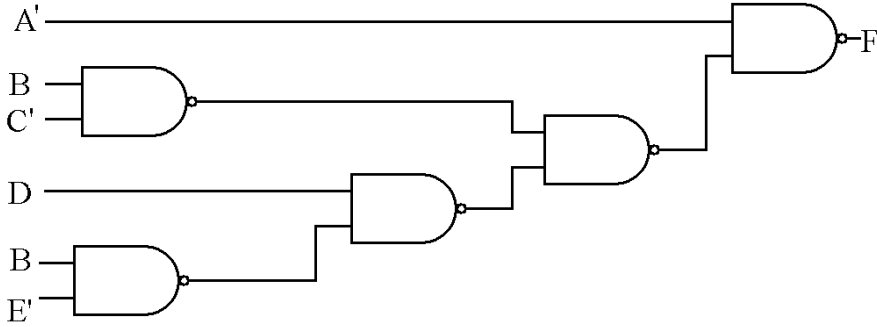
Tüm VE kapıları VEDEĞİL, VEYA kapıları EVİRME-VEYA ile yer değiştirir.



Daha sonra yuvarlaklar takip edilerek doğrudan girişe gelen yuvarlakların etkisi girişin DEĞİL'i alınarak giderilir.



Son olarak da EVİRME-VEYA kapıları VEDEĞİL kapıları ile değiştirilir.

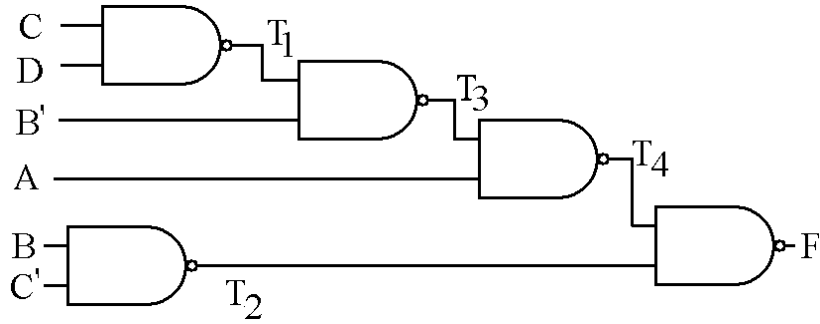


Fonksiyonun kendisinin mi? Tümleninin mi? Çıkışta oluştuğunu anlamak için yuvarlaklara bakılır. Eğer bir hat üzerinde takip edilen yuvarlakların sayısı değişkenin fonksiyondaki değerini veriyorsa çıkışın tümlenmesi gerekli değildir. Aksi halde çıkış tek bir girişli VEDEĞİL kapısı ile sonlandırılmalıdır. Örneğin, üsteki B giriş değişkeninin çıkışa doğru hattı üzerinde üç tane tümlleme işlemi söz konusudur. Dolayısıyla bu eleman fonksiyonda B' ile temsil edilecektir ve çıkışın tümlenmesine gerek yoktur.

Soru: $F = (CD + E)(A + B')$ Boole fonksiyonunu VEDEĞİL kapıları ile gerçekleştiriniz.

Analiz Yöntemi

Analizde VEDEĞİL kapıları ile gerçekleştirilmiş olan bir lojik devrenin VE-VEYA lojik kapıları ile nasıl gerçekleştirildiği, Boole fonksiyonu ve doğruluk tablosunun elde edilmesi gerçekleştirilecektir. Öncelikle tüm kapı girişlerine, çıkışlarına keyfi değişken isimleri verilir. Tüm kapı çıkışları için Boole fonksiyonları elde edilir. Ve çıkış bulunur. Aşağıdaki örneği inceleyelim.



$$T_1 = (CD)' = C' + D'$$

$$T_2 = (BC')' = B' + C$$

$$T_3 = (T_1 B')' = T_1' + B = CD + B$$

$$T_4 = (T_3 A)' = T_3' + A' = (C' + D')B' + A'$$

$$F = (T_2 T_4)' = T_2' + T_4' = BC' + A(CD + B)$$

Doğruluk tablosu elde edilirken tüm kapı çıkışları girişin alacağı tüm kombinasyonlara göre hesaplanır.

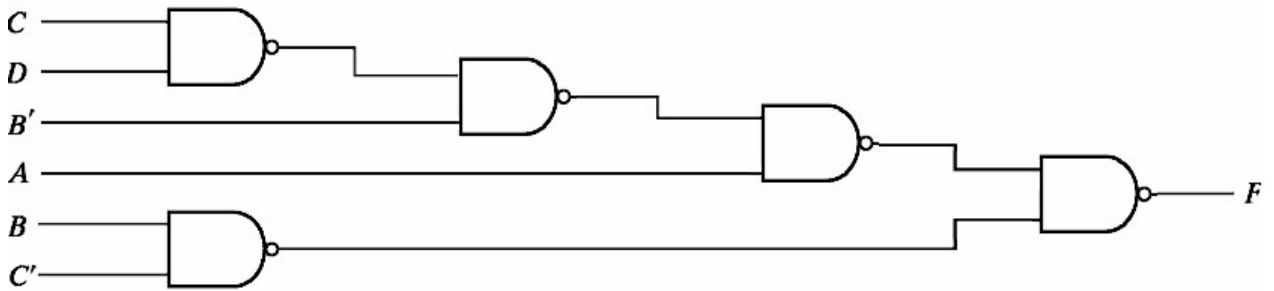
A	B	C	D	T ₁	T ₂	T ₃	T ₄	F
0	0	0	0	1	1	0	1	0
0	0	0	1	1	1	0	1	0
0	0	1	0	1	1	0	1	0
0	0	1	1	0	1	1	1	0
0	1	0	0	1	0	1	1	1
0	1	0	1	1	0	1	1	1
0	1	1	0	1	1	1	1	0
0	1	1	1	0	1	1	1	0
1	0	0	0	1	1	0	1	0
1	0	0	1	1	1	0	1	0
1	0	1	0	1	1	0	1	0
1	0	1	1	0	1	1	0	1
1	1	0	0	1	0	1	0	1
1	1	0	1	1	0	1	0	1
1	1	1	0	1	1	1	0	1
1	1	1	1	0	1	1	0	1

CD \ AB	00	01	11	10
00				
01	1	1		
11	1	1	1	1
10			1	

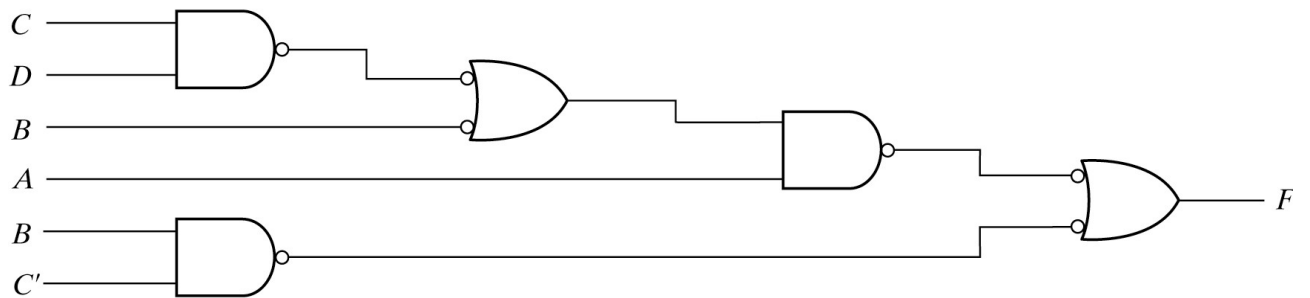
$$F = BC' + AB + ACD$$

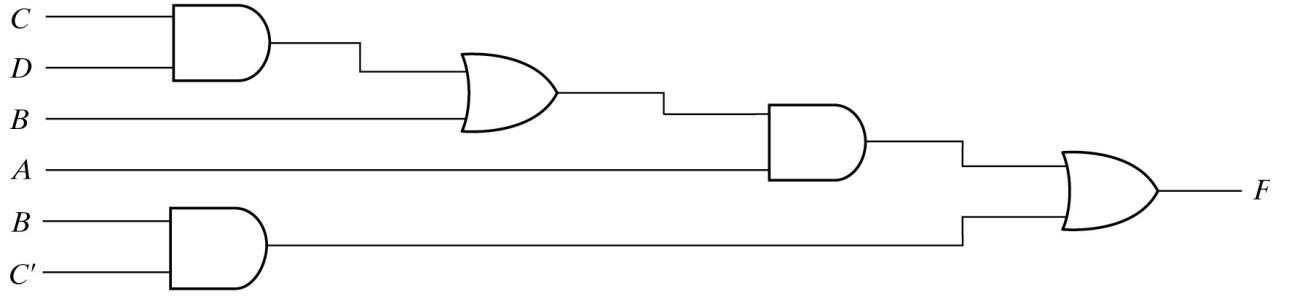
VE-VEYA Diyagramına Dönüştürme

VEDEĞİL lojik kapıları ile oluşturulmuş bir devre VE-VEYA kapıları şekline dönüştürülürken en sondan başlanır. En sondaki VEDEĞİL kapısı bir EVİRME-VEYA kapısına dönüştürülür. Bir örnekle açıklayalım:



Tüm küçük daireleri ortadan kaldırarak şekilde EVİRME-VEYA kapıları yerleştirilir.

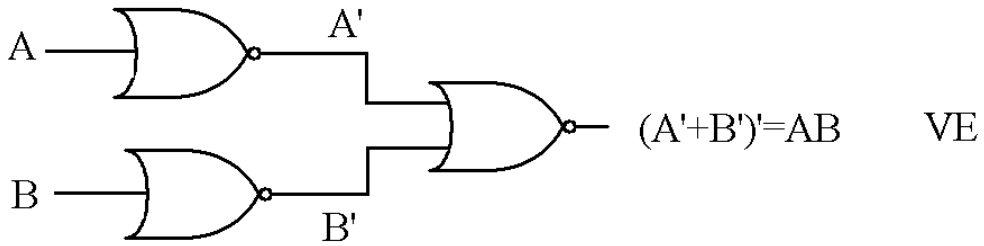
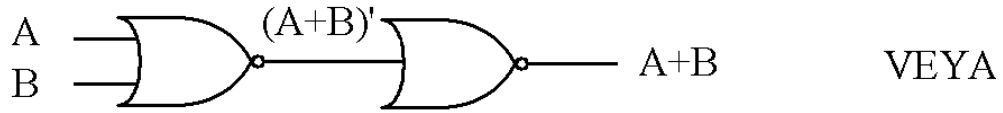
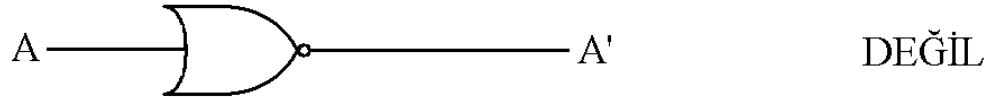




Devre VE-VEYA lojik kapıları ile gerçekleştirilmiş olur.

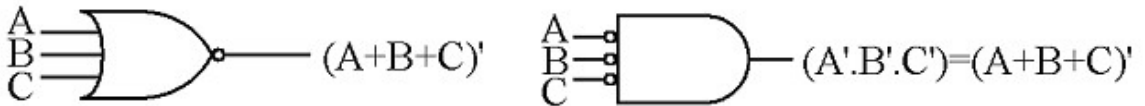
Çok Kademeli VEYADEĞİL Devreleri

VEYADEĞİL fonksiyonu VEDEĞİL fonksiyonun dualidir, bu nedenle VEDEĞİL lojiği için verilmiş olan ifadelerin tümünün duali VEYADEĞİL içinde geçerlidir.



Boole Fonksiyonlarının Gerçeklenmesi

Aşağıda gösterilen iki lojik kapı DeMorgan teoremine göre birbirinin eşdeğeridir.



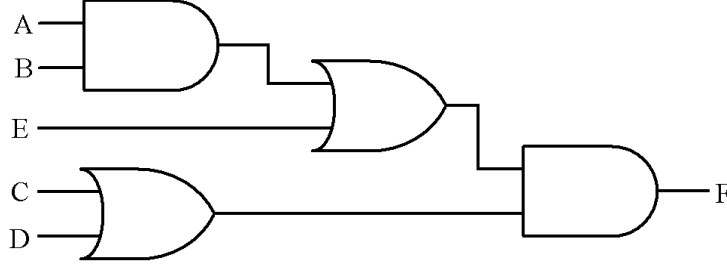
Daha önce anlatılan VEDEĞİL lojiğine dönüşüm yöntemi ile aynıdır.

Öncelikle tüm VEYA kapıları VEYA-EVİRME sembolü ile VEYADEĞİL kapısı ile değiştirilir.

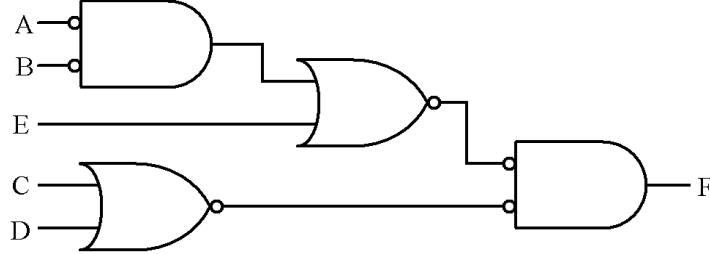
Daha sonra tüm VE kapıları EVİRME-VE kapısı ile değiştirilerek küçük daireler incelenir. Direkt

olarak girişin herhangi bir değişkeni küçük daireye geliyorsa bu değişkenlerin DEĞİL'leri alınarak diğer EVİRME-VE kapıları VEYADEĞİL kapıları ile yer değiştirilir. Bunu bir örnek üzerinde inceleyelim.

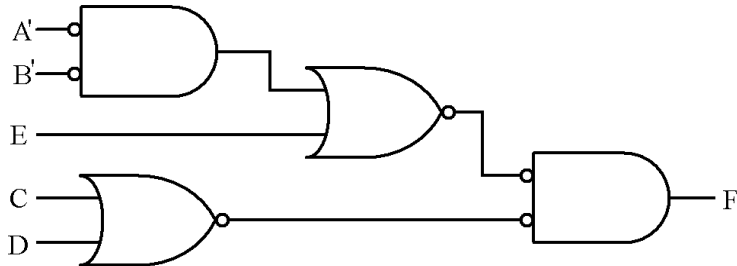
$$F=(AB+E)(C+D)$$



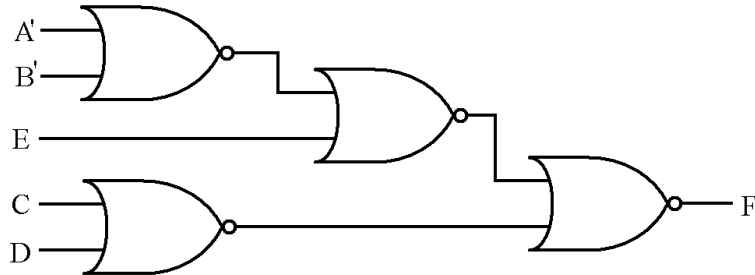
VE kapıları EVİRME-VE, VEYA kapıları VEYADEĞİL ile yer değiştirilir.



Küçük daireler incelenerek direkt girişe geliyorsa girişin DEĞİL'i alınır.



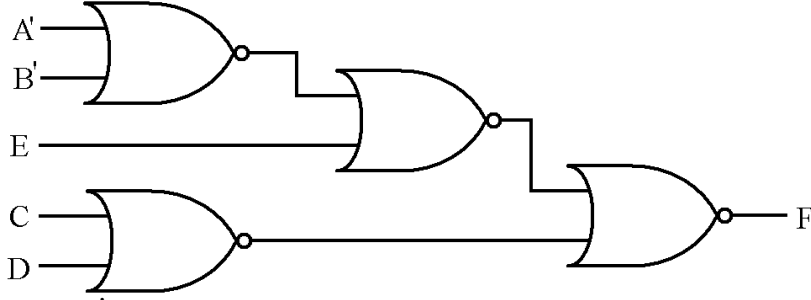
Daha sonra EVİRME-VE kapıları VEYADEĞİL kapısına dönüştürülür.



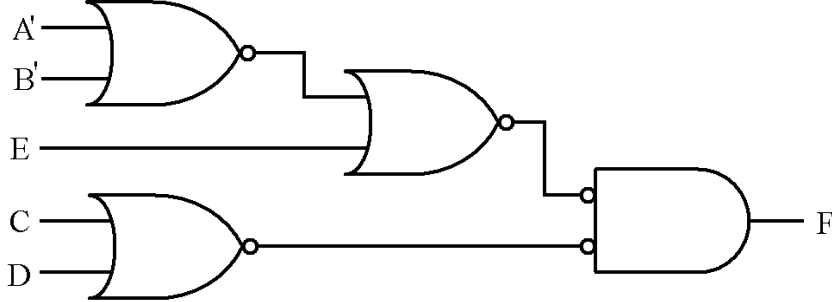
Analiz Yöntemi

VEYADEĞİL lojiğinden VE-VEYA lojiğine geri dönmek için en sondaki VEYADEĞİL kapısı EVİRME-VE kapısına dönüştürülür ve aradaki tüm küçük daireler ortadan kalacak şekilde ara katlara bakılarak uygun EVİRME-VE kapıları yerleştirilir.

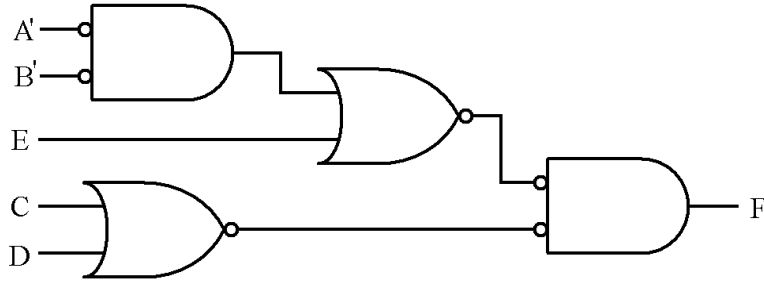
Bir önceki örneği ele alalım.



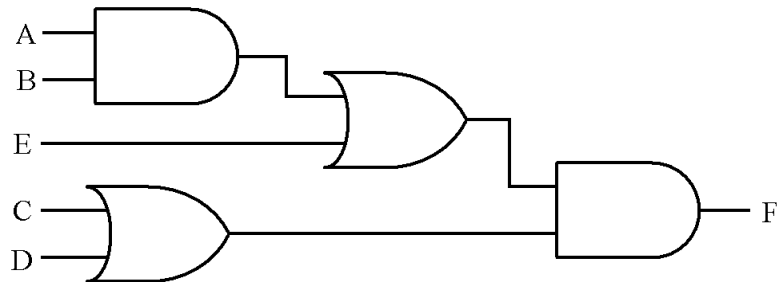
En son kata bir tane EVİRME-VE kapısı yerleştirilir.



Bir tane EVİRME-VE kapısı da A' ve B' girişlerindeki VEYADEĞİL kapısının yerine konmalıdır.



Tüm küçük daireler ortadan kaldırılmış olur. Girişteki değişkenlerin de tümleyenlerinin alındığına dikkat ediniz.



VEYADEĞİL kapıları ile dizayn edilmiş bir lojik devrenin Boole fonksiyonunu ya da doğruluk tablosunu elde etmek için tüm kapı çıkışlarına keyfi semboller verilerek VEDEĞİL lojiğinde olduğu gibi Boole fonksiyonu elde edilebilir.

ÖZEL VEYA Fonksiyonu

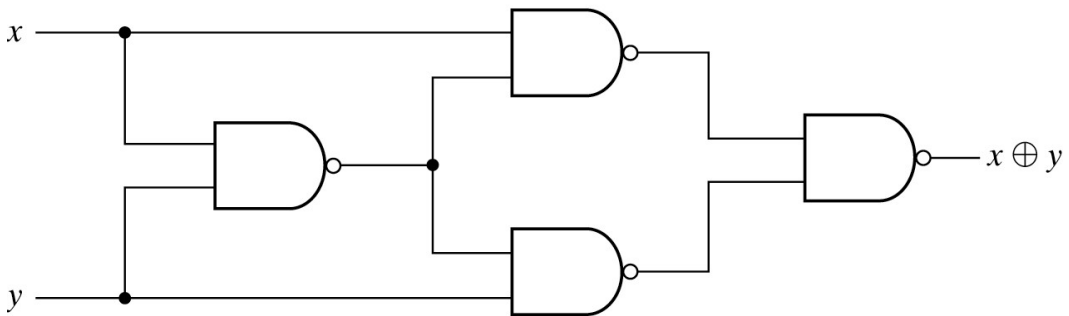
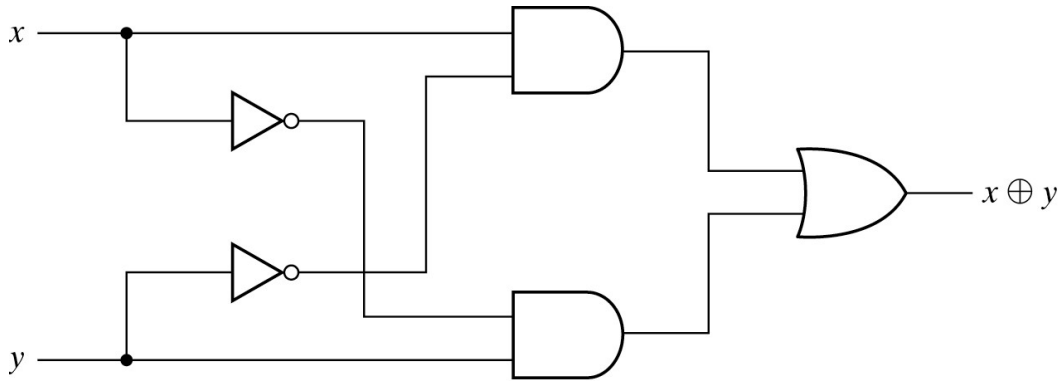
ÖZEL VEYA (XOR) \oplus sembolü ile gösterilir ve sadece girişlerden birinin 1 olması durumunda çıkış 1 olur. Aşağıdaki işlemi yerine getiren lojik bir operatördür.

$$x \oplus y = x'y + xy'$$

ÖZEL VEYA fonksiyonunun tümleyeni ÖZEL VEYA DEĞİL (XNOR) olarak bilinir ve tanım fonksiyonu aşağıdaki gibidir. Her ikisinin de aynı değere sahip olduğu durumda çıkış 1'dir.

$$(x \oplus y)' = (x'y + xy')' = (x'y)'(xy')' = (x+y)'(x'+y) = xy + x'y'$$

Aşağıda ÖZEL VEYA fonksiyonunu gerçekleştiren lojik devreler görülmektedir.



Tek Fonksiyon

Üç girişli bir ÖZEL VEYA kapısı düşünelim.

$$A \oplus B \oplus C = (A'B + AB') \oplus C = (A'B + AB')C' + (A'B + AB')C = A'BC' + AB'C' + ABC + A'B'C = \Sigma(1,2,4,7)$$

Tek sayıda değişkenin 1 olması durumunda çıkış bir olduğu için bu tip fonksiyonlara tek fonksiyonlar denir. Tümüleyen de ise çift sayıda değişken 1 ise çıkış 1 olduğundan dolayı bu tip fonksiyonlara da çift fonksiyon denir. Genel olarak n-değişkenli bir ÖZEL VEYA fonksiyonu $2^n/2$ tane minterimin toplamından oluşan bir tek fonksiyondur.

Dört değişkenli bir ÖZEL VEYA fonksiyonu incelendiğinde

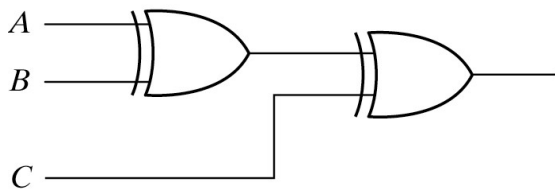
$$\begin{aligned} A \oplus B \oplus C \oplus D &= (A'B + AB') \oplus (C'D + CD') = (A'B + AB')' (C'D + CD') + (A'B + AB') (C'D + CD') \\ &= (AB + A'B') (C'D + CD') + (A'B + AB') (CD + C'D) \\ &= ABC'D + ABCD' + A'B'C'D + A'B'CD' + A'BCD + A'BC'D' + AB'CD' + AB'C'D' \\ &= \Sigma(1,2,4,7,8,11,13,14) \end{aligned}$$

		CD		C		
		00	01	11	10	
A	AB					B
	00		1		1	
	01	1		1		
	11		1		1	
	10	1		1		
		D				

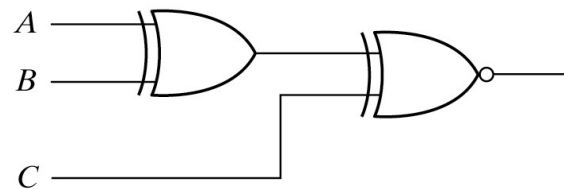
(a) Tek Fonksiyon
 $F = A \oplus B \oplus C \oplus D$

		CD		C		
		00	01	11	10	
A	AB					B
	00	1		1		
	01		1		1	
	11	1		1		
	10		1		1	
		D				

(b) Çift Fonksiyon
 $F = (A \oplus B \oplus C \oplus D)'$



3-girişli tek fonksiyon



3-girişli çift fonksiyon

Eşlik (Parite) Biti Oluşturulması ve Kontrolü

Hata tespiti ve düzeltme gerektiren sistemlerde ÖZEL VEYA fonksiyonlarından yararlanılır. Bilginin taşınması sırasında meydana gelebilecek hatalarda bir eşlik biti kullanılır. Eşlik biti, ikili mesaj içerisindeki 1'lerin sayısının tek ya da çift yapmak için kullanılan bir bittir. Göndericide eşlik bitini oluşturan devreye eşlik üretici denir. Alıcıda ise eşlik bitini kontrol eden devreye ise eşlik kontrolörü denir.

Çift eşlikte, mesajdaki 1'lerin toplam sayısı çift olacak şekilde bir eşlik biti mesaja eklenir. Tek eşlik bitinde ise mesajdaki 1'lerin toplam sayısı tek olacak şekilde bir eşlik biti mesaja eklenir. Örneğin 3 bitlik bir mesajdaki 1'lerin sayısı tek ise üç girişli bir ÖZEL VEYA kapısına uygulandığında çıkış, mesajdaki bitlerin sayısı tek ise 1 olacaktır. Bu şekilde bir eşlik biti üretici yapılabilir. Eşlik kontrolü ise dört girişli bir ÖZEL VEYA devresi ile yapılır.

Çift eşlik üreticine ilişkin doğruluk tablosu

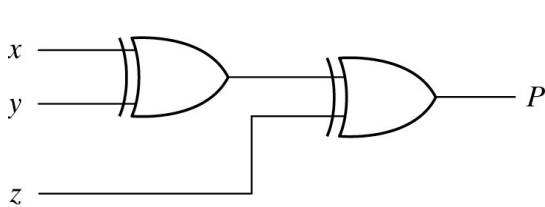
3 Bitlik Mesaj			Eşlik biti
x	y	z	P
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Eşlik üretici çıkış

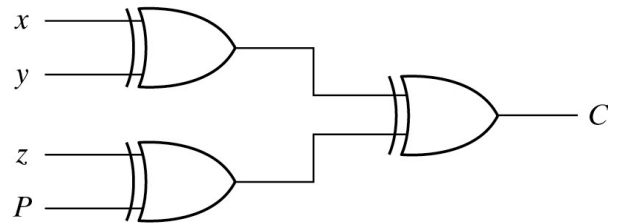
$$P = x \oplus y \oplus z$$

Eşlik kontrolörü çıkışı

$$C = x \oplus y \oplus z \oplus P$$



3-bit çift eşlik üretici



4-bit çift eşlik kontrolü

Kontrolör çıkışı C, eğer hata varsa 1'e eşit olur. Alıcı tarafında tek sayıda bit varsa bu demektir ki taşıma sırasında bir hata olmuştur ve C çıkışı 1 olur. İlgili hatalı ve hatasız durumlara ilişkin tablo aşağıda verilmiştir.

Çift eşlik kontrolü doğruluk tablosu

Alınan 4 bit				Eşli hatası kontrolü
x	y	z	P	C
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

Renkli olan bölgeler hatalı olan mesajları göstermektedir.