Jelgenerátor, négyszög és háromszög jel generálása

Mészáros Adél

November 11, 2019

1 Terv specifikálása

A laborgyakorlat célja egy olyan áramkör megvalósítása FPGA segítségével, amely képes háromszög és négyszög jelek generálására. A felhasználó kiválaszthatja, hogy milyen tipusú jelet szeretne generálni és állithatja annak amplitudóját és frekvenciáját.

A hardvert két fő komponens alkotja:

- 1. Digitál-analóg konverter
- 2. FPGA-n megvalósított vezérlő áramkör

1.1 Digitál-analóg konverter

Az AD5302/AD5312/AD5322 tipusú digitál-analóg tipusó konvertert fogom használni.

FUNCTIONAL BLOCK DIAGRAM Vod POWER-ON RESET INPUT REGISTER DAC STRING DIN POWER-DOWN RESISTOR NETWORK VoutB RESISTOR NETWORK VoutB RESISTOR NETWORK RESISTOR RESISTOR

Figure 1: A digitál-analóg konverter kapcsolási ra

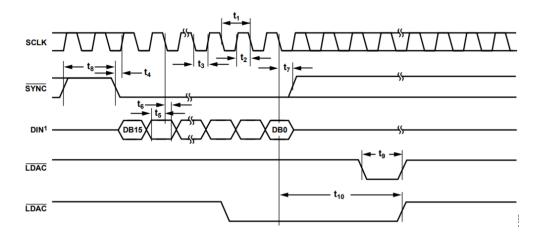


Figure 2: A jelek változásai

• LDAC

- 0 kimenet frissítése
- 1 kimeneti érték változatlan

• SYNC

- 0 bemeneti regiszter feltöltésének kezdése
- 1 ha a bemeneti regiszter nem volt feltöltve, a feltöltés megszakad

• SCLK

A bemeneti regiszter feltöltését ütemező órajel. Minden lemenő élre újabb bit töltődik be.

• DIN

A regiszterbe töltött bit értéke

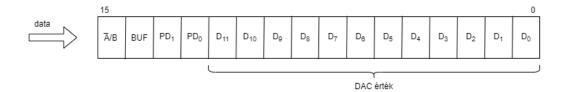


Figure 3: A 16 bit felosztása

• PDo, PD1

Power-down mode, ha mindkettő '0', normál üzemmód, máskülönben energiatakarékos üzemmód.

• BUF

a reference buffer, ha '0', az ADC, 0-tól Vref-ig üzemel, ha '1' az ADC 1-től Vref-ig üzemel.

• A/B

0 - az A kimenetet (használja) updateolja1 - a B kimenetet (használja) updateolja

$$V_{out} = (V_{ref} * D)/2^{12}$$

Időzítések

- SCLK periódus, minimum 33 ns
- DIN minimum 5 ns-el az órajel lemenő éle előtt és az órajel lemenő éle után
- SYNC minimum 100 ns 'high', az olvasások között. Az órajel felmenő éle előtt (vagy azzal egyszerre) kell lehúzni, hogy elkedjük az olvasást
- LDAC minimum 20 ns az adatok betöltéséhez.
- **SCLK** periódus, minimum 33 ns

Vezérlés

Feltöltöm a bemeneti regisztert az 'adat' értékével és lezárom az írási ciklust. Ha az A kimenetet szeretnénk hasznlni, az 'adat' változó első 4 bitje '0', a következő 12 pedig az értéket fogja tartalmazni.

1.2 FPGA modulok

Négy nagy modult különböztetünk meg. A bemeneti modult, itt megadja a felhasználó a kívánt jel tipusát, frekvenciáját és amplitudóját. Négyszög és háromszüg jelet előállító modulokat, amelyek generálják a megfelelő frekvenciában és amplitudóban a kommunikációs modulnak a biteket. A kommunikációs modul továbbítja a jeleket a digitál-analóg konverternek.

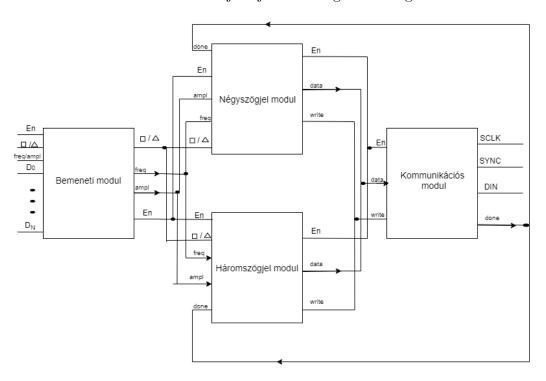


Figure 4: Modulok és a köztük lévő kapcsolat