

Grado en Ingeniería en Tecnologías Industriales

2019-2020 *Trabajo de Fin de Grado*

# LINEALIZACIÓN DE OSCILADOR EN ANILLO CONTROLADO POR TENSIÓN MEDIANTE CAPACIDADES CONMUTADAS

---

Roberto Uceda Gómez

Tutor: Eric Gutiérrez Fernández  
Leganés,



Esta obra se encuentra sujeta a la licencia Creative Commons

**Reconocimiento - No Comercial - Sin Obra Derivada**



## **RESUMEN**

En este trabajo se desarrolla un estudio cuyo objetivo es el diseño de una nueva arquitectura de convertidor analógico digital por oscilador controlado por tensión que reduzca el ruido y el consumo en comparación con las arquitecturas habituales.

**Palabras clave:** ADC-VCO, Oscilador en anillo, Conversión Analógico-Digital, CMOS



## **DEDICATORIA**



# ÍNDICE GENERAL

1. INTRODUCCIÓN. . . . .	1
1.1. Motivación del trabajo . . . . .	2
1.2. Objetivos . . . . .	2
1.3. Marco regulador . . . . .	3
1.4. Esquema de este documento . . . . .	3
2. ESTADO DEL ARTE. . . . .	4
2.1. Transistores MOS . . . . .	4
2.2. Tecnología CMOS . . . . .	5
2.3. Conversión analógico-digital . . . . .	6
2.4. Arquitecturas de ADC actuales . . . . .	8
2.5. Modulación sigma-delta en ADCs . . . . .	9
3. ANÁLISIS . . . . .	12
3.1. Idea inicial . . . . .	12
3.2. VCO en anillo . . . . .	12
3.3. Osciladores en anillo en ADCs . . . . .	16
3.3.1. Como parte de arquitecturas ya existentes . . . . .	16
3.3.2. Arquitecturas con solo oscilador en anillo . . . . .	16
3.4. Análisis matemático del VCO con realimentación negativa . . . . .	18
3.4.1. Lazo de realimentación por capacidades conmutadas. . . . .	20
3.5. Simulaciones del modelo . . . . .	23
3.5.1. Simulación del DAC por capacidades conmutadas . . . . .	24
3.5.2. Modelo sencillo de ADC con oscilador en anillo . . . . .	25
4. CONCLUSIONES (?). . . . .	26

5. ENTORNO SOCIOECONÓMICO (?) . . . . .	27
6. PRESUPUESTO / PLANIFICACIÓN / PROCESO (?) . . . . .	28
BIBLIOGRAFÍA . . . . .	29



## ÍNDICE DE FIGURAS

2.1	Corte de transistor MOSFET . . . . .	4
2.2	Transistor MOS, canal-p . . . . .	5
2.3	Transistor MOS, canal-n . . . . .	5
2.4	Inversor CMOS . . . . .	5
2.5	Señal analógica a digital . . . . .	6
2.6	ADC de conversión directa tipo flash . . . . .	8
2.7	ADC integrador de doble rampa . . . . .	8
2.8	Bloques de un modulador $\Sigma\Delta$ . . . . .	9
2.9	Modulación $\Sigma\Delta$ de una señal de 1.5kHz . . . . .	10
2.10	Integradores por opamp (a) y por transconductancia (b) . . . . .	11
3.1	Símbolo y tabla de verdad de una puerta inversora . . . . .	13
3.2	Esquemático de una puerta inversora con transistores MOS . . . . .	13
3.3	VCO compuesto por 5 puertas inversoras . . . . .	14
3.4	Esquemático de un VCO . . . . .	14
3.5	Modulador $\Sigma\Delta$ con un VCO . . . . .	16
3.6	ADC con VCO en bucle abierto . . . . .	17
3.7	Sistema con bucle abierto . . . . .	17
3.8	ADC con VCO en bucle abierto, diagrama de bloques . . . . .	18
3.9	Esquemático de circuito de capacidades conmutadas . . . . .	20
3.10	Diagrama de circuito de capacidades conmutadas . . . . .	21
3.11	Diagrama para $\Phi = 1$ . . . . .	21
3.12	Diagrama para $\Phi = 0$ . . . . .	22

3.13 Diagrama de bloques del sistema de impedancias equivalente . . . . .	23
3.14 Circuito en LTSpice del modelo de DAC por capacidades conmutadas . .	24
3.15 Esquemático de reloj con frecuencia incremental . . . . .	25

## ÍNDICE DE TABLAS

1	Lista de abreviaturas . . . . .	XII
---	---------------------------------	-----

<b>ADC</b>	Analog to Digital Converter, Convertidor Analógico-Digital
<b>CMOS</b>	Complimentary Metal-Oxide Semiconductor
<b>MOSFET</b>	Metal Oxide Semiconductor Field Effect Transistor, también llamados transistores MOS

TABLA 1. LISTA DE ABREVIATURAS



# 1. INTRODUCCIÓN

Los convertidores ADC<sup>1</sup> son onnipresentes en nuestro día a día. Sin ellos, no sería posible realizar una llamada con un teléfono móvil, o disfrutar de un sistema de climatización en nuestro hogar, o utilizar el control de crucero en nuestro coche. El objetivo de estos importantes bloques de la electrónica es convertir señales físicas, como ondas electromagnéticas, temperatura ambiente, o la posición de un eje, en señales digitales interpretables por un sistema basado en la electrónica digital. Una vez tenemos estas señales, normalmente compuestas por un flujo de bits, pueden ser procesadas por un microcontrolador para después tomar las decisiones necesarias para conseguir el objetivo deseado, como activar el compresor del aire acondicionado si la temperatura sube de cierto límite preestablecido.

Cada día que pasa aumenta la demanda de aparatos más rápidos, compactos, y eficientes. Por regla general, la miniaturización de la electrónica tiene un impacto positivo en estos criterios. Los transistores son los componentes fundamentales de los circuitos integrados, donde recae el grueso de consumo y tamaño en un sistema electrónico. Estos transistores aumentan su eficiencia energética según disminuye su tamaño, además de permitir mayores frecuencias de operación. Por esto, existe un gran incentivo en la búsqueda de arquitecturas y técnicas de fabricación que permitan transistores más pequeños.

La ley de Moore ayuda a poner un poco de contexto histórico a esta carrera por la disminución de los transistores. Gordon Moore anunció en 1965 una tendencia en la, por aquel entonces emergente, industria de la electrónica: cada dos años se duplicaba la cantidad de componentes presente en un circuito integrado en la misma superficie [1]. A más componentes, mayor poder de procesamiento, pero también mayor coste de fabricación por la complejidad y delicadeza requerida en los procesos.

---

<sup>1</sup> Analog to Digital Converter. En español, Convertidor Analógico a Digital

## **1.1. Motivación del trabajo**

Debido a las altas velocidades de reloj y los requisitos de consumo y fabricación (espacio ocupado, número de componentes, reducción del tamaño de los transistores), los ADC usados actualmente presentan problemas. Los ADC basados en la arquitectura sigma delta, los más comunes en aplicaciones de alta velocidad, requieren de un integrador, normalmente implementado como un amplificador operacional. Estos integradores trabajan en el ámbito analógico. Con las tecnologías de fabricación actuales, se consiguen transistores de tamaños diminutos, con buen tiempo de respuesta y bajo consumo en aplicaciones digitales, pero efectos adversos en aplicaciones analógicas. Algunos de estos efectos son la degradación de la señal por efectos cuánticos y defectos en la fabricación (el tamaño nominal de un transistor CMOS de tecnología puntera es entre un cuarto y una décima parte la longitud de onda de la luz ultravioleta usada en litografía), altas corrientes parásitas por el bajo tamaño de la puerta del transistor, y limitaciones en la simulación de sistemas por la alta densidad y complejidad en los microchips actuales.

Los ADC basados en VCO actuales, o bien necesitan un integrador analógico de manera similar a los sigma-delta, o bien necesitan una compensación de linealidad mediante circuitería digital, que termina ocupando la mayor parte de la superficie del chip. Este trabajo se centra en la búsqueda de una nueva arquitectura usando un VCO tanto como integrador como cuantificador, que permita ahorrar la necesidad de circuitos de compensación y circuitos analógicos complejos, manteniendo o mejorando el comportamiento lineal, la resolución, y el ancho de banda de las arquitecturas ya existentes.

## **1.2. Objetivos**

El grueso de este trabajo se encuentra en el plano teórico. El primer paso es realizar un estudio de las arquitecturas de ADC ya existentes, centrándose en aquellas que emplean VCOs. A partir de este estudio, se estudiará la viabilidad de varias ideas de diferentes publicaciones que aún no han sido implementadas. Para esto, se utilizarán herramientas de simulación basadas en SPICE. Una vez probada la efectividad de la arquitectura, la siguiente tarea será montar un circuito con componentes discretos sobre protoboard, medir los parámetros de funcionamiento, y así dejar demostrada la factibilidad de la arquitectura.

### **1.3. Marco regulador**

### **1.4. Esquema de este documento**



## 2. ESTADO DEL ARTE

Para entender las arquitecturas de ADC modernas es imprescindible conocer primero los bloques fundamentales sobre los que se asienta la microelectrónica actualmente: los transistores MOSFET<sup>2</sup>.

### 2.1. Transistores MOS

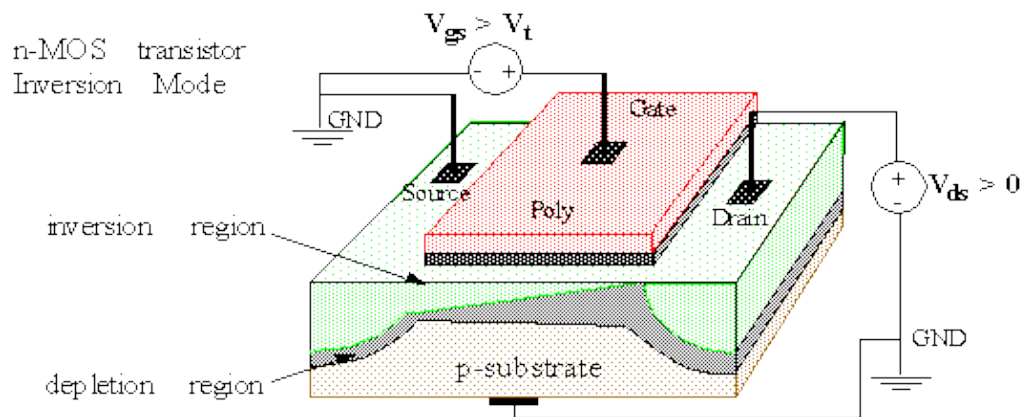


Fig. 2.1. Corte de transistor MOSFET<sup>3</sup>

Un transistor MOSFET es un tipo de transistor bipolar que se usa para amplificar y conmutar señales eléctricas dentro de un circuito. Se compone de cuatro entradas: fuente, puerta, drenador, y sustrato, que normalmente está conectado a la fuente. Cuando se aplica un voltaje en la puerta, se crea un canal en el medio semiconductor que permite el paso de corriente entre la fuente y el drenador. Podemos distinguir dos tipos de transistores MOS: los canal-n y los canal-p, dependiendo del dopaje del silicio usado en su fabricación. Los canal-n tienen un dopaje negativo en el silicio de la fuente y el drenador, que se consigue añadiendo impurezas de un elemento como fósforo, dejando electrones libres que actúan como portadores de carga. En el caso de los canal-p, se dopan con elementos como boro, que dejan huecos (ausencia de electrones en capas de valencia), y estos actúan como portadores de carga.

<sup>2</sup>Metal Oxide Semiconductor Field Effect Transistor

<sup>3</sup>Fuente: [http://ece-research.unm.edu/jimp/vlsi/slides/chap2\\_1.html](http://ece-research.unm.edu/jimp/vlsi/slides/chap2_1.html)

Estos son los símbolos más usados para representar transistores MOS:

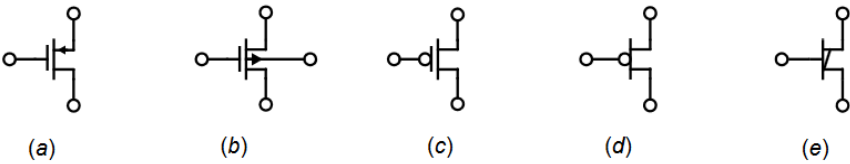


Fig. 2.2. Transistor MOS, canal-p<sup>4</sup>

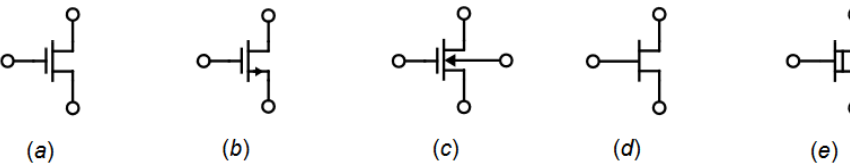


Fig. 2.3. Transistor MOS, canal-n<sup>5</sup>

## 2.2. Tecnología CMOS

La tecnología de fabricación CMOS<sup>6</sup> utiliza una combinación de transistores MOS de canal n y canal p para implementar las funciones de un microprocesador. Por ejemplo, un inversor (puerta lógica NOT) se consigue con la siguiente disposición:

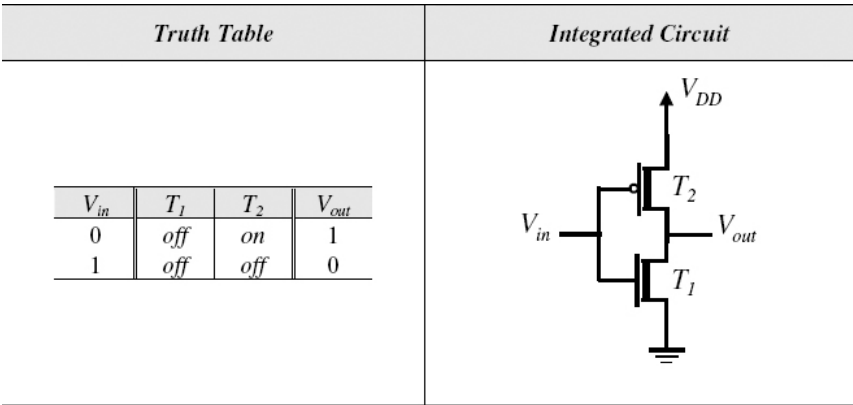


Fig. 2.4. Inversor CMOS<sup>7</sup>

<sup>4</sup>Fuente: Analog Integrated Circuit Design[2]  
<sup>5</sup>Fuente: Analog Integrated Circuit Design[2]  
<sup>6</sup>Complementary MOS  
<sup>7</sup>Fuente: <https://www.oreilly.com/library/view/introduction-to-digital/9780470900550/chap5-sec008.html>

Los circuitos CMOS tienen un bajo consumo, tienen una buena resistencia al ruido, y son relativamente fáciles de diseñar. Es por esto que se ha convertido en la tecnología dominante en los microcircuitos.

### 2.3. Conversión analógico-digital

La tarea de un convertidor analógico-digital, o ADC, es convertir una señal de espectro continuo en el tiempo en una señal de valores discretos cuantizable.

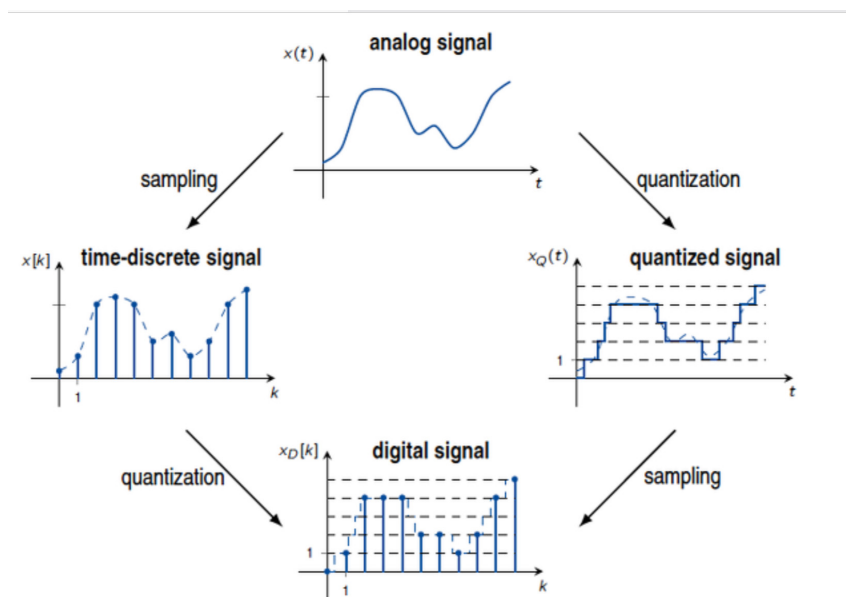


Fig. 2.5. Señal analógica a digital<sup>8</sup>

En un ADC, la señal analógica original sufre dos transformaciones: un muestreo y una cuantificación. El muestreo toma valores de la señal a una frecuencia concreta, descartando los intermedios. La cuantificación transforma el espectro continuo de la señal en un conjunto de valores finito. Esto es suficiente para lograr un conjunto de palabras (conjunto de bits de longitud definida) a una frecuencia de trabajo, para ser almacenadas o procesadas por un microcontrolador.

Estos son algunos de los parámetros básicos que describen el comportamiento y prestaciones de un ADC:

<sup>8</sup>Fuente: <https://electronics.stackexchange.com/questions/352784/in-digital-systems-do-we-discretize-both-time-and-magnitude-or-only-time>

**Frecuencia de muestreo:** Frecuencia a la cual se toman medidas de la señal original.  
Determina el ancho de banda.

**Ancho de banda:** Rango de frecuencias de la señal original que puede ser correctamente muestreada, cuantizada, y posteriormente recreada.

**Resolución:** Número de pasos máximo entre rango de valores de la señal analógica.  
Determina el error de cuantificación y el SNR máximo.

**SNR:** Signal to Noise Ratio. Relaciona la potencia de la señal de interés y el ruido de fondo existente.

En cuanto a errores en la conversión, estas son las principales fuentes:

**Cuantificación:** Para una muestra dada en un momento determinado, diferencia entre el valor de la señal original y valor de la señal cuantificada. Surge porque para cada valor discreto de la señal cuantificada, existe un rango con infinitos valores intermedios en la señal original.

**Linealidad:** Falta de correlación lineal entre entrada y salida del ADC. Necesita ser corregida para evitar divergencias entre entrada y salida que distorsionan la lectura.

**Offset:** Para valores muy bajos de señal original, la lectura puede ser distorsionada si no se corrige el offset.

**Ganancia:** Si no se ajusta correctamente, se puede inducir en un error creciente a medida que se recorre la curva de respuesta.

Es importante diferenciar dos tipos de ADC según su frecuencia de muestreo:

**A frecuencia de Nyquist:** La frecuencia de muestreo es igual a dos veces la frecuencia máxima de la señal a capturar[3][4].

**Sobremuestreados:** La frecuencia de muestreo es superior a la frecuencia de Nyquist; habitualmente unas diez veces mayor.

La mayoría de arquitecturas de ADC actuales trabajan con sobremuestreo, ya que permiten una mejor gestión del ruido.

## 2.4. Arquitecturas de ADC actuales

Existen multitud de arquitecturas ADC: flash, aproximaciones sucesivas, de integración, de rampa, de seguimiento, tensión-frecuencia, y un largo etcétera.

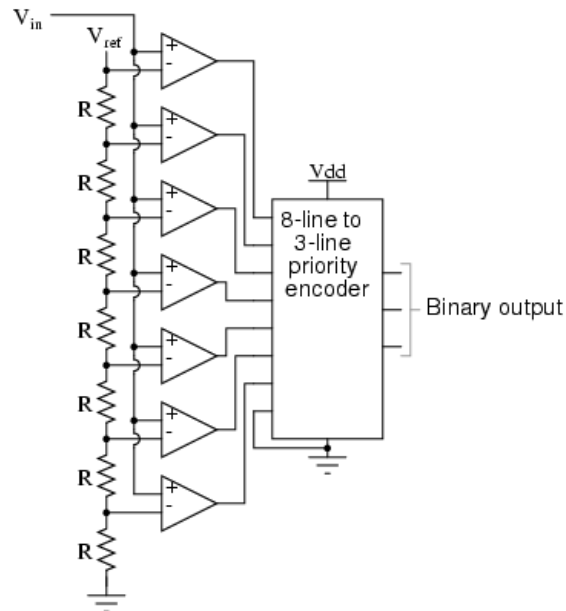


Fig. 2.6. ADC de conversión directa tipo flash<sup>9</sup>

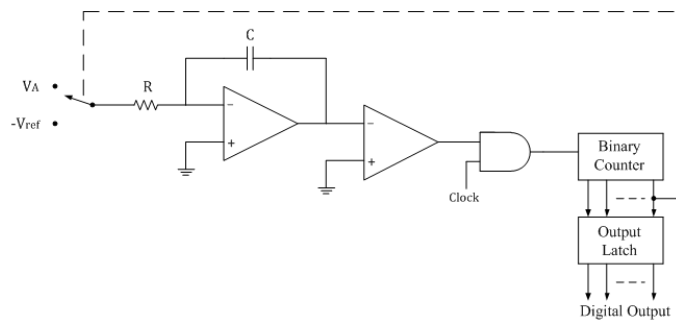


Fig. 2.7. ADC integrador de doble rampa<sup>10</sup>

Los más cercanos a la materia de este estudio son los de integración, en concreto los que utilizan la modulación sigma-delta.

<sup>9</sup>Fuente: <https://www.allaboutcircuits.com/textbook/digital/chpt-13/flash-adc/>

<sup>10</sup>Fuente: <http://www.electronics-tutorial.net/analog-integrated-circuits/data-converters/dual-slope-type-adc/>

## 2.5. Modulación sigma-delta en ADCs

Un ADC que utiliza el principio de modulación sigma-delta, también llamado *modulador sigma-delta*, o *modulador  $\Sigma\Delta$* , tiene como bloques principales un sumador, un integrador, y un cuantificador, además de un bucle de retroalimentación. Este es el esquema de bloques básico de un modulador  $\Sigma\Delta$  :

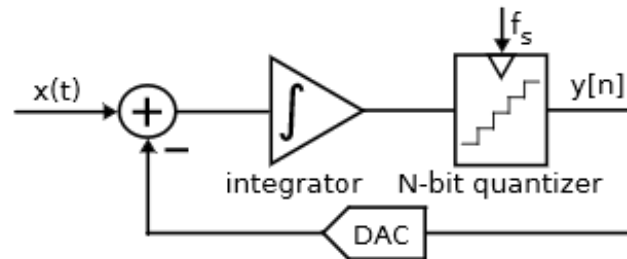


Fig. 2.8. Bloques de un modulador  $\Sigma\Delta$  <sup>11</sup>

El funcionamiento de este tipo de ADC sigue los pasos siguientes. La señal original ( $x(t)$ ) es sumada a la salida del cuantificador ( $y(t)$ ) en magnitud negativa. La salida ( $y(t)$ ) es un flujo de un bit de profundidad, por lo que debe ser transformada a magnitud real a través de un DAC. El integrador forma un filtro de paso bajo sobre la diferencia entre señal original y cuantificada de tal manera que se consigue una realimentación de baja frecuencia, consiguiendo una reducción del ruido de cuantificación en la banda de respuesta.

Este es un ejemplo gráfico del resultado de la modulación  $\Sigma\Delta$  :

<sup>11</sup>Fuente: Oversampled Analog-To-Digital Converter Architectures Based On Pulse Frequency Modulation[5]

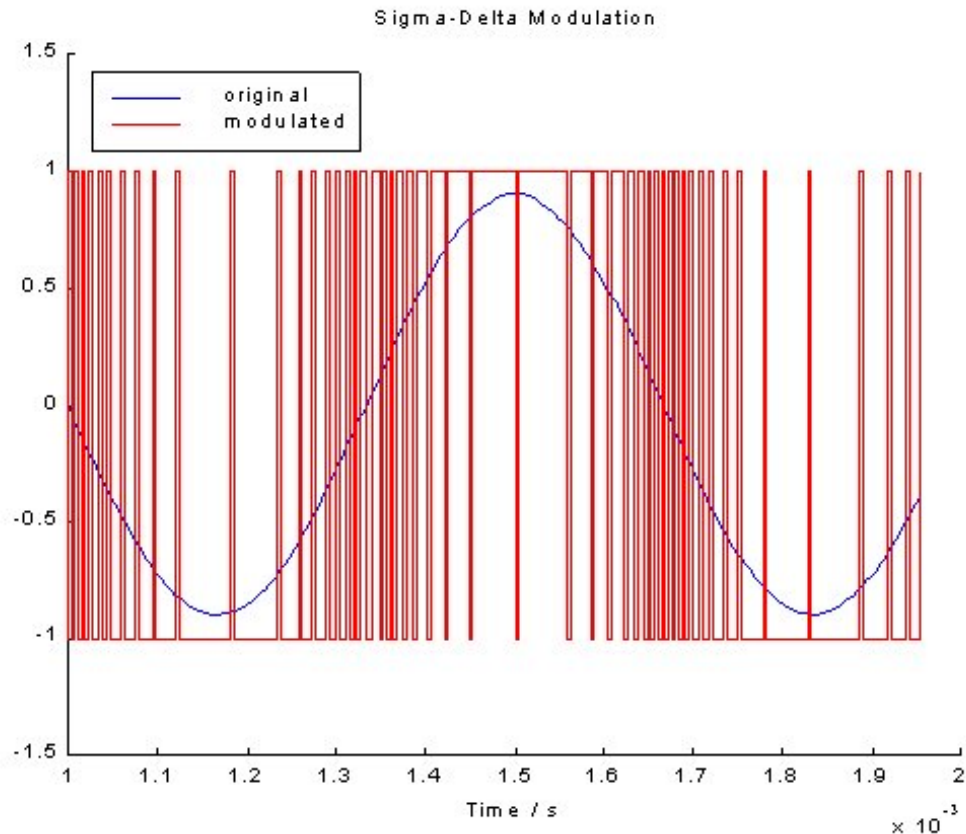


Fig. 2.9. Modulación  $\Sigma\Delta$  de una señal de 1.5kHz<sup>12</sup>

Se puede observar que el promedio de la señal modulada de 1 bit es proporcional a la señal original.

Con respecto a un ADC de aproximaciones sucesivas o de seguimiento, la modulación  $\Sigma\Delta$  una gran linealidad en la curva de respuesta y una disminución del ruido de fondo, ya que el bucle tenderá a hacer que la salida  $y(t)$  sea cero. El cuantificador suele ser un comparador implementado con un amplificador operacional de alta ganancia, con una referencia ajustada a la aplicación. Además suele existir un circuito sample-and-hold con una frecuencia de reloj que se ajusta a la entrada al circuito que recibirá la señal ya convertida a digital.

En cuanto al integrador, las implementaciones más comunes son con un amplificador operacional o por transconductancia.

<sup>12</sup>Fuente: <http://www.cs.tut.fi/sgn/arg/roster/1-bit/>

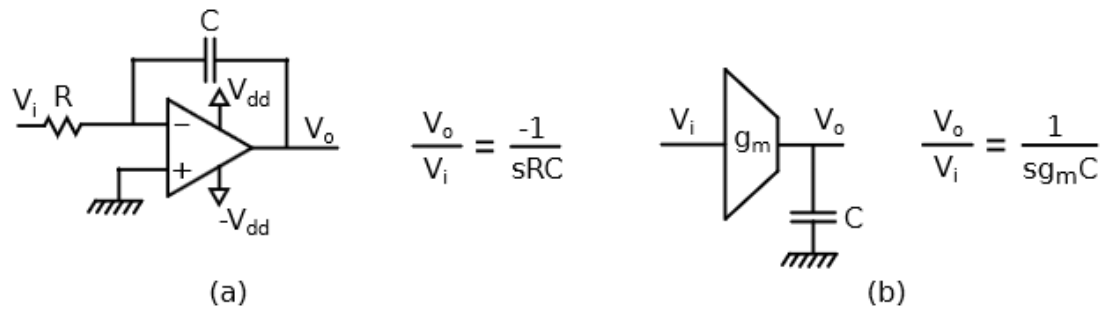


Fig. 2.10. Integradores por opamp (a) y por transconductancia (b)<sup>13</sup>

Como se puede observar, ambas opciones trabajan en ámbito analógico.

Las principales desventajas de la conversión por modulador  $\Sigma\Delta$  son la necesidad de una frecuencia de muestreo muy alta respecto a la original, lo cual es un problema a la hora de convertir señales de muy alta frecuencia;

<sup>13</sup>Fuente: [5]



### 3. ANÁLISIS

En este capítulo se expone el análisis de una nueva arquitectura de ADC que emplea un VCO como cuantificador e integrador.

#### 3.1. Idea inicial

La idea fundamental de la nueva arquitectura es sustituir el integrador y el cuantificador de un ADC de tipo  $\Sigma\Delta$  por un VCO. Esto eliminaría la necesidad de un amplificador operacional presente en un  $\Sigma\Delta$ , rebajando por tanto el número de componentes necesarios y el consumo total del sistema.

El primer paso para desarrollar el estudio es comprender cómo funciona un VCO.

#### 3.2. VCO en anillo

Un VCO, siglas de *Voltage Controlled Oscillator* es un componente electrónico que emite un flujo de pulsos cuya frecuencia es proporcional a un voltaje de entrada.

Un VCO en anillo es un tipo de oscilador controlado por voltaje. En su forma más básica, consiste en un número impar de puertas inversoras colocadas en un bucle cerrado. En las entradas de alimentación de las puertas se conecta la señal a modular. La señal ya modulada aparece entre la salida y la entrada de cualquier par de puertas.

Esta es la representación simbólica de una puerta inversora, con sus conexiones nombradas:

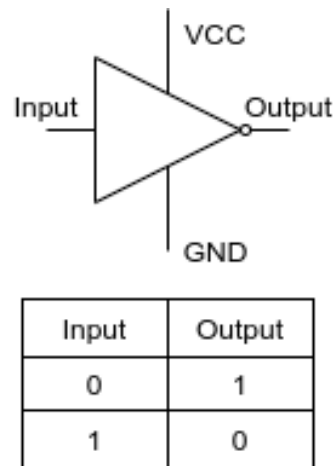


Fig. 3.1. Símbolo y tabla de verdad de una puerta inversora

Así se consigue un inversor en tecnología CMOS. El transistor superior es de canal-p, y el inferior es de canal-n.

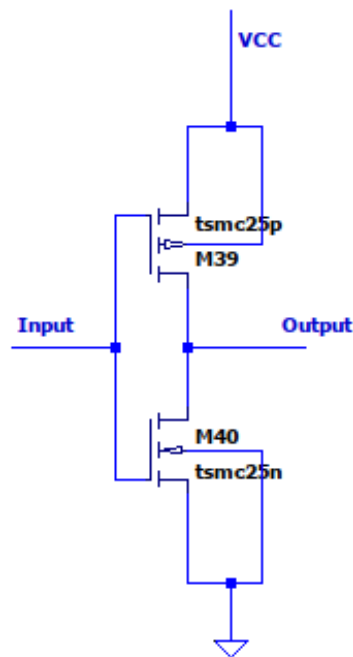


Fig. 3.2. Esquemático de una puerta inversora con transistores MOS

Cuando la señal de entrada está en cero lógico (0 voltios) el transistor canal-n se encuentra con una diferencia de voltaje baja entre la puerta y la fuente, así que no hay paso de corriente entre la fuente y el drenador. Por su parte, en el transistor canal-p la diferencia de voltaje entre la puerta y la fuente es grande (la fuente está conectada a una fuente de

alimentación VCC que proporciona un voltaje llamado bias), así que la corriente entre su fuente y drenador es no nula. Así, en la salida el voltaje es equivalente al voltaje de bias VCC.

Cuando la señal de entrada está en uno lógico (cercano al voltaje de bias), ocurre lo contrario: el transistor n entra en su región activa (permite el paso de corriente) mientras que el p entra en zona de corte (no permite el paso de corriente). Así, la salida estará conectada a tierra, normalmente cero voltios.

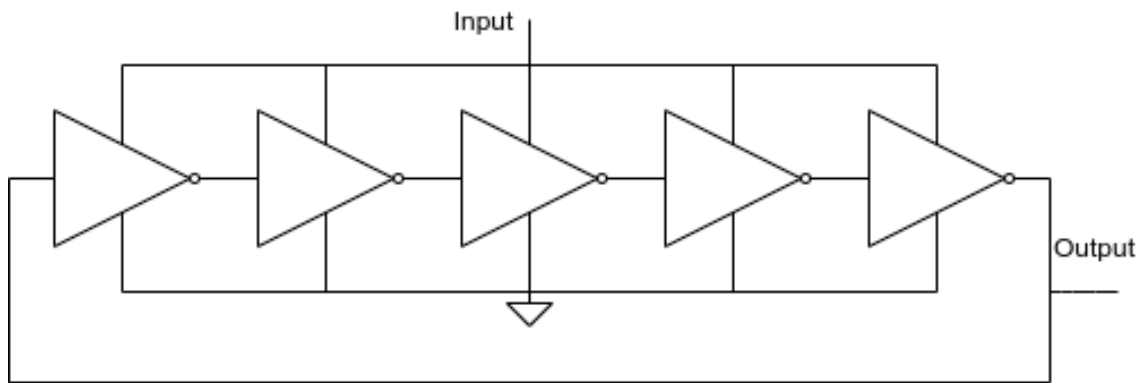


Fig. 3.3. VCO compuesto por 5 puertas inversoras

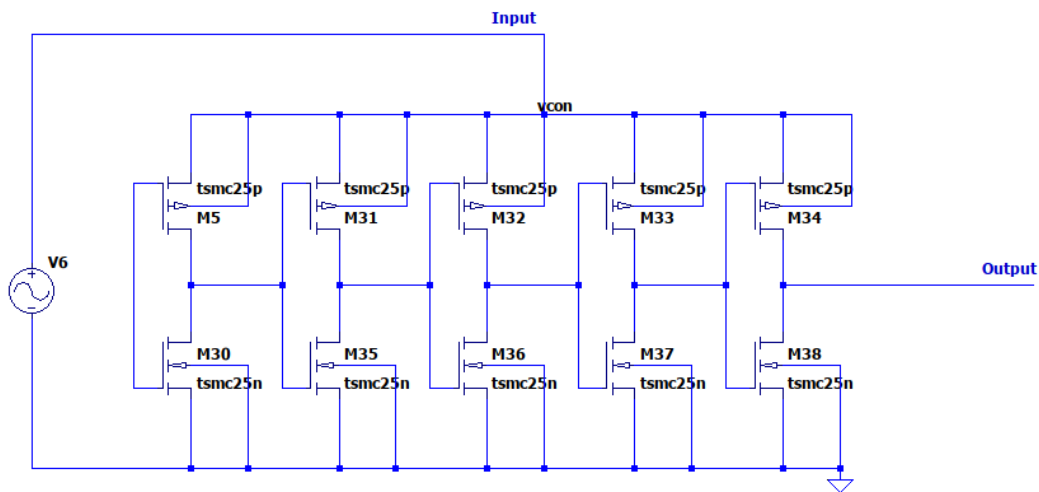


Fig. 3.4. Esquemático de un VCO

El número impar de puertas inversoras provoca un estado de inestabilidad en el oscilador. Dado que hay una pequeña demora en la activación de las puertas por , y por la realimentación positiva en el anillo, se crean señales alternativas entre un 1 lógico y un 0

lógico. La frecuencia a la que estas señales cambian es proporcional al voltaje aplicado en la alimentación de las puertas (VCC en la figuras 3.1 y 3.2). La frecuencia de oscilación sigue la siguiente fórmula:

$$f = \frac{1}{2n\tau} \quad (3.1)$$

14

Donde  $n$  es el número de puertas en el anillo y  $\tau$  es el tiempo de activación de la puerta.

Asumiendo un comportamiento ideal del VCO, podemos expresar la relación entre entrada y salida como:

$$f_{VCO} = f_0 + K_{VCO} * V_i \quad (3.2)$$

15

Donde  $f_{VCO}$  es la frecuencia del oscilador,  $f_0$  es la frecuencia en reposo (con una señal de entrada equivalente a 0),  $K_{VCO}$  es la ganancia intrínseca en  $Hz/V$ , y  $V_i$  es el valor de voltaje de entrada.

Viendo el oscilador como un integrador, y tomando la fase de la señal como salida, en vez de la frecuencia, hacemos el siguiente análisis:

$$\theta(t) = 2\pi \int_0^t f_{VCO}(\tau) d\tau = 2\pi f_0 t + 2\pi K_{VCO} \int_0^t x(\tau) d\tau \quad (3.3)$$

16

Haciendo un análisis en frecuencia, la transformada de laplace del oscilador resulta así:

Como se puede observar, la señal que entra al oscilador es analógica, mientras que la que sale ya es digital. Con pocos componentes, se consigue un integrador y cuantificador que funciona principalmente en el ámbito digital, evitando las restricciones que supone el

---

<sup>14</sup>Fuente: [5]

<sup>15</sup>Fuente: [5]

<sup>16</sup>Fuente: [5]

<sup>17</sup>Fuente: [5]

$$\frac{K_{VCO}}{s} \quad (3.4)$$

17

procesado de una señal analógica, como se comentó en la introducción. De aquí surge el interés de los osciladores en anillo en su uso en ADCs.

### 3.3. Osciladores en anillo en ADCs

#### 3.3.1. Como parte de arquitecturas ya existentes

Ya que estos osciladores actúan como un integrador, pueden usarse en arquitecturas de ADC ya establecidas, como los  $\Sigma\Delta$ .

Este es un ejemplo de un modulador  $\Sigma\Delta$  de segundo orden con un VCO en anillo sustituyendo el segundo integrador y el cuantificador.

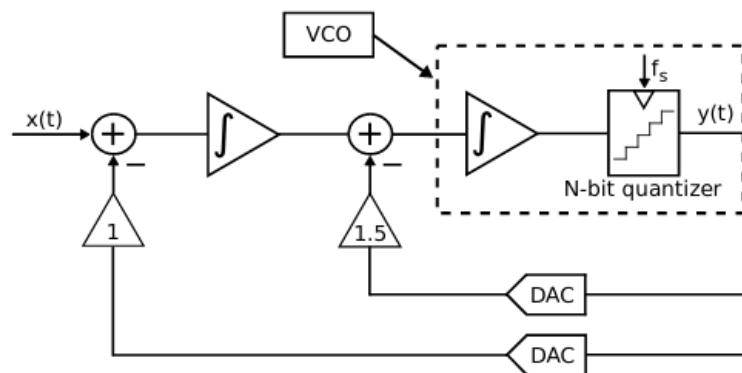


Fig. 3.5. Modulador  $\Sigma\Delta$  con un VCO<sup>18</sup>

En rendimiento es equivalente a una implementación habitual con opamps, pero con menor consumo y número de componentes.

#### 3.3.2. Arquitecturas con solo oscilador en anillo

Además de la integración, un VCO en anillo también se encarga de la cuantificación. Así, se puede obtener un ADC con solo este componente.

<sup>18</sup>Fuente: [5]

La forma más básica consiste en solo un VCO con un circuito sample-and-hold y un circuito para sacar la primera diferencia.

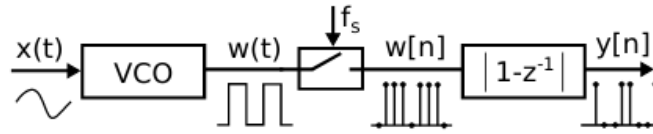


Fig. 3.6. ADC con VCO en bucle abierto<sup>19</sup>

Haciendo un análisis en frecuencia de este sistema, tenemos:

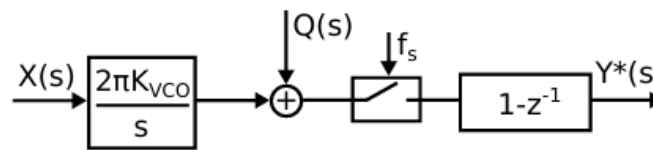


Fig. 3.7. Sistema con bucle abierto<sup>20</sup>

$$Y(s) = 2\pi K_{VCO}X(s) + (1 - z^{-1})Q(s) \quad (3.5)$$

Donde  $Q$  es el ruido de cuantificación del VCO, que toma como señal aleatoria aditiva a la salida del VCO. Tras la primera diferencia, el ruido de cuantificación sufre

Aunque el rendimiento de esta configuración es similar a los  $\Sigma\Delta$  convencionales, el VCO aporta un gran problema: la curva de respuesta voltaje-frecuencia no es lineal, porque el tiempo de activación de las puertas (ecuación 3.1) varía en función de la alimentación de las puertas; en el caso de un oscilador en anillo, esta alimentación es la señal a modular. Esto provoca distorsión en la cuantificación, con lo que se pierde en resolución en el muestreo.

Las soluciones más comunes a este problema son:

- **Calibración Digital:** Se hace un análisis de la curva de respuesta, se crea una tabla de mapeo entrada-salida, y por se hace la corrección por interpolación en un circuito digital. Aumenta mucho el número de componentes y el consumo.

<sup>19</sup>Fuente: [5]

<sup>20</sup>Fuente: [5]

- **Modulación previa al VCO:** Se coloca un modulador, habitualmente de tipo PWM, para limitar la frecuencia de oscilación de la señal que entra en el VCO. Es una solución más, sencilla, pero limita el ancho de banda para frecuencias de señal muy altas.
- **Reducción de la señal de entrada:** Si se consigue lo suficiente, se reduce el impacto de la amplitud de la señal en la linealidad del sistema. Algunas maneras usadas para esto son la inclusión de un ADC más básico antes del VCO, cuya señal se resta a la entrada. Así se consigue disminuir la frecuencia de la señal que entra al VCO. Este método necesita de más componentes que trabajan con señales analógicas, con el consecuente aumento en consumo y espacio ocupado.
- **Ajuste por circuito:** Ajustando individualmente la alimentación de las puertas con componentes pasivos se puede paliar la no linealidad, pero esta técnica pierde fiabilidad una vez se toman en cuenta los errores de fabricación, la temperatura, y pequeñas variaciones en voltaje de alimentación.

Ninguna de las soluciones anteriores es perfecta.

### 3.4. Análisis matemático del VCO con realimentación negativa

Una manera común de linealizar un sistema es con un bucle de retroalimentación negativa. Partiendo de un ADC con VCO en bucle abierto, la manera más sencilla de incluir retroalimentación es unir la salida con la entrada a través de un sumador. En el bucle debe existir una conversión de la salida digital del VCO a la entrada analógica del sistema.

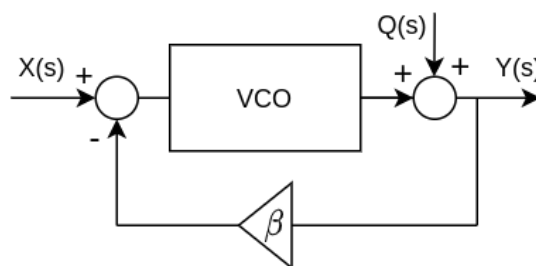


Fig. 3.8. ADC con VCO en bucle cerrado, diagrama de bloques

Haciendo un análisis del sistema, podemos despejar la función de transferencia del sistema:

$$\begin{aligned}
VCO & : \frac{K_{VCO}}{s} \\
Y(s) & = Q(s) + \frac{K_{VCO}}{s}(X(s) - \beta Y(s)) \\
Y(s) & = Q(s) + \frac{K_{VCO}}{s}X(s) - \frac{K_{VCO}\beta}{s}Y(s) \\
Y(s)(1 + \frac{K_{VCO}\beta}{s}) & = Q(s) + \frac{K_{VCO}}{s}X(s) \\
Y(s)(\frac{s+K_{VCO}\beta}{s}) & = Q(s) + \frac{K_{VCO}}{s}X(s) \\
Y(s) & = \frac{s}{s+K_{VCO}\beta}Q(s) + \frac{K_{VCO}}{s+K_{VCO}\beta}X(s)
\end{aligned} \tag{3.6}$$

Donde  $Y(s)$  es la señal de salida,  $X(s)$  es la señal de entrada,  $K_{VCO}$  es la ganancia del VCO,  $\beta$  es la ganancia del lazo de realimentación, y  $Q(s)$  es el ruido de cuantificación modelado como una señal aditiva tras el VCO.

Respecto a los términos a la derecha de la ecuación superior, podemos deducir el siguiente comportamiento del sistema en función de la frecuencia:

$$\begin{aligned}
& \frac{K_{VCO}}{s+K_{VCO}\beta}X(s) \\
& \frac{K_{VCO}}{s+K_{VCO}\beta}, s \rightarrow \infty : = 0 \\
& \frac{K_{VCO}}{s+K_{VCO}\beta}, s \rightarrow 0 : = \infty
\end{aligned} \tag{3.7}$$

$$\begin{aligned}
& \frac{s}{s+K_{VCO}\beta}Q(s) \\
& \frac{s}{s+K_{VCO}\beta}, s \rightarrow 0 : = \infty \\
& \frac{s}{s+K_{VCO}\beta}, s \rightarrow \infty : = 0
\end{aligned} \tag{3.8}$$

Así, tenemos que a altas frecuencias, el coeficiente de  $Q(s)$  aumenta y el de  $X(s)$  disminuye. A bajas frecuencias, ocurre lo contrario. Por lo tanto, este sistema aplica un filtro paso alto a  $Q(s)$  y un filtro paso bajo a  $X(s)$ . Esto discrimina el ruido de cuantificación en la banda de frecuencias de la señal de entrada, si se ajustan correctamente las constantes  $\beta$  y  $K_{VCO}$ .



### 3.4.1. Lazo de realimentación por capacidades conmutadas

Dado que la ganancia del VCO es relativamente estable y más compleja de manipular, en este estudio nos centramos en la ganancia en el lazo de realimentación. En el lazo es necesario hacer una conversión de la señal modulada digital, a la señal de entrada analógica. Para esto es necesario buscar un DAC relativamente sencillo para no volver a encontrarnos el problema que intentamos evitar: número de componentes y consumo. Además, los requisitos para el DAC no son especialmente restrictivos. Ya que el sistema en lazo cerrado tiende a estabilizarse por sí mismo, una conversión tosca y poco precisa es suficiente.

La solución escogida es el uso de un sistema de capacidades conmutadas. En nuestra implementación, este se compone de dos transistores pareados CMOS, en una distribución casi idéntica a las puertas lógicas inversoras.

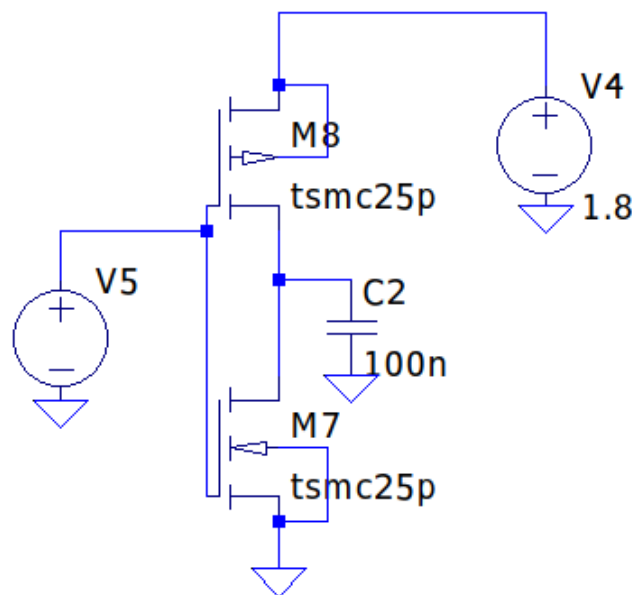


Fig. 3.9. Esquemático de circuito de capacidades conmutadas

El circuito consta de dos transistores CMOS, canal-n y canal-p, y un condensador conectado entre fuente y drenador de los transistores. La fuente de alimentación V4 se conecta a la fuente del transistor canal-p, y la señal modulada en PFM<sup>21</sup> se conecta a las puertas de ambos transistores. La señal PFM actúa a modo de reloj para controlar la activación de los transistores, que actúan a modo de interruptores.

<sup>21</sup>Pulse Frequency Modulation, modulación en frecuencia de pulsos.

Este es el diagrama simbólico del sistema:

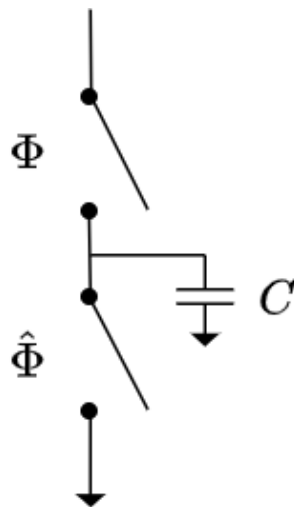


Fig. 3.10. Diagrama de circuito de capacidades conmutadas

Donde  $\Phi$  es una señal de reloj de frecuencia variable y  $\hat{\Phi}$  es la inversa del mismo reloj.

A continuación se presenta un análisis del comportamiento en función del valor del reloj:

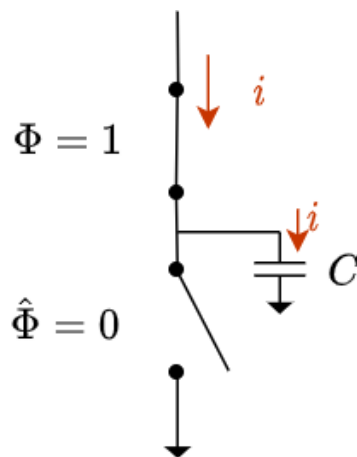


Fig. 3.11. Diagrama para  $\Phi = 1$

Para  $\Phi = 1$  y  $\hat{\Phi} = 0$ , el transistor superior se activa cerrando el circuito, y el inferior se desactiva abriéndolo. Esto permite el paso de corriente momentáneo al condensador  $C$ , que durante este semiperiodo se carga.

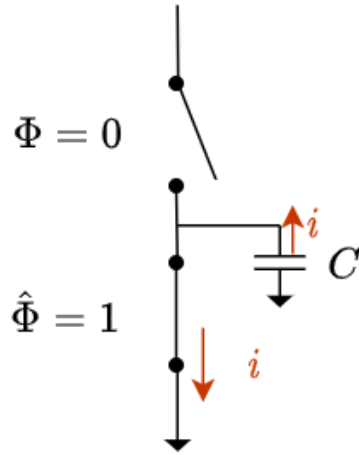


Fig. 3.12. Diagrama para  $\Phi = 0$

Para  $\Phi = 0$  y  $\hat{\Phi} = 1$ , el transistor superior se desactiva abriendo el circuito mientras que el inferior se cierra conectando el condensador con la tierra. Así, se crea un flujo de corriente desde el condensador que lo descarga.

Las siguientes ecuaciones describen la corriente de salida en función de la frecuencia.

$$\begin{aligned}
 I_C &= \frac{\Delta Q}{\Delta t} = \\
 &= \frac{C(V_A - V_B)}{T} = Cf(V_A - V_B) \\
 \text{si } V_A &= V_{dd} \text{ y } V_B = V_{GND} = 0 \implies I_C = Cf(V_{dd})
 \end{aligned} \tag{3.9}$$

Donde  $I_C$  es la corriente media que pasa por el condensador.

Teniendo corriente equivalente y voltaje de referencia, podemos modelar el sistema como una impedancia variable.

$$Z_{eq} = \frac{V_{dd}}{I_C} = \frac{V_{dd}}{Cf(V_{dd})} = \frac{1}{fC} \tag{3.10}$$

Así obtenemos una resistencia variable en función de la frecuencia de entrada.

Debemos tener en cuenta que los transistores tienen unas ciertas corrientes parasíticas fuera de su modelo ideal. Estas corrientes provocan que un transistor abierto tenga una impedancia muy alta, pero no cero, y uno cerrado tenga una impedancia muy baja, pero

nunca nula. Relacionando este paso de corriente por los transistores con un voltaje de referencia, podemos modelar los efectos parásitos como una impedancia intrínseca en los transistores.

Este es el circuito equivalente:

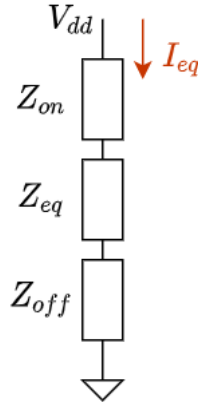


Fig. 3.13. Diagrama de bloques del sistema de impedancias equivalente

Donde  $Z_{eq}$  es la impedancia variable equivalente, y  $Z_{on}$  y  $Z_{off}$  son las impedancias de transistor activado y en corte. Como se abren y cierran de manera alternativa, y asumiendo un comportamiento ideal del sistema (activación/desactivación instantánea, sin solapamiento), el circuito equivalente tendrá una impedancia de cada en serie. Estas impedancias de los transistores dependen de factores como tecnología de fabricación, tamaño, y defectos de fabricación. En cualquier caso,  $Z_{on}$  es muy bajo, y  $Z_{off}$  es muy alto.

Queda este modelo ideal para el DAC por capacidades conmutadas:

$$I_{eq} = \frac{V_{dd}}{\frac{1}{fC} + Z_{on} + Z_{off}} \quad (3.11)$$

Con esto, ya tenemos nuestro DAC que transforma la señal modulada en frecuencia de 1 bit de manera sencilla y con pocos componentes.

### 3.5. Simulaciones del modelo

Tras el análisis matemático expuesto en las secciones anteriores, procedemos a realizar simulaciones para comprobar la validez de la arquitectura. Usaremos LTSpice para elaborar

esquemáticos y lanzar simulaciones, y Matlab para analizar los resultados.

En estas simulaciones se han usado las librerías de transistores CMOS de la compañía TSMC, cedidas al Departamento de Tecnologías Electrónicas. Estas librerías tienen los parámetros necesarios para poder simular su comportamiento en un programa SPICE.

### 3.5.1. Simulación del DAC por capacidades conmutadas

Este es el esquemático en LTSpice usado para simular el DAC por capacidades conmutadas:

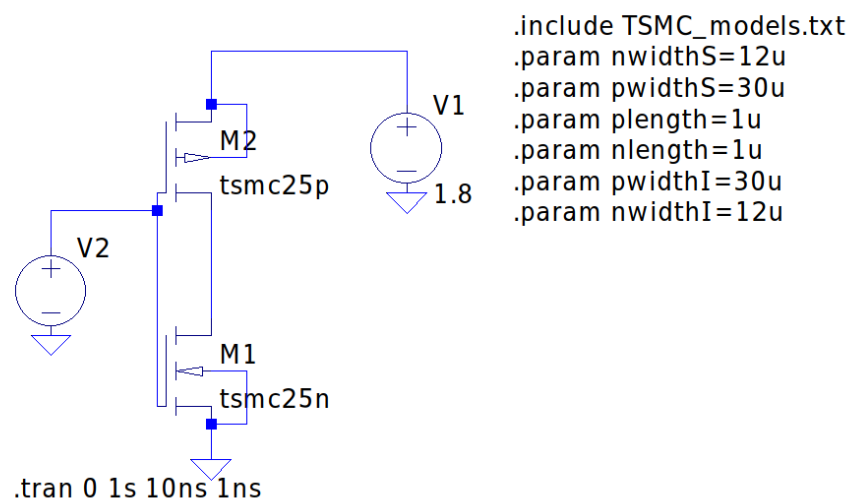


Fig. 3.14. Circuito en LTSpice del modelo de DAC por capacidades conmutadas

En la esquina superior derecha se reúnen los parámetros básicos de los transistores: sus dimensiones en ancho y largo. Los valores usados se corresponden con El voltaje de referencia escogido, 1.8V,

Para conseguir la curva de respuesta del sistema, podemos hacerlo por interpolación, tomando varios resultados discretos para diferentes valores de entrada, en este caso, frecuencia de reloj, o podemos usar una entrada que incremente su valor de forma lineal con el tiempo. Como no existe un componente con este comportamiento en LTSpice, se ha creado uno nuevo:

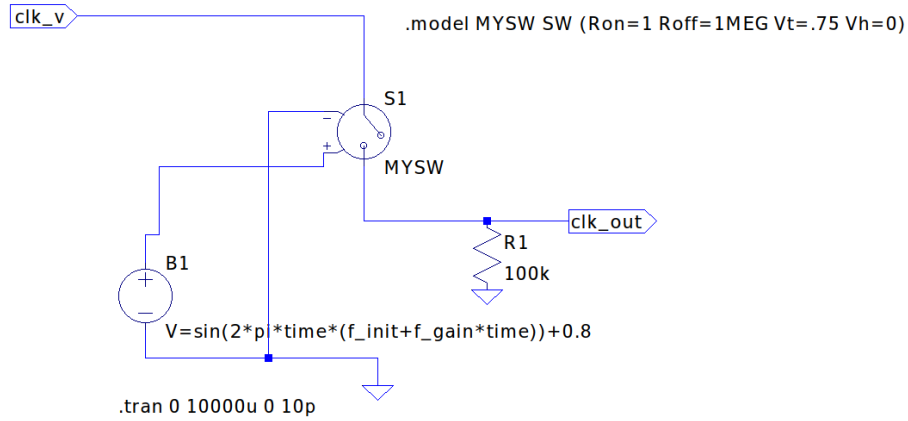


Fig. 3.15. Esquemático de reloj con frecuencia incremental

Este componente utiliza un interruptor y una fuente de voltaje cuyo valor se calcula con una función sinusoidal en función del tiempo.

$$V = \sin(2 * \pi * t * (f_{\text{init}} + f_{\text{gain}} * t)) + V_{\text{offset}} \quad (3.12)$$

Donde  $t$  es el tiempo en cada paso de la simulación,  $f_{\text{init}}$  es la frecuencia en  $t = 0$  del sistema,  $f_{\text{gain}}$  es un parámetro que dicta el incremento de la frecuencia por unidad de tiempo, y  $V_{\text{offset}}$  es el voltaje medio de la fuente. Las entrada de este circuito es  $f_{\text{gain}}$  y el voltaje nominal del reloj  $clk_v$ . Además, para que el 0 lógico del reloj tenga un voltaje igual a cero, hay una resistencia *pull-down* justo antes de la salida.



#### **4. CONCLUSIONES (?)**



## **5. ENTORNO SOCIOECONÓMICO (?)**

## **6. PRESUPUESTO / PLANIFICACIÓN / PROCESO (?)**

## BIBLIOGRAFÍA

- [1] G. E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol. 38, n.º 8, 1965.
- [2] T. C. Carusone, D. A. Johns y K. W. Martin, *Analog Integrated Circuit Design*, 2.ª ed. John Wiley & Sons, Inc., 2012.
- [3] H. Nyquist, “Certain topics in telegraph transmission theory,” *Transactions of the American Institute of Electrical Engineers*, vol. 47, n.º 2, 1928.
- [4] C. E. Shannon, “Communication in the presence of noise,” *Proceedings of the Institute of Radio Engineers*, vol. 37, 1949.
- [5] E. G. Fernández, “Oversampled Analog-To-Digital Converter Architectures Based On Pulse Frequency Modulation,” Tesis doct., Universidad Carlos III de Madrid, 2017.
- [6] S. W. Smith, *The Scientist and Engineer’s Guide to Digital Signal Processing*, 2.ª ed. California Technical Publishing, 1999.
- [7] J. M. de la Rosa, *Sigma-delta converters : practical design guide*, 2.ª ed. John Wiley & Sons Ltd, 2018.
- [8] T. Kite, “Understanding PDM Digital Audio,” Audio Precision, Inc., inf. téc., 2012. [En línea]. Disponible en: [http://users.ece.utexas.edu/~bevans/courses/realtime/lectures/10\\_Data\\_Conversion/AP\\_Understanding\\_PDM\\_Digital\\_Audio.pdf](http://users.ece.utexas.edu/~bevans/courses/realtime/lectures/10_Data_Conversion/AP_Understanding_PDM_Digital_Audio.pdf).
- [9] R. Garvi, L. M. Alvero-Gonzalez, C. Perez, E. Gutierrez y L. Hernandez, “VCO-ADC linearization by switched capacitor frequency-to-current conversion,” Universidad Carlos III de Madrid.
- [10] X. Xing y G. G. E. Gielen, “A 42 fJ/Step-FoM Two-Step VCO-Based Delta-Sigma ADC in 40 nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 50, n.º 3, pp. 714-723, mar. de 2015.