

Grado en Ingeniería en Tecnologías Industriales

2019-2020 *Trabajo de Fin de Grado*

LINEALIZACIÓN DE OSCILADOR EN ANILLO CONTROLADO POR TENSIÓN MEDIANTE CAPACIDADES CONMUTADAS

Roberto Uceda Gómez

Tutor: Eric Gutiérrez Fernández
Leganés,



Esta obra se encuentra sujeta a la licencia Creative Commons

Reconocimiento - No Comercial - Sin Obra Derivada

RESUMEN

En este trabajo se desarrolla un estudio cuyo objetivo es encontrar una manera de linealizar el comportamiento de una nueva arquitectura de ADC basado en VCO, sin necesidad del uso de amplificador operacional, como se ha hecho hasta ahora.

Palabras clave: ADC-VCO, Oscilador en anillo, Conversión Analógico-Digital, CMOS

DEDICATORIA

ÍNDICE GENERAL

1. INTRODUCCIÓN.	1
1.1. Motivación del trabajo	1
1.2. Objetivos	3
1.3. Marco regulador	3
1.4. Esquema de este documento	3
2. ESTADO DEL ARTE.	4
2.1. Transistores MOS	4
2.2. Tecnología CMOS	6
2.3. Conversión analógico-digital	7
2.4. Arquitecturas de ADC actuales	9
2.5. Modulación sigma-delta en ADCs	10
2.6. VCO en anillo	12
2.7. Osciladores en anillo en ADCs	16
2.7.1. Como parte de arquitecturas ya existentes	16
2.7.2. Arquitecturas con solo oscilador en anillo	17
3. PROPUESTA REALIZADA	19
3.1. Idea inicial	19
3.2. Análisis matemático del VCO con realimentación negativa	20
3.2.1. Lazo de realimentación por capacidades conmutadas.	21
3.3. Simulaciones del modelo	26
3.3.1. Herramientas de simulación.	26
3.3.2. Simulación del DAC por capacidades conmutadas	30
3.3.3. Modelo sencillo de ADC con VCO, abierto	34

3.3.4. Modelo de ADC por VCO con bucle cerrado	36
3.3.5. Modelo de VCO con primera diferencia	43
4. CONCLUSIONES (?).	46
5. ENTORNO SOCIOECONÓMICO (?)	47
6. PRESUPUESTO / PLANIFICACIÓN / PROCESO (?)	48
BIBLIOGRAFÍA	49

ÍNDICE DE FIGURAS

2.1	Corte de transistor MOSFET	4
2.2	Transistor MOS, canal-p	5
2.3	Transistor MOS, canal-n	5
2.4	Inversor CMOS	6
2.5	Señal analógica a digital	7
2.6	ADC de conversión directa tipo flash	9
2.7	ADC integrador de doble rampa	9
2.8	Bloques de un modulador $\Sigma\Delta$	10
2.9	Modulación $\Sigma\Delta$ de una señal de 1.5kHz	11
2.10	Integradores por opamp (a) y por transconductancia (b)	12
2.11	Símbolo y tabla de verdad de una puerta inversora	13
2.12	Esquemático de una puerta inversora con transistores MOS	13
2.13	VCO compuesto por 5 puertas inversoras	14
2.14	Esquemático de un VCO	14
2.15	Modulador $\Sigma\Delta$ con un VCO	16
2.16	ADC con VCO en bucle abierto	17
2.17	Sistema con bucle abierto	17
3.1	ADC con VCO en bucle abierto, diagrama de bloques	20
3.2	Desarrollo de la función de transferencia del VCO con lazo cerrado	20
3.3	Esquemático de circuito de capacidades conmutadas	22
3.4	Diagrama de circuito de capacidades conmutadas	23
3.5	Diagrama para $\Phi = 1$	23

3.6	Diagrama para $\Phi = 0$	24
3.7	Ecuaciones de corriente de salida en función de la frecuencia para el el DAC por capacidades conmutadas	24
3.8	Diagrama de bloques del sistema de impedancias equivalente	25
3.9	Esquemático de reloj con frecuencia incremental	26
3.10	Simulación: Forma de onda del voltaje en la salida clk_out	27
3.11	Simulación: zoom en sección de la forma de onda	28
3.12	Curva frecuencia-tiempo del reloj de frecuencia variable	30
3.13	Esquemático en LTSpice del modelo de DAC por capacidades conmutadas	31
3.14	Esquemático del circuito de capacidades conmutadas con reloj de frecuen- cia variable	31
3.15	Forma de onda de la simulación del DAC en el esquemático 3.14	32
3.16	Gráfica frecuencia-corriente media para el DAC	33
3.17	Esquemático del ADC por VCO, abierto	34
3.18	Detalle de la forma de onda de la simulación del VCO abierto	35
3.19	FFT de la señal demodulada del VCO abierto	36
3.20	Esquemático del VCO con circuito de primera diferencia	37
3.21	Bloque de la señal del circuito de VCO con lazo cerrado	37
3.22	Bloque del lazo de realimentación y del negador del circuito de VCO con lazo cerrado	38
3.23	Bloque de la entrada al VCO del circuito de VCO con lazo cerrado	39
3.24	Bloque del VCO del circuito de VCO con lazo cerrado	39
3.25	Bloque de la primera diferencia y salida del circuito de VCO con lazo cerrado	40
3.26	Forma de onda de la simulación del VCO con lazo de realimentación cruzado	41
3.27	Detalle de la forma de onda 3.26	42

3.28	FFT de la forma de onda 3.26	42
3.29	FFT de la señal demodulada del VCO abierto	43
3.30	Forma de onda de la simulación del sistema con primera diferencia	44
3.31	Detalle de la forma de onda 3.30	44
3.32	FFT de la forma de onda 3.30	45

ÍNDICE DE TABLAS

1	Lista de abreviaturas	xiii
3.1	Parámetros de simulación del reloj de frecuencia incremental	27

ADC	Analog to Digital Converter, Convertidor Analógico-Digital
CMOS	Complimentary Metal-Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor, también llamados transistores MOS

TABLA 1. LISTA DE ABREVIATURAS

1. INTRODUCCIÓN

Los ADC¹ son onnipresentes en nuestro día a día. Sin ellos, no sería posible realizar una llamada con un teléfono móvil, o disfrutar de un sistema de climatización en nuestro hogar, o utilizar el control de crucero en nuestro coche. El objetivo de estos importantes bloques de la electrónica es convertir señales físicas, como ondas electromagnéticas, temperatura ambiente, o la posición de un eje, en señales digitales interpretables por un sistema basado en la electrónica digital. Una vez tenemos estas señales, normalmente compuestas por un flujo de bits, pueden ser procesadas por un microcontrolador para después tomar las decisiones necesarias para conseguir el objetivo deseado, como activar el compresor del aire acondicionado si la temperatura sube de cierto límite preestablecido.

Cada día que pasa aumenta la demanda de aparatos más rápidos, compactos, y eficientes. Por regla general, la miniaturización de la electrónica tiene un impacto positivo en estos criterios. Los transistores son los componentes fundamentales de los circuitos integrados. Estos transistores aumentan su eficiencia energética según disminuye su tamaño, además de permitir mayores frecuencias de operación. Por esto, existe un gran incentivo en la búsqueda de arquitecturas y técnicas de fabricación que permitan transistores más pequeños.

La ley de Moore ayuda a poner un poco de contexto histórico a esta carrera por la disminución de los transistores. Gordon Moore anunció en 1965 una tendencia en la, por aquel entonces emergente, industria de la electrónica: cada dos años se duplicaba la cantidad de componentes presente en un circuito integrado en la misma superficie [1]. A más componentes, mayor poder de procesamiento, pero también mayor coste de fabricación por la complejidad y delicadeza requerida en los procesos.

1.1. Motivación del trabajo

Debido a las altas velocidades de reloj y los requisitos de consumo y fabricación (espacio ocupado, número de componentes, reducción del tamaño de los transistores), los ADC usados actualmente presentan problemas. Los ADC basados en la arquitectura sigma

¹ Analog to Digital Converter. En español, Convertidor Analógico a Digital

delta, los más comunes en aplicaciones de bajo ancho de banda y alta resolución (audio, sensores biométricos y de alta precisión), requieren de un integrador. Estos integradores normalmente trabajan en el ámbito analógico, y la gran mayoría usan un amplificador operacional, con gran número de componentes y alto consumo.

Con las tecnologías de fabricación actuales, se consiguen transistores de tamaños diminutos, con buen tiempo de respuesta y bajo consumo en aplicaciones digitales, pero efectos adversos en aplicaciones analógicas. Algunos de estos efectos son la degradación de la señal por efectos cuánticos y defectos en la fabricación (el tamaño nominal de un transistor CMOS de tecnología puntera es entre un cuarto y una décima parte la longitud de onda de la luz ultravioleta usada en litografía), altas corrientes parásitas por el bajo tamaño de la puerta del transistor, y limitaciones en la simulación de sistemas por la alta densidad y complejidad en los microchips actuales. Otro efecto negativo que tiene la miniaturización en el diseño de microcircuitos es la falta de escalabilidad de la tensión de corte de los MOSFET. Mientras que la tensión de alimentación baja con el tamaño, la de corte no lo hace en la misma medida, haciendo más difícil el diseño de estructuras de alta ganancia, como los amplificadores operacionales, que requieren de suficiente diferencia entre ambas tensiones.

Además, a pesar de que el consumo individual de los transistores disminuye al reducirse su tamaño, lo hace de manera lineal, mientras que su incremento en número por unidad de superficie crece de manera cuadrática. Esto provoca un gran problema en cuanto a disipación térmica, por eso aumentar el número de componentes en circuitos integrados no es una solución en ciertos casos en que no pueda gestionarse correctamente el calor generado, como en sistemas embebidos y aplicaciones de muy bajo consumo, como dispositivos del IoT².

Los ADC basados en VCO actuales necesitan una compensación de linealidad mediante circuitería digital, que termina ocupando la mayor parte de la superficie del chip. Este trabajo se centra en la búsqueda de una nueva arquitectura usando un VCO tanto como integrador como cuantificador, que permita ahorrar la necesidad de circuitos de compensación y circuitos analógicos complejos (amplificadores operacionales), manteniendo o mejorando el comportamiento lineal, la resolución, y el ancho de banda de las arquitecturas

²Internet of Things. En español: Internet de las Cosas

ya existentes.

1.2. Objetivos

El grueso de este trabajo se encuentra en el plano teórico. El primer paso es realizar un estudio de las arquitecturas de ADC ya existentes, centrándose en aquellas que emplean VCOs. A partir de este estudio, se estudiará la viabilidad de varias ideas de diferentes publicaciones que aún no han sido implementadas. Para esto, se utilizarán herramientas de simulación basadas en SPICE. Una vez probada la efectividad de la arquitectura, la siguiente tarea será montar un circuito con componentes discretos sobre protoboard, medir los parámetros de funcionamiento, y así dejar demostrada la factibilidad de la arquitectura.

1.3. Marco regulador

1.4. Esquema de este documento

2. ESTADO DEL ARTE

Para entender las arquitecturas de ADC modernas es imprescindible conocer primero los bloques fundamentales sobre los que se asienta la microelectrónica actualmente: los transistores MOSFET³.

2.1. Transistores MOS

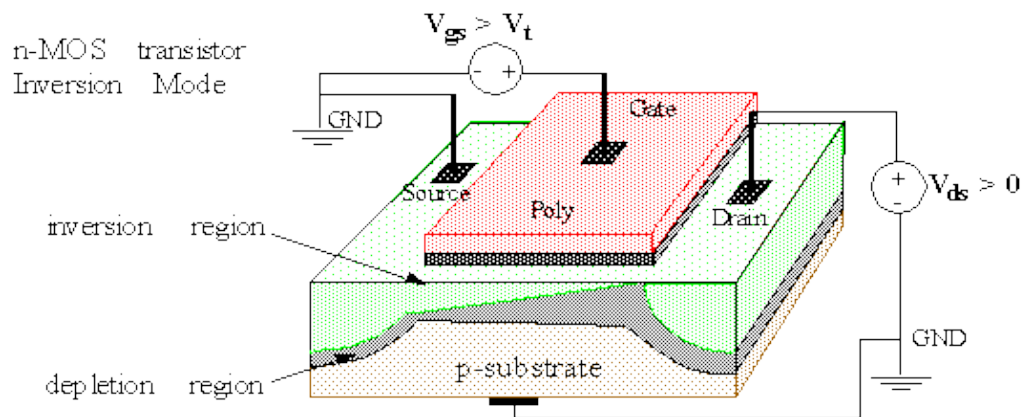


Fig. 2.1. Corte de transistor MOSFET⁴

Un transistor MOSFET es un tipo de transistor que se usa para amplificar y conmutar señales eléctricas dentro de un circuito. Se compone de cuatro entradas: fuente, puerta, drenador, y sustrato, que normalmente está conectado a la fuente para evitar la modulación de la tensión de corte. Cuando se aplica un voltaje entre la puerta y la fuente, se crea un canal en el medio semiconductor que permite el paso de corriente entre la fuente y el drenador. Podemos distinguir dos tipos de transistores MOS: los canal-n y los canal-p, dependiendo del dopaje del silicio usado en su fabricación. Los canal-n tienen un dopaje negativo en el silicio de la fuente y el drenador, que se consigue añadiendo impurezas de un elemento como fósforo, dejando electrones libres que actúan como portadores de carga. En el caso de los canal-p, se dopan con elementos como boro, que dejan huecos (ausencia de electrones en capas de valencia), y estos actúan como portadores de carga.

³Metal Oxide Semiconductor Field Effect Transistor

⁴Fuente: http://ece-research.unm.edu/jimp/vlsi/slides/chap2_1.html

Estos son los símbolos más usados para representar transistores MOS:

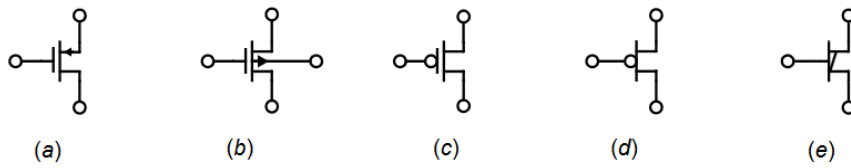


Fig. 2.2. Transistor MOS, canal-p⁵

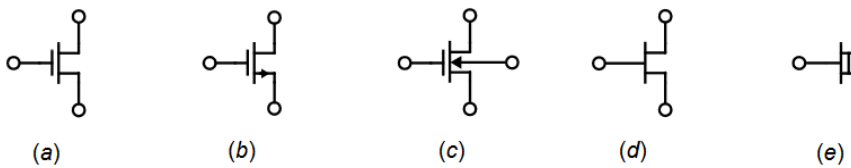


Fig. 2.3. Transistor MOS, canal-n⁶

El comportamiento general de este tipo de transistores se modela a través de regiones de funcionamiento, que dependen del voltaje V_{GS} , o voltaje entre puerta y fuente. La siguiente tabla describe esta relación para un transistor tipo n. Para un tipo p, las reglas aplican igual, invirtiendo el signo de los voltajes.

V_{GS}	Región
$< V_T$	Corte
$> V_{DS} + V_T$	Lineal u óhmica
$< V_{DS} + V_T$	Saturación o activa

Siendo V_T el voltaje límite y V_{DS} el voltaje entre drenador y fuente. El voltaje límite es voltaje mínimo necesario para la aparición de un canal entre la fuente y el drenador. Depende de parámetros de fabricación, como el ancho de la capa de óxido y su material, y de parámetros de funcionamiento, como la temperatura y el voltaje del sustrato (por el llamado *efecto cuerpo*⁷).

⁵Fuente: [2]

⁶Fuente: [2]

⁷El efecto cuerpo relaciona el voltaje de sustrato con el voltaje límite. Un cambio en el voltaje de sustrato conlleva un cambio de similar valor en el voltaje límite.

En la región de corte, no existe canal entre fuente y drenador, así que no se permite el paso de corriente entre ambos. En la región lineal u óhmica, el canal aparece, pero ofrece una cierta impedancia al paso de corriente, de tal manera que el transistor se comporta como una resistencia que disminuye según aumenta V_{GS} con respecto a $V_{DS} + V_T$. En la región de saturación, o región activa, el canal permite el paso libre de corriente, y deja de ser dependiente de la relación de voltaje entre V_{GS} y $V_{DS} + V_T$.

2.2. Tecnología CMOS

La tecnología de fabricación CMOS⁸ utiliza una combinación de transistores MOS de canal n y canal p para implementar las operaciones lógicas. Fue desarrollada en la década de 1960 por empleados de la compañía Fairchild Semiconductor[3].

Por ejemplo, un inversor (puerta lógica NOT) se consigue con la siguiente disposición:

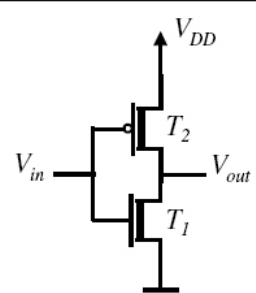
<i>Truth Table</i>				<i>Integrated Circuit</i>	
V_{in}	T_1	T_2	V_{out}		
0	off	on	1		
1	off	off	0		

Fig. 2.4. Inversor CMOS⁹

Los circuitos CMOS tienen un bajo consumo estático, ya que una vez formado el canal en región activa, la alta impedancia de entrada provoca un paso de corriente casi nulo, únicamente provocado por corrientes parásitas. También tienen una buena tolerancia al ruido por su propiedad regenerativa de la señal: si entra una señal degradada (alejada de su valor nominal) a una puerta CMOS, esta volverá al valor lógico que corresponda, dentro de las tolerancias que permita el circuito. Por estas propiedades es por las que la tecnología CMOS se ha convertido en dominante en el diseño de microcircuitos en la actualidad.

⁸Complementary MOS

⁹Fuente: <https://www.oreilly.com/library/view/introduction-to-digital/9780470900550/chap5-sec008.html>

2.3. Conversión analógico-digital

La tarea de un convertidor analógico-digital, o ADC, es tomar una señal eléctrica analógica y transformarla en una digital. Una señal analógica es aquella producida por un fenómeno electromagnético y representable por una función continua que define su periodo y amplitud. Una señal digital es una sucesión de diferentes valores discretos con un espaciado temporal uniforme.

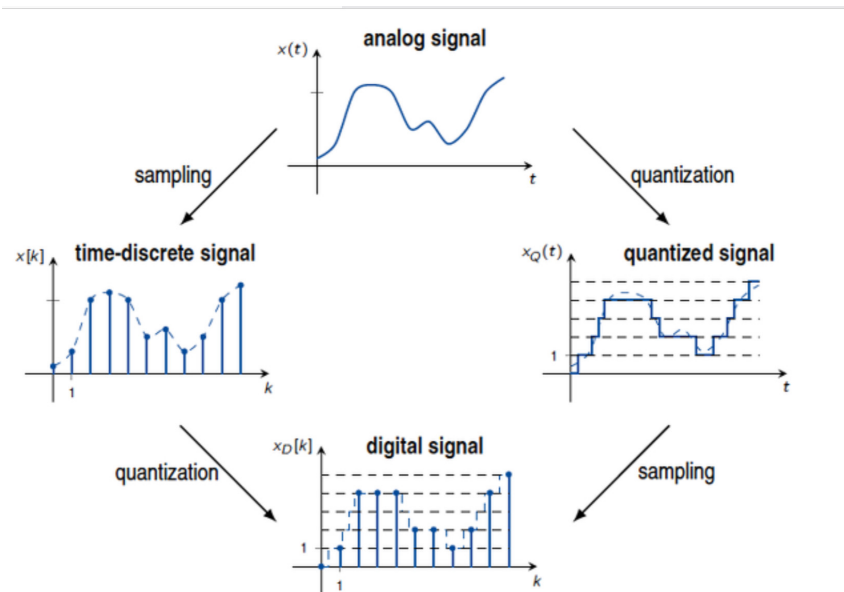


Fig. 2.5. Señal analógica a digital¹⁰

En un ADC, la señal analógica original sufre dos transformaciones: un muestreo y una cuantificación. El muestreo toma valores de la señal a una frecuencia concreta, descartando los intermedios. La cuantificación transforma el espectro continuo de la señal en un conjunto de valores finito. Esto es suficiente para lograr un conjunto de palabras (conjunto de bits de longitud definida) a una frecuencia de trabajo, para ser almacenadas o procesadas por un microcontrolador.

Estos son algunos de los parámetros básicos que describen el comportamiento y prestaciones de un ADC:

Frecuencia de muestreo: Frecuencia a la cual se toman medidas de la señal original.

Determinado por el ancho de banda de la aplicación.

¹⁰Fuente: <https://electronics.stackexchange.com/questions/352784/in-digital-systems-do-we-discretize-both-time-and-magnitude-or-only-time>

Ancho de banda: Rango de frecuencias de la señal original que puede ser correctamente muestreada, cuantizada, y posteriormente recreada.

Resolución: Número de pasos máximo entre rango de valores de la señal analógica. Determina el error de cuantificación y el SNR máximo.

SNR: La Signal-to-Noise Ratio, o Relación Señal-Ruido, es la relación entre la potencia de la señal transmitida y la potencia del ruido presente en dicha señal. Normalmente se representa en dB.

$$SNR = \frac{P_{signal}}{P_{noise}} \quad (2.1)$$

$$SNR_{dB} = 10 \log_{10} \left(\frac{P_{signal}}{P_{noise}} \right) \quad (2.2)$$

En cuanto a errores en la conversión, estas son las principales fuentes:

Cuantificación: Para una muestra dada en un momento determinado, es la diferencia entre el valor de la señal original y valor de la señal cuantificada.

Linealidad: Falta de correlación lineal entre entrada y salida del ADC. Necesita ser corregida para evitar divergencias entre entrada y salida que distorsionan la lectura.

Es importante diferenciar dos tipos de ADC según su frecuencia de muestreo:

A frecuencia de Nyquist: La frecuencia de muestreo es igual a dos veces la frecuencia máxima de la señal a capturar[4][5]. El teorema de Nyquist habla de esta frecuencia como la mínima a la que es matemáticamente posible recrear una señal perfectamente a partir de las muestras tomadas.

Sobremuestreados: La frecuencia de muestreo es superior a la frecuencia de Nyquist; habitualmente unas diez veces mayor.

2.4. Arquitecturas de ADC actuales

Existen multitud de arquitecturas ADC, entre ellas: flash, aproximaciones sucesivas, de integración, de rampa, de seguimiento, tensión-frecuencia. Algunos ejemplos:

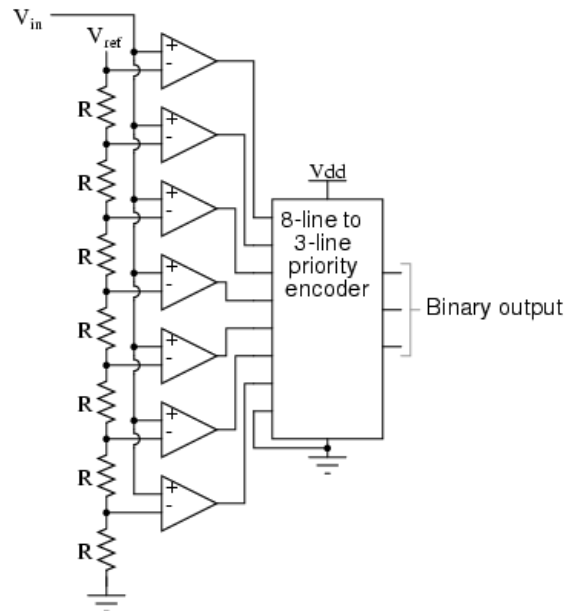


Fig. 2.6. ADC de conversión directa tipo flash¹¹

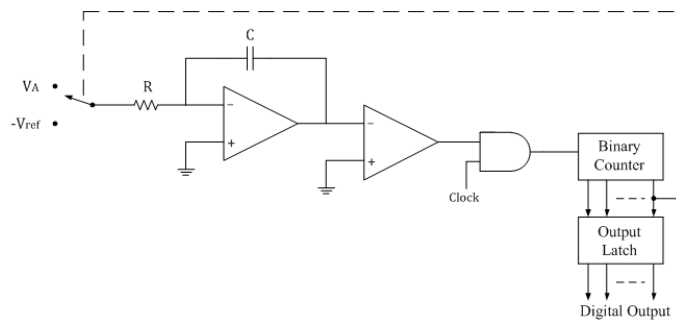


Fig. 2.7. ADC integrador de doble rampa¹²

Los más cercanos a la materia de este estudio son los de integración, en concreto los que utilizan la modulación sigma-delta.

¹¹Fuente: <https://www.allaboutcircuits.com/textbook/digital/chpt-13/flash-adc/>

¹²Fuente: <http://www.electronics-tutorial.net/analog-integrated-circuits/data-converters/dual-slope-type-adc/>

2.5. Modulación sigma-delta en ADCs

Un ADC que utiliza el principio de modulación sigma-delta, también llamado *modulador sigma-delta*, o *modulador $\Sigma\Delta$* , tiene como bloques principales un negador, un integrador, y un cuantificador, además de un bucle de realimentación. Este es el esquema de bloques básico de un modulador $\Sigma\Delta$:

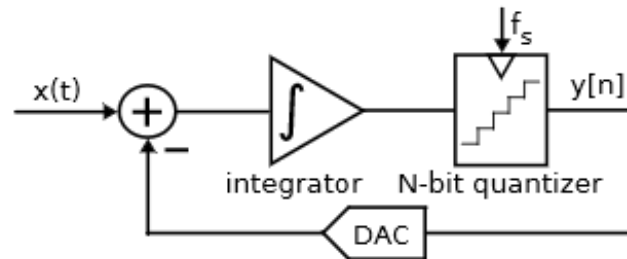


Fig. 2.8. Bloques de un modulador $\Sigma\Delta$ ¹³

El funcionamiento de este tipo de ADC sigue los pasos siguientes. La señal original ($x(t)$) es sumada a la salida del cuantificador ($y(t)$) en magnitud negativa. La salida ($y(t)$) es un flujo de un bit de profundidad, por lo que debe ser transformada a magnitud real a través de un DAC. El integrador forma un filtro de paso bajo sobre la diferencia entre señal original y cuantificada de tal manera que se consigue una realimentación de baja frecuencia, consiguiendo una reducción del ruido de cuantificación en la banda de respuesta.

Este es un ejemplo gráfico del resultado de la modulación $\Sigma\Delta$:

¹³Fuente: Oversampled Analog-To-Digital Converter Architectures Based On Pulse Frequency Modulation[6]

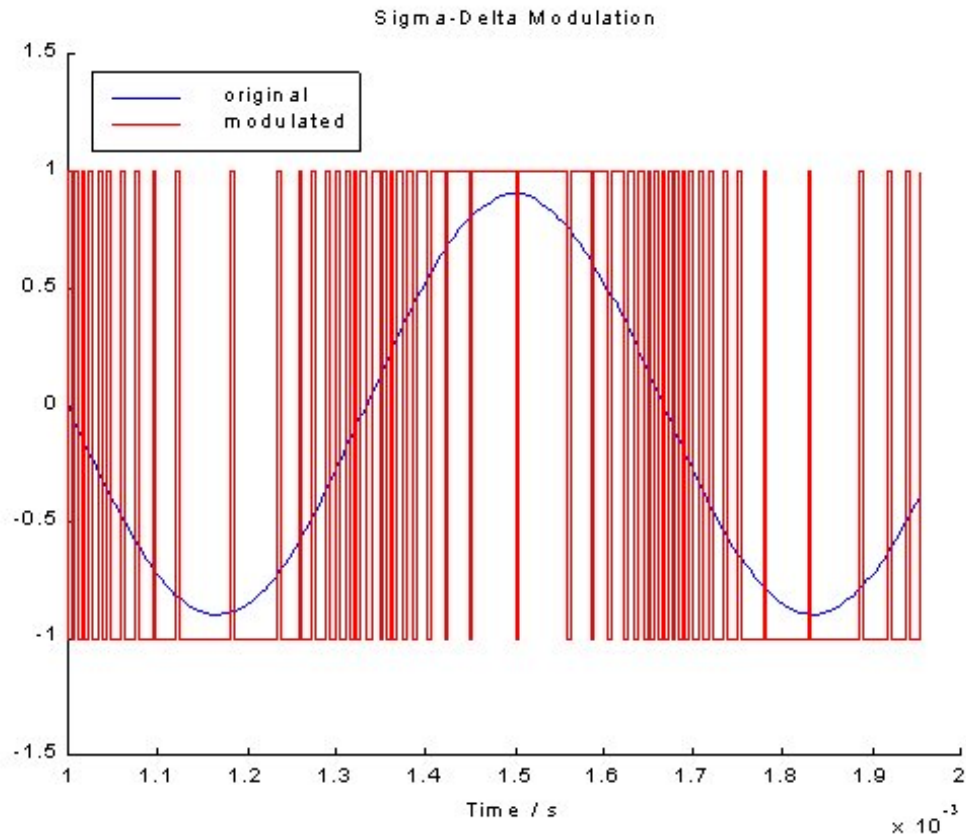


Fig. 2.9. Modulación $\Sigma\Delta$ de una señal de 1.5kHz¹⁴

Se puede observar que el promedio de la señal modulada de 1 bit es proporcional a la señal original.

Con respecto a un ADC de aproximaciones sucesivas o de seguimiento, la modulación $\Sigma\Delta$ una gran linealidad en la curva de respuesta y una disminución del ruido de fondo, ya que el bucle tenderá a hacer que la salida $y(t)$ sea cero. El cuantificador suele ser un comparador implementado con un amplificador operacional de alta ganancia, con una referencia ajustada a la aplicación. Además suele existir un circuito sample-and-hold con una frecuencia de reloj que se ajusta a la entrada al circuito que recibirá la señal ya convertida a digital.

En cuanto al integrador, las implementaciones más comunes son con un amplificador operacional o por transconductancia.

¹⁴Fuente: <http://www.cs.tut.fi/sgn/arg/roster/1-bit/>

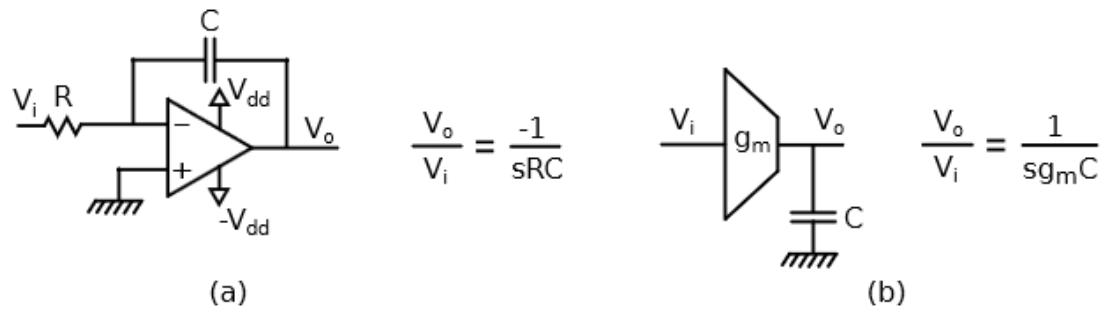


Fig. 2.10. Integradores por opamp (a) y por transconductancia (b)¹⁵

Como se puede observar, ambas opciones trabajan en ámbito analógico.

Las principales desventajas de la conversión por modulador $\Sigma\Delta$ son la necesidad de una frecuencia de muestreo muy alta respecto a la original, lo cual es un problema a la hora de convertir señales de muy alta frecuencia, y que gran parte del circuito funciona con señales analógicas, lo que complica la implementación en arquitecturas de muy bajo tamaño

2.6. VCO en anillo

Un VCO, siglas de *Voltage Controlled Oscillator* es un componente electrónico que emite un tren de pulsos cuya frecuencia es proporcional a un voltaje de entrada.

Un VCO en anillo es un tipo de oscilador controlado por voltaje. En su forma más básica, consiste en un número impar de puertas inversoras colocadas en un bucle cerrado. En las entradas de alimentación de las puertas se conecta la señal a modular. Este señal de entrada puede ser en voltaje o, a través de un transconductor, en corriente. La señal ya modulada aparece entre la salida y la entrada de cualquier par de puertas.

Esta es la representación simbólica de una puerta inversora, con sus conexiones nombradas:

¹⁵Fuente: [6]

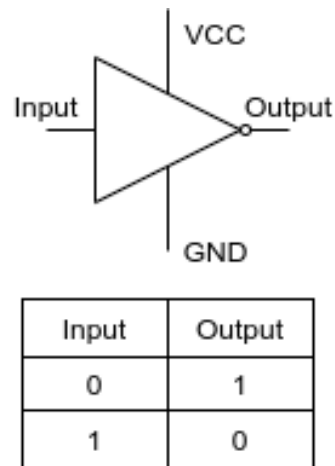


Fig. 2.11. Símbolo y tabla de verdad de una puerta inversora

Así se consigue un inversor en tecnología CMOS. El transistor superior es de canal-p, y el inferior es de canal-n.

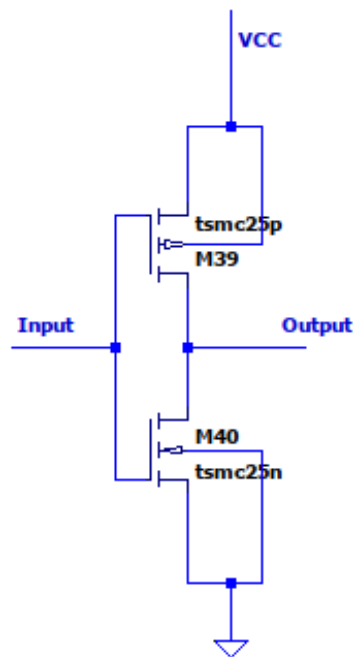


Fig. 2.12. Esquemático de una puerta inversora con transistores MOS

La siguiente tabla expone el régimen de funcionamiento de ambos transistores, atendiendo a la señal entrada:

input	Canal-n	Canal-p	output
0	Corte	Activo	V_{cc}
V_i	Activo	Corte	0

Donde V_i es un valor que cumple $V_{GS} < V_{DS} + V_T$ para ambos transistores, normalmente algo cercano a V_{cc} .

Esta es la configuración de puertas para lograr un VCO:

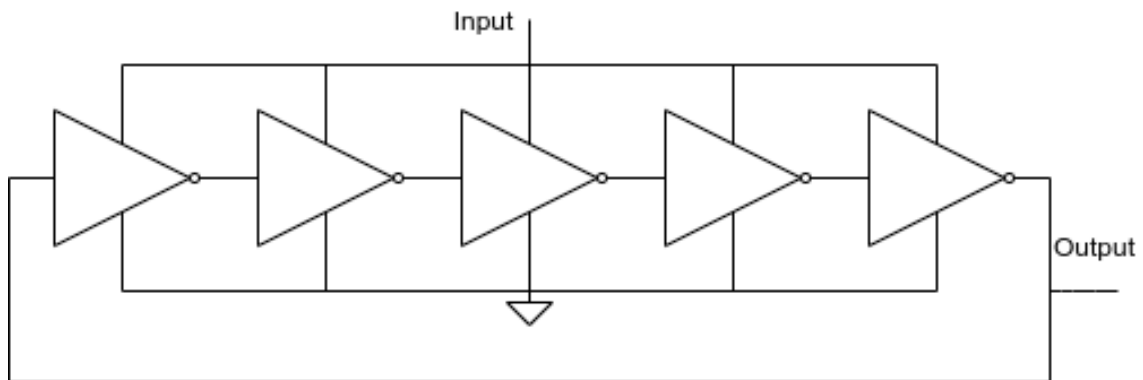


Fig. 2.13. VCO compuesto por 5 puertas inversoras

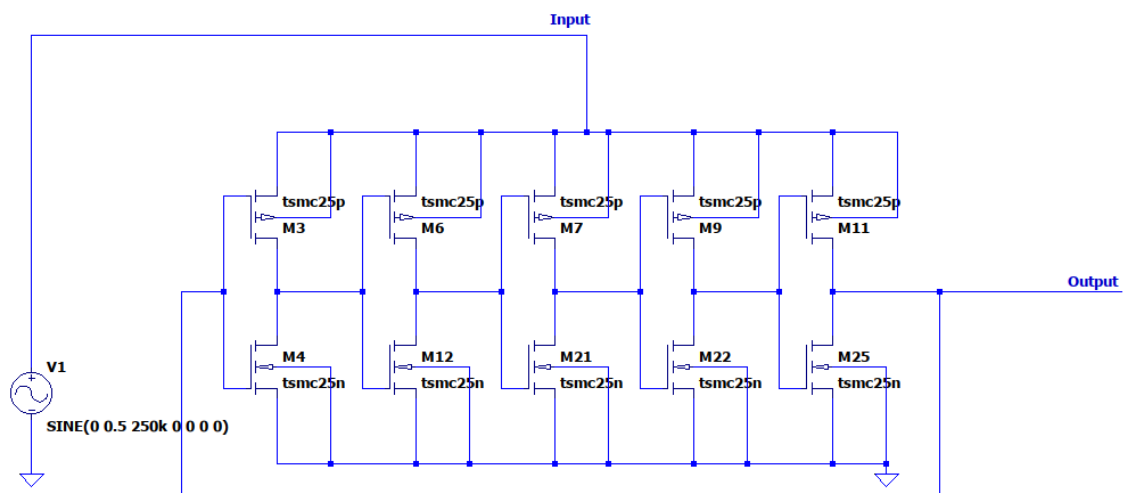


Fig. 2.14. Esquemático de un VCO

El número impar de puertas inversoras provoca un estado de inestabilidad en el oscilador. Hay una pequeña demora en la activación de las puertas por efecto de las corrientes parásitas, que retrasan el cambio de voltaje, y por tanto el cambio de región de operación del transistor. La realimentación positiva en el anillo hace que se creen señales alternativas

entre un 1 lógico y un 0 lógico entre la entrada y la salida de cada puerta. La frecuencia a la que estas señales cambian es proporcional al voltaje aplicado en la alimentación de las puertas (VCC en la figuras 2.11 y 2.12). La frecuencia de oscilación sigue la siguiente fórmula:

$$f = \frac{1}{2n\tau} \quad (2.3)$$

16

Donde n es el número de puertas en el anillo y τ es el retraso de activación de la puerta, que es inversamente proporcional a la señal de entrada. Por ello, f depende la señal de entrada.

Asumiendo un comportamiento ideal del VCO, podemos expresar la relación entre entrada y salida como:

$$f_{VCO} = f_0 + K_{VCO} * V_i \quad (2.4)$$

17

Donde f_{VCO} es la frecuencia del oscilador, f_0 es la frecuencia en reposo (con una señal de entrada equivalente a 0), K_{VCO} es la ganancia intrínseca en Hz/V , y V_i es el valor de voltaje de entrada.

Viendo el oscilador como un integrador, y tomando la fase de la señal como salida, en vez de la frecuencia, hacemos el siguiente análisis:

$$\theta(t) = 2\pi \int_0^t f_{VCO}(\tau) d\tau = 2\pi f_0 t + 2\pi K_{VCO} \int_0^t x(\tau) d\tau \quad (2.5)$$

18

Haciendo un análisis en frecuencia, la transformada de laplace del oscilador resulta así:

¹⁶Fuente: [6]

¹⁷Fuente: [6]

¹⁸Fuente: [6]

$$\frac{2\pi K_{VCO}}{s} \quad (2.6)$$

19

Como se puede observar, la señal que entra al oscilador es analógica, mientras que la que sale ya es digital, aunque debe ser demodulada más tarde. Con pocos componentes, se consigue un integrador y cuantificador que funciona principalmente en el ámbito digital, evitando las restricciones que supone el procesado de una señal analógica, como se comentó en la introducción. De aquí surge el interés de los osciladores en anillo en su uso en ADCs.

2.7. Osciladores en anillo en ADCs

2.7.1. Como parte de arquitecturas ya existentes

Ya que estos osciladores actúan como un integrador, pueden usarse en arquitecturas de ADC ya establecidas, como los $\Sigma\Delta$.

Este es un ejemplo de un modulador $\Sigma\Delta$ de segundo orden con un VCO en anillo sustituyendo el segundo integrador y el cuantificador.

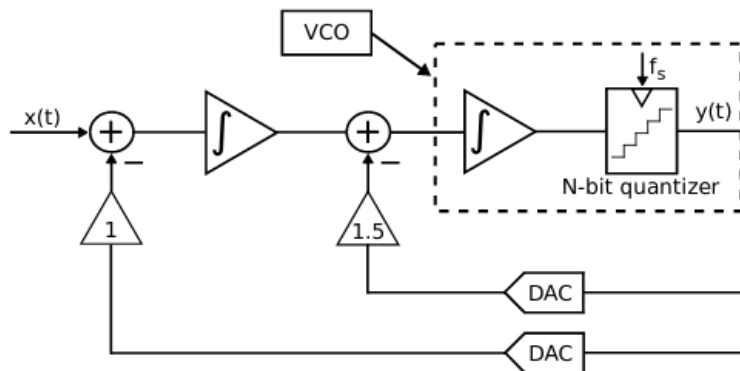


Fig. 2.15. Modulador $\Sigma\Delta$ con un VCO²⁰

En rendimiento es equivalente a una implementación habitual con opamps, pero con menor consumo y número de componentes.

¹⁹Fuente: [6]

²⁰Fuente: [6]

2.7.2. Arquitecturas con solo oscilador en anillo

Además de la integración, un VCO en anillo también se encarga de la cuantificación. Así, se puede obtener un ADC con solo este componente.

La forma más básica consiste en solo un VCO con un circuito sample-and-hold y un circuito para sacar la primera diferencia.

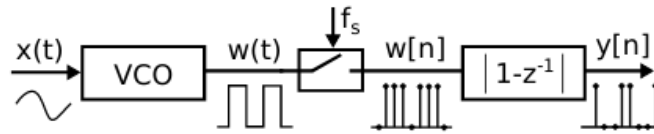


Fig. 2.16. ADC con VCO en bucle abierto²¹

Haciendo un análisis en frecuencia de este sistema, tenemos:

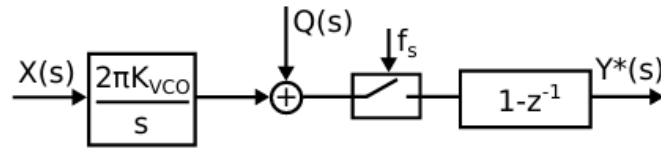


Fig. 2.17. Sistema con bucle abierto²²

$$Y(s) = 2\pi K_{VCO}X(s) + (1 - z^{-1})Q(s) \quad (2.7)$$

Donde Q es el ruido de cuantificación del VCO, que se modela como una señal aleatoria aditiva a la salida del VCO.

Aunque el rendimiento de esta configuración es similar a los $\Sigma\Delta$ convencionales, el VCO aporta un gran problema: la curva de respuesta voltaje-frecuencia no es lineal, porque el tiempo de activación de las puertas (ecuación 2.3) varía en función de la alimentación de las puertas; en el caso de un oscilador en anillo, esta alimentación es la señal a modular. Esto provoca distorsión en la cuantificación, con lo que se pierde en resolución en el muestreo.

²¹Fuente: [6]

²²Fuente: [6]

Las soluciones más comunes a este problema son:

- **Calibración Digital:** Se hace un análisis de la curva de respuesta, se crea una tabla de mapeo entrada-salida, y por se hace la corrección por interpolación en un circuito digital. Aumenta mucho el área ocupada y el consumo.
- **Modulación previa al VCO:** Se coloca un modulador, habitualmente de tipo PWM, para limitar la frecuencia de oscilación de la señal que entra en el VCO. Es una solución más sencilla, pero el modulador PWM consume mucho y puede presentar no linealidad, así que el problema se mueve de componente, pero no se elimina de todo el sistema.
- **Reducción de la señal de entrada:** Si se consigue lo suficiente, se reduce el impacto de la amplitud de la señal en la linealidad del sistema. Algunas maneras usadas para esto son la inclusión de un ADC más básico antes del VCO, cuya señal se resta a la entrada. Así se consigue disminuir la amplitud de la señal que entra al VCO. Este método necesita de un ADC extra, con el consecuente aumento en consumo y espacio ocupado.
- **Ajuste por circuito:** Ajustando individualmente la alimentación de las puertas con componentes pasivos se puede paliar la no linealidad, pero esta técnica pierde fiabilidad una vez se toman en cuenta los errores de fabricación, la temperatura, y pequeñas variaciones en voltaje de alimentación.

Ninguna de las soluciones anteriores es perfecta.

3. PROPUESTA REALIZADA

En este capítulo se expone el análisis de una nueva arquitectura de ADC que emplea un VCO como cuantificador e integrador, usando un lazo de realimentación negativo para linealizar la respuesta del VCO.

3.1. Idea inicial

La idea fundamental de esta nueva arquitectura es, partiendo de un sistema de ADC por VCO en bucle abierto, estudiar la viabilidad de linealizar la respuesta mediante un bucle de realimentación, haciendo uso de la ganancia intrínseca de la dispone el propio oscilador. Esto eliminaría la necesidad de un amplificador operacional presente en las arquitecturas de VCO con realimentación existentes hoy en día, rebajando por tanto el número de componentes necesarios y el consumo total del sistema.

La idea principal de esta arquitectura viene de publicaciones que ya hacen uso de un bucle de realimentación con DAC de 1 bit controlado por frecuencia. En esta publicación: *VCO-ADC linearization by switched capacitor frequency-to-current conversion*[10] ya se destacan los beneficios de un ADC por VCO con realimentación, como son una mayor resistencia al ruido por jitter del reloj, mayor resistencia al ruido térmico de los componentes pasivos, y una mejora importante de la relación señal-ruido con respecto a un ADC VCO en bucle abierto. El problema de la arquitectura propuesta en la publicación es que no consigue prescindir de un amplificador operacional, que sigue siendo el componente más complejo, costoso, y con gran consumo.

En este estudio, exploraremos la posibilidad de usar la ganancia intrínseca del VCO para poder eliminar el amplificador operacional, para reducir el consumo y el tamaño del ADC, y abrir su uso a nuevas aplicaciones que requieren de una gran miniaturización y eficiencia.

3.2. Análisis matemático del VCO con realimentación negativa

Una manera común de linealizar un sistema es con un bucle de realimentación negativa. Partiendo de un ADC con VCO en bucle abierto, la manera más sencilla de incluir realimentación es unir la salida con la entrada a través de un sumador. En el bucle debe existir una conversión de la salida digital del VCO a la entrada analógica del sistema.

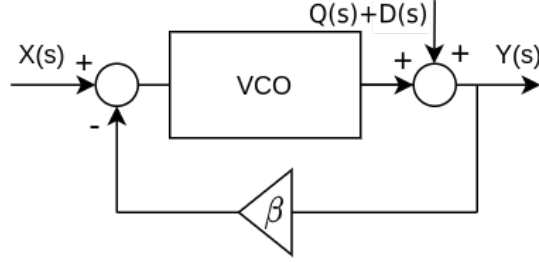


Fig. 3.1. ADC con VCO en bucle cerrado, diagrama de bloques

Haciendo un análisis del sistema, podemos despejar la función de transferencia del sistema:

$$\begin{aligned}
 VCO &: \frac{K_{VCO}}{s} \\
 Y(s) &= (Q(s) + D(s)) + \frac{K_{VCO}}{s}(X(s) - \beta Y(s)) \\
 Y(s) &= (Q(s) + D(s)) + \frac{K_{VCO}}{s}X(s) - \frac{K_{VCO}\beta}{s}Y(s) \\
 Y(s)(1 + \frac{K_{VCO}\beta}{s}) &= (Q(s) + D(s)) + \frac{K_{VCO}}{s}X(s) \\
 Y(s)(\frac{s+K_{VCO}\beta}{s}) &= (Q(s) + D(s)) + \frac{K_{VCO}}{s}X(s) \\
 Y(s) &= \frac{s}{s+K_{VCO}\beta}(Q(s) + D(s)) + \frac{K_{VCO}}{s+K_{VCO}\beta}X(s)
 \end{aligned} \tag{3.1}$$

Fig. 3.2. Desarrollo de la función de transferencia del VCO con lazo cerrado

Donde $Y(s)$ es la señal de salida, $X(s)$ es la señal de entrada, K_{VCO} es la ganancia del VCO, β es la ganancia del lazo de realimentación, y $(Q(s) + D(s))$ es el ruido de cuantificación y el ruido de no linealidad, respectivamente, modelados como señales que se suman a la salida del VCO.

Respecto a los términos a la derecha de la ecuación superior, podemos deducir el siguiente comportamiento del sistema en función de la frecuencia:

$$\begin{aligned}
& \frac{K_{VCO}}{s+K_{VCO}\beta} X(s) \\
& \frac{K_{VCO}}{s+K_{VCO}\beta}, s \rightarrow \infty : = 0 \\
& \frac{K_{VCO}}{s+K_{VCO}\beta}, s \rightarrow 0 : = \frac{1}{\beta}
\end{aligned} \tag{3.2}$$

$$\begin{aligned}
& \frac{s}{s+K_{VCO}\beta} Q(s) \\
& \frac{s}{s+K_{VCO}\beta}, s \rightarrow 0 : = \frac{1}{\beta} \\
& \frac{s}{s+K_{VCO}\beta}, s \rightarrow \infty : = 0
\end{aligned} \tag{3.3}$$

Así, tenemos que a altas frecuencias, el coeficiente de $Q(s)$ aumenta y el de $X(s)$ disminuye. A bajas frecuencias, ocurre lo contrario. Por lo tanto, este sistema aplica un filtro paso alto a $Q(s)$ y un filtro paso bajo a $X(s)$. Esto discrimina el ruido de cuantificación y el de linealidad en la banda de frecuencias de la señal de entrada. Para aumentar la SNR²³ necesitamos pues un valor alto de ganancia β en la realimentación, para que este filtro paso bajo tenga mayor magnitud y mayor potencia.

En cuanto a la linealidad del sistema: partimos de un DAC que recoge la frecuencia de salida del VCO y la convierte en corriente. Asumimos que esta conversión es lineal. Esta corriente se resta a la entrada. Integrando esta diferencia (a través del VCO), tiende a cero. Cuando la resta es cero, las señales de entrada y del bucle son iguales, y si la corriente que sale del DAC es lineal con respecto a la frecuencia es lineal, con lo que la corriente de entrada del sistema también es lineal. Así que consiguiendo un DAC que realice la conversión con un buen nivel de linealidad dentro del ancho de banda de interés, resolvemos el problema de la linealidad en el VCO.

3.2.1. Lazo de realimentación por capacidades conmutadas

Dado que la ganancia del VCO es relativamente estable y más compleja de manipular, en este estudio nos centramos en la ganancia en el lazo de realimentación. En el lazo es necesario hacer una conversión de la señal modulada digital, a la señal de entrada analógica. Para esto es necesario buscar un DAC relativamente sencillo para no volver a encontrarnos

²³Signal to Noise Ratio: ratio entre la señal y el ruido

el problema que intentamos evitar: número de componentes y consumo. Además, los requisitos para el DAC no son especialmente restrictivos, salvo que la transformación sea lineal.

La solución escogida es el uso de un sistema de capacidades conmutadas. En nuestra implementación, este se compone de dos transistores pareados CMOS, en una distribución casi idéntica a las puertas lógicas inversoras.

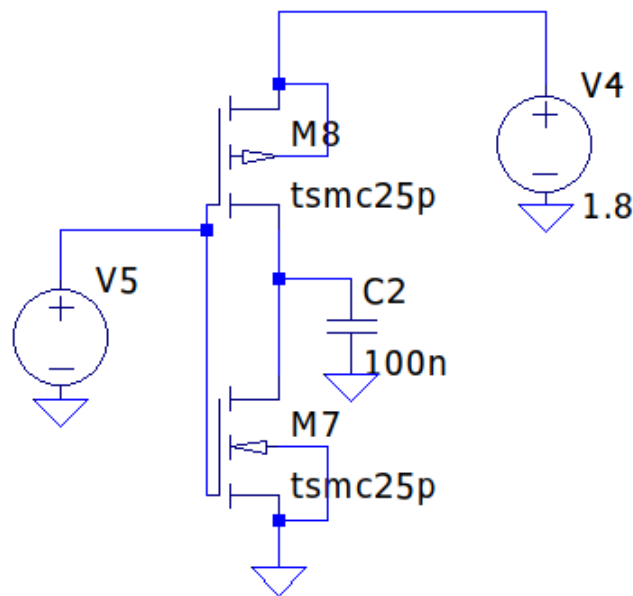


Fig. 3.3. Esquemático de circuito de capacidades conmutadas

El circuito consta de dos transistores CMOS, canal-n y canal-p, y un condensador conectado entre fuente y drenador de los transistores. La fuente de alimentación $V4$ se conecta a la fuente del transistor canal-p, y la señal modulada en FM²⁴ se conecta a las puertas de ambos transistores. La señal PFM actúa a modo de reloj para controlar la activación de los transistores, que actúan a modo de interruptores.

Este es el diagrama simbólico del sistema:

²⁴Frequency Modulation, modulación en frecuencia.

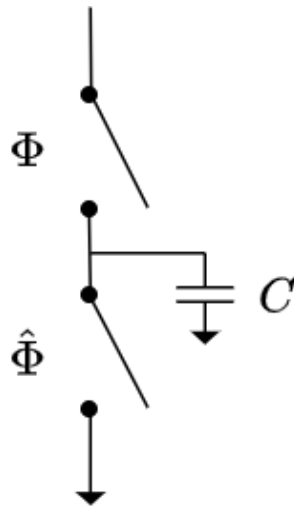


Fig. 3.4. Diagrama de circuito de capacidades conmutadas

Donde Φ es una señal de reloj de frecuencia variable y $\hat{\Phi}$ es la inversa del mismo reloj.

A continuación se presenta un análisis del comportamiento en función del valor del reloj:

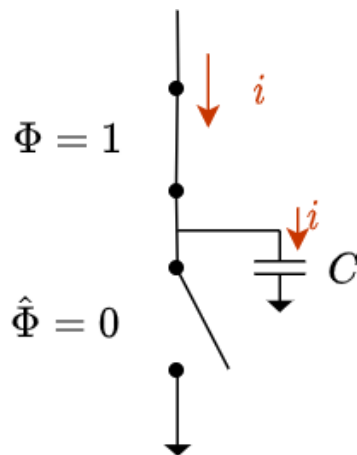


Fig. 3.5. Diagrama para $\Phi = 1$

Para $\Phi = 1$ y $\hat{\Phi} = 0$, el transistor superior se activa cerrando el circuito, y el inferior se desactiva abriéndolo. Esto permite el paso de corriente momentáneo al condensador C , que durante este semiperiodo se carga.

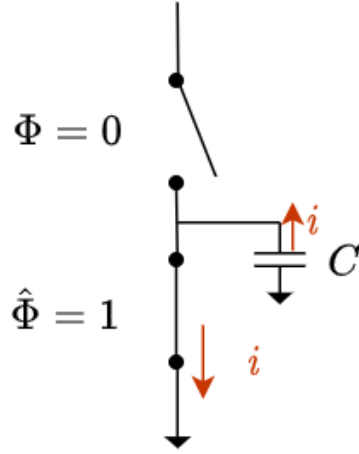


Fig. 3.6. Diagrama para $\Phi = 0$

Para $\Phi = 0$ y $\hat{\Phi} = 1$, el transistor superior se desactiva abriendo el circuito mientras que el inferior se cierra conectando el condensador con la tierra. Así, se crea un flujo de corriente desde el condensador que lo descarga.

Las siguientes ecuaciones describen la corriente de salida en función de la frecuencia.

$$\begin{aligned}
 I_C &= \frac{\Delta Q}{\Delta t} = \\
 &= \frac{C(V_A - V_B)}{T} = Cf(V_A - V_B) \\
 \text{si } V_A &= V_{dd} \text{ y } V_B = V_{GND} = 0 \implies I_C = Cf(V_{dd})
 \end{aligned} \tag{3.4}$$

Fig. 3.7. Ecuaciones de corriente de salida en función de la frecuencia para el el DAC por capacidades conmutadas

Donde I_C es la corriente media que pasa por el condensador.

Teniendo corriente equivalente y voltaje de referencia, podemos modelar el sistema como una impedancia variable.

$$Z_{eq} = \frac{V_{dd}}{I_C} = \frac{V_{dd}}{Cf(V_{dd})} = \frac{1}{fC} \tag{3.5}$$

Así obtenemos una resistencia variable proporcional a la frecuencia de entrada, con la que podemos obtener la corriente proporcional a la frecuencia del VCO para nuestro bucle de realimentación.

Debemos tener en cuenta que los transistores tienen unas ciertas corrientes parasíticas fuera de su modelo ideal. Estas corrientes provocan que un transistor abierto tenga una impedancia muy alta, pero no cero, y uno cerrado tenga una impedancia muy baja, pero nunca nula. Relacionando este paso de corriente por los transistores con un voltaje de referencia, podemos modelar los efectos parasíticos como una impedancia intrínseca en los transistores.

Este es el circuito equivalente:

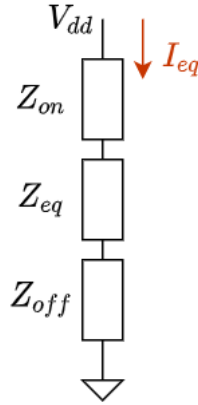


Fig. 3.8. Diagrama de bloques del sistema de impedancias equivalente

Donde Z_{eq} es la impedancia variable equivalente, y Z_{on} y Z_{off} son las impedancias de transistor activado y en corte. Como se abren y cierran de manera alternativa, y asumiendo un comportamiento ideal del sistema (activación/desactivación instantánea, sin solapamiento), el circuito equivalente tendrá una impedancia de cada en serie. Estas impedancias de los transistores dependen de factores como tecnología de fabricación, tamaño, y defectos de fabricación. En cualquier caso, Z_{on} es muy bajo, y Z_{off} es muy alto.

Queda este modelo ideal para el DAC por capacidades conmutadas:

$$I_{eq} = \frac{V_{dd}}{\frac{1}{fC} + Z_{on} + Z_{off}} \quad (3.6)$$

Con esto, ya tenemos nuestro DAC que transforma la señal modulada en frecuencia de 1 bit de manera sencilla y con pocos componentes.

3.3. Simulaciones del modelo

Tras el análisis matemático expuesto en las secciones anteriores, procedemos a realizar simulaciones para comprobar la validez de la arquitectura. Usaremos LTSpice para elaborar esquemáticos y lanzar simulaciones, y Matlab/Octave para analizar los resultados.

En estas simulaciones se han usado las librerías de transistores CMOS de la compañía TSMC, cedidas al Departamento de Tecnologías Electrónicas. Estas librerías tienen los parámetros necesarios para poder simular su comportamiento en un programa SPICE.

3.3.1. Herramientas de simulación

Reloj de frecuencia variable en LTSpice

Para conseguir la curva de respuesta un sistema, podemos hacerlo por interpolación, tomando varios resultados discretos para diferentes valores de entrada, en este caso, frecuencia de reloj, o podemos usar una entrada que incremente su valor de forma lineal con el tiempo. Como no existe un componente con este comportamiento en LTSpice, se ha creado uno nuevo:

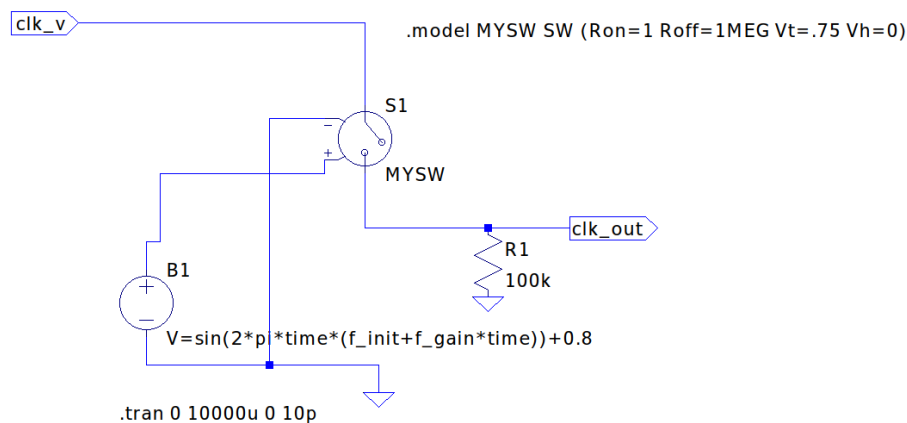


Fig. 3.9. Esquemático de reloj con frecuencia incremental

Este componente utiliza un interruptor y una fuente de voltaje cuyo valor se calcula con una función sinusoidal en función del tiempo.

$$V = \sin(2 * \pi * t * (f_{init} + f_{gain} * t)) + V_{offset} \quad (3.7)$$

Donde t es el tiempo en cada paso de la simulación, f_{init} es la frecuencia en $t = 0$ del sistema, f_{gain} es un parámetro que dicta el incremento de la frecuencia por unidad de tiempo, y V_{offset} es el voltaje medio de la fuente. Las entrada de este circuito es f_{gain} y el voltaje nominal del reloj clk_v . Además, para que el 0 lógico del reloj tenga un voltaje igual a cero, hay una resistencia *pull-down* justo antes de la salida.

Para comprobar que el componente funciona, a continuación se presenta una simulación rápida. Los valores de las variables para esta simulación son los siguientes:

clk_v	1V
f_{init}	3e3
f_{gain}	3e7
Paso de simulación	1ns
Tiempo de simulación	10ms

TABLA 3.1. PARÁMETROS DE SIMULACIÓN DEL RELOJ DE FRECUENCIA INCREMENTAL

Este es el resultado de la simulación:

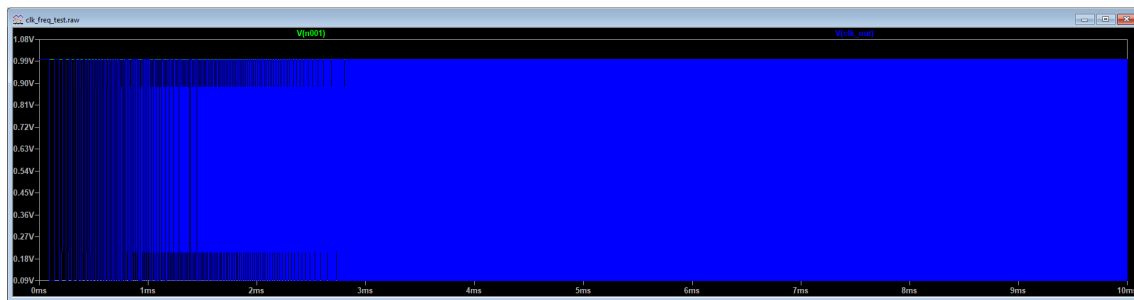


Fig. 3.10. Simulación: Forma de onda del voltaje en la salida clk_out

Se puede observar que la forma de onda del reloj es cuadrada, y va aumentando según pasa el tiempo de simulación. Haciendo zoom en una zona cualquiera, y tomando medidas, podemos calcular la frecuencia de reloj en función de $1/T$:

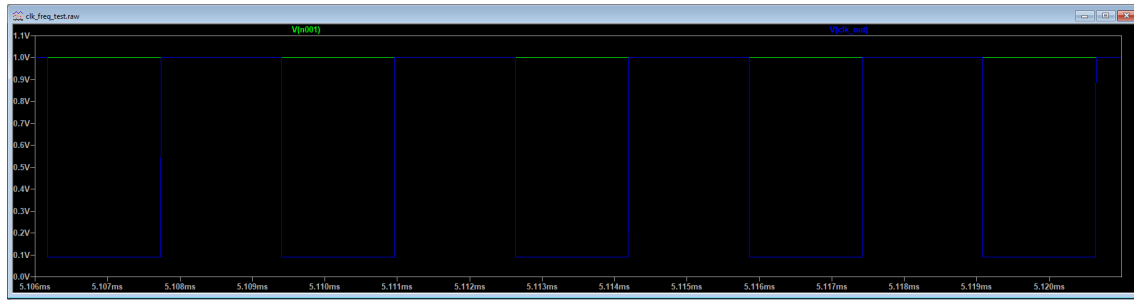


Fig. 3.11. Simulación: zoom en sección de la forma de onda

En esta sección, el periodo es aproximadamente $T = 3,2\mu s$. Las ecuaciones que describen la frecuencia real como la teórica son las siguientes:

$$\begin{aligned} \text{Real : } f &= \frac{1}{3,2e-6} = 312,5kHz \\ \text{Teórico : } time &\approx 5,111e-3 \implies f = (3e3 + 3e7 * time) = 156,3kHz \end{aligned} \quad (3.8)$$

A la vista queda una cierta discrepancia entre valores. Esto se debe a falta de precisión absoluta en la simulación, y a errores en la toma de medidas de manera visual.

Es necesario un método que permita el análisis de los datos de manera programática, y no manual. Ya que LTSpice permite exportar las formas de onda como matriz de puntos x-y, podemos usar Matlab/Octave para el análisis.

Procesado de formas de onda en Matlab/Octave

Partiendo de la matriz de puntos x-y (voltaje-tiempo) de la simulación del apartado anterior, nuestro objetivo es producir una recta frecuencia-tiempo.

Para calcular el periodo en función del tiempo, hacemos una función que guarde el tiempo en que cada periodo comienza, atravesando un threshold, y con el periodo calcularemos su inversa, que es la frecuencia.

Encontramos un problema al analizar el dataset: el paso de simulación es variable, lo que significa que los puntos no están uniformemente espaciados con respecto al tiempo, así que primero debemos limpiar estos datos. Generamos un vector de tiempos con el rango del dataset de simulación, e interpolamos los datos originales para sacar el valor de V que

corresponde a cada tiempo. Esto genera un cierto error de resolución , pero veremos que para nuestro caso es despreciable.

Este es el algoritmo que define el comportamiento del script de procesado:

CÓDIGO 3.1. Código en Matlab/Octave para procesar la forma de onda del reloj de frecuencia variable

```
1  dataset = load(file_name, "-ascii");
2  length_dataset = length(dataset);
3  times_eq_spaced = linspace(0, dataset(end,1), length_dataset);
4  dataset_eq_spaced(:) = interp1(dataset(:,1), dataset(:,2),
    times_eq_spaced);
5  timestamp_periods = [];
6  threshold = 0.8;
7  for i = 2:length(dataset_eq_spaced)
8      if ( dataset_eq_spaced(i) > threshold ) && (
          dataset_eq_spaced(i-1) < threshold )
9          timestamp_periods = [ timestamp_periods; i t(i)
                                dataset_eq_spaced(i) ];
10     end
11 end
12 freqs = [];
13 for i = 1:length(timestamp_periods)
14     if i == 1
15         freqs(i) = ( 1/( timestamp_periods(i,2) - 0 ) );
16     else
17         freqs(i) = ( 1/( timestamp_periods(i,2) -
                                timestamp_periods(i-1,2) ) );
18     end
19 end
20 freqs_ordered = sort(freqs);
21 plot(Tperiods(:,2), freqs_ordered)
```

Este es el resultado del análisis con el dataset de la simulación 3.10:

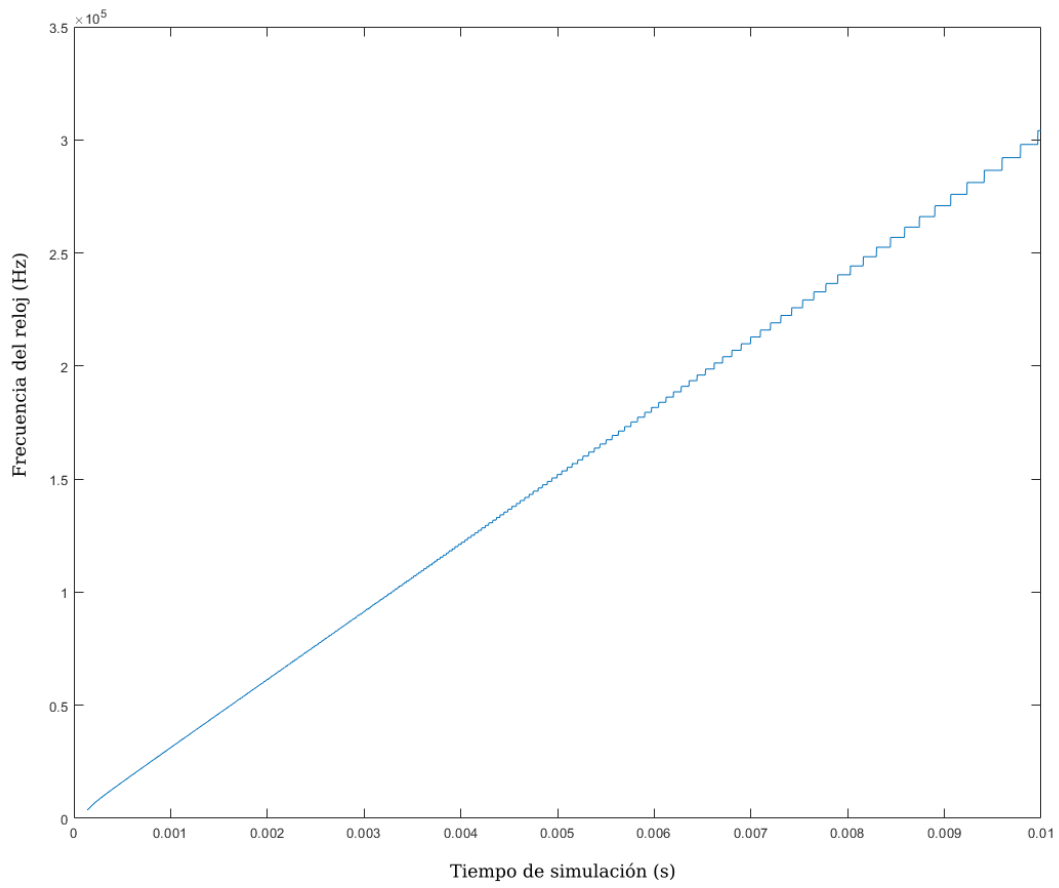


Fig. 3.12. Curva frecuencia-tiempo del reloj de frecuencia variable

Salvo errores de resolución por ser un dataset discreto y finito, la curva coincide con el resultado esperado. Queda demostrado que el reloj de frecuencia variable funciona, y las ecuaciones que describen su comportamiento son las expuestas en 3.8.

Para las demás simulaciones se usarán scripts muy similares, ya que también estaremos analizando ondas cuadradas cuyo parámetro de interés es la frecuencia.

3.3.2. Simulación del DAC por capacidades conmutadas

Este es el esquemático en LTSpice usado para simular el DAC por capacidades conmutadas:

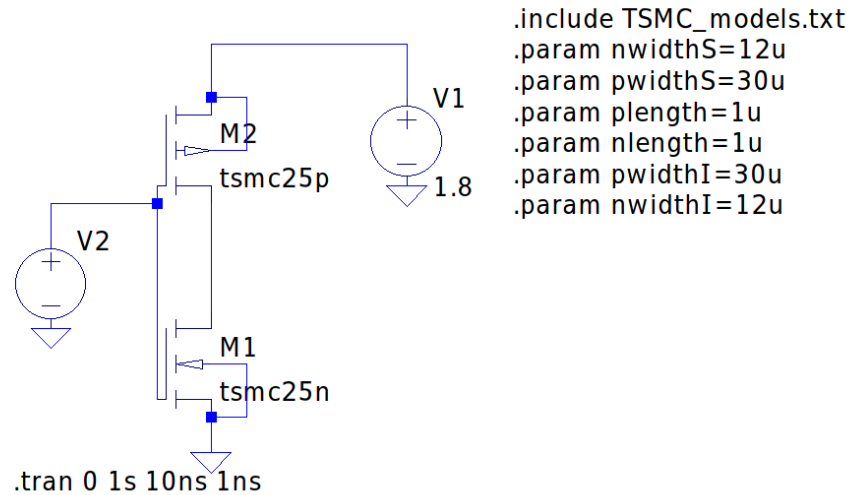


Fig. 3.13. Esquemático en LTSpice del modelo de DAC por capacidades conmutadas

En la esquina superior derecha se reúnen los parámetros básicos de los transistores: sus dimensiones en ancho y largo. Los valores usados se corresponden con El voltaje de referencia escogido, 1.8V,

Añadimos el reloj de frecuencia variable explicado anteriormente:

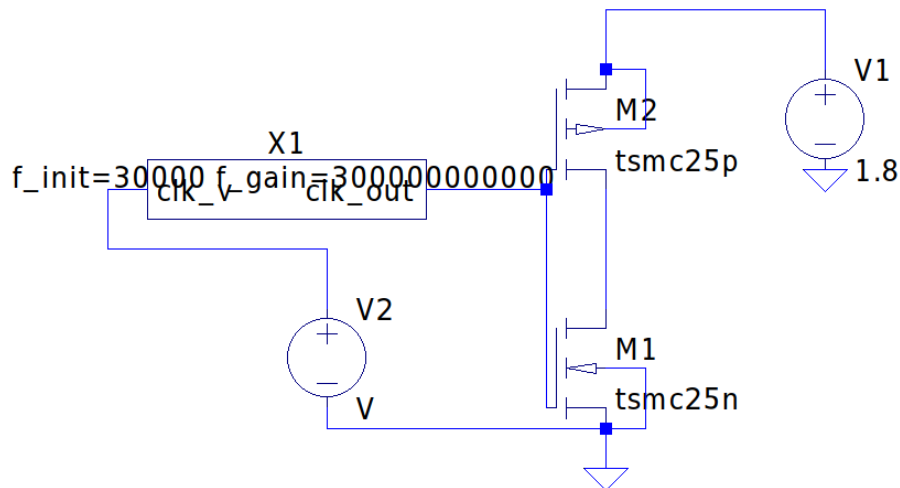


Fig. 3.14. Esquemático del circuito de capacidades conmutadas con reloj de frecuencia variable

Como se puede observar en el esquemático, no se ha incluido un condensador en paralelo a la puerta. Esto es así porque los propios transistores tienen una capacitancia fruto de las corrientes parásitas. Esta capacitancia, presente en el modelo SPICE de los

transistores que estamos usando, es del orden de unos 5 fF, suficiente para el correcto funcionamiento del DAC.

Esta es la forma de onda resultante de la simulación:

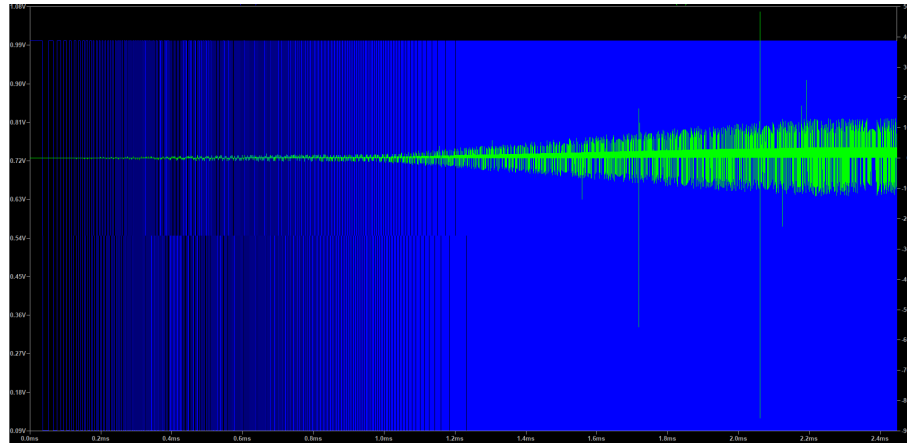


Fig. 3.15. Forma de onda de la simulación del DAC en el esquemático 3.14

La señal azul corresponde al reloj de frecuencia variable, y la señal verde es la corriente que circula por el transistor inferior (canal-n) hacia tierra. Medimos en este punto porque en el lazo de realimentación del VCO conectaremos este nodo donde ahora está la tierra a la señal de entrada.

Para obtener la curva de respuesta de este DAC, debemos analizar la forma de onda para relacionar la frecuencia del reloj con la corriente media. Usamos de nuevo el código del apartado 3.1 para obtener los periodos de la señal del reloj. Para obtener la corriente media en cada periodo, haremos la media de los puntos del vector de corriente normalizado (uniformemente espaciado) entre cada uno de los puntos de comienzo de período.

CÓDIGO 3.2. Código en Matlab/Octave para el cálculo de la corriente media por cada periodo

```
1 means = [];  
2 for i = 1:(length(timestamp_periods))  
3     if i == 1  
4         means(i) = mean(dataset_eq_spaced(1:  
5             timestamp_periods(1,1), 2));  
6     else  
7         means(i) = mean(dataset_eq_spaced(timestamp_periods(  
8             i-1,1):timestamp_periods(i,1), 2));  
9     end
```

Dibujamos la gráfica frecuencia-corriente media:

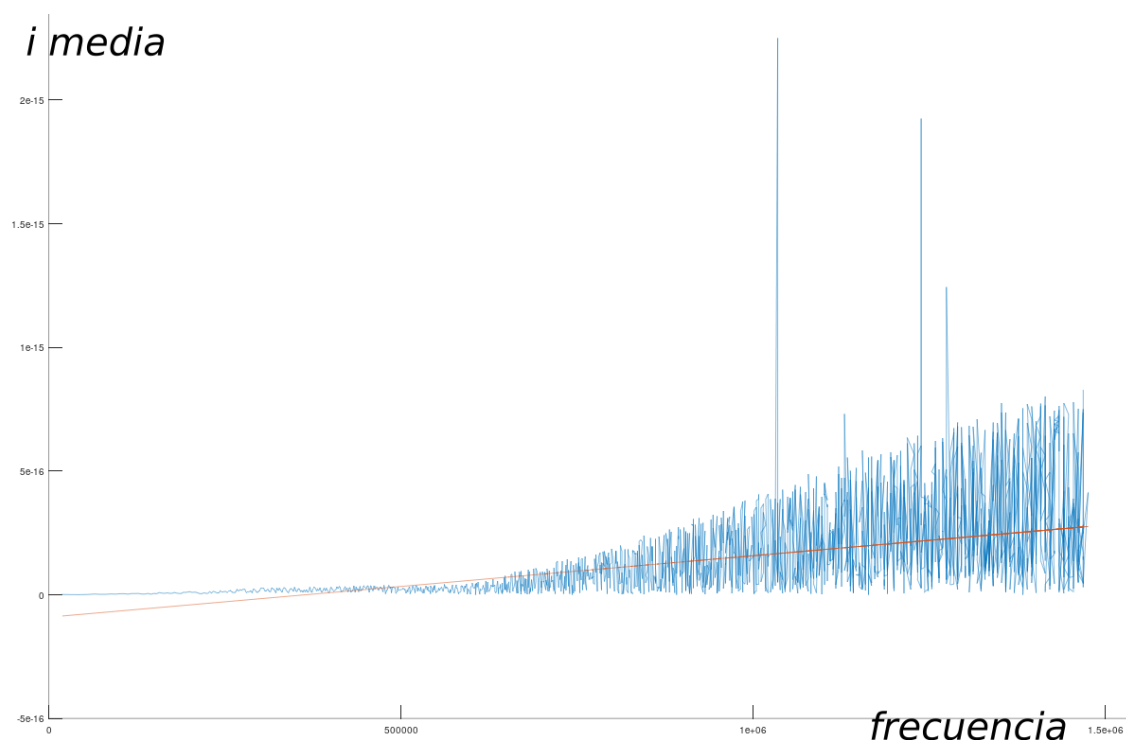


Fig. 3.16. Gráfica frecuencia-corriente media para el DAC

La gráfica azul representa la curva frecuencia-corriente media tal y como se ha procesado con el script expuesto más arriba. En rojo, se ha hecho una regresión lineal de dicha curva. Se puede observar una gran cantidad de ruido en la curva. Esto es así por varios motivos: los ciclos de carga y descarga del condensador (en este caso, capacitancia intrínseca de los transistores) no se simulan correctamente, apareciendo picos de descarga que no se corresponden con la realidad (observar los tres picos de la curva azul). Más allá de esto, la exactitud de la simulación viene de la mano del paso de simulación: a más frecuencia del reloj, menor paso de simulación se necesita para poder muestrear correctamente las señales de interés. Esto supone un problema por limitaciones de hardware: la simulación puede llegar rápidamente a ocupar decenas de gigabytes de memoria RAM, y otros tantos de disco. Las simulaciones expuestas en esta memoria se han llevado a cabo intentando explotar al máximo el hardware disponible para obtener la mayor exactitud posible, pero aún así ha sido inevitable la aparición de ruido como en la gráfica superior.

En cualquier caso, se puede ver una tendencia creciente en las medias. A falta de una capacidad de simulación mejor, y respaldándonos en las ecuaciones 3.7, asumiremos un comportamiento idealmente lineal del DAC por capacidades conmutadas de cara al desarrollo de los siguientes capítulos.

3.3.3. Modelo sencillo de ADC con VCO, abierto

Partiendo del modelo 2.16, montamos el esquemático en LTSpice.

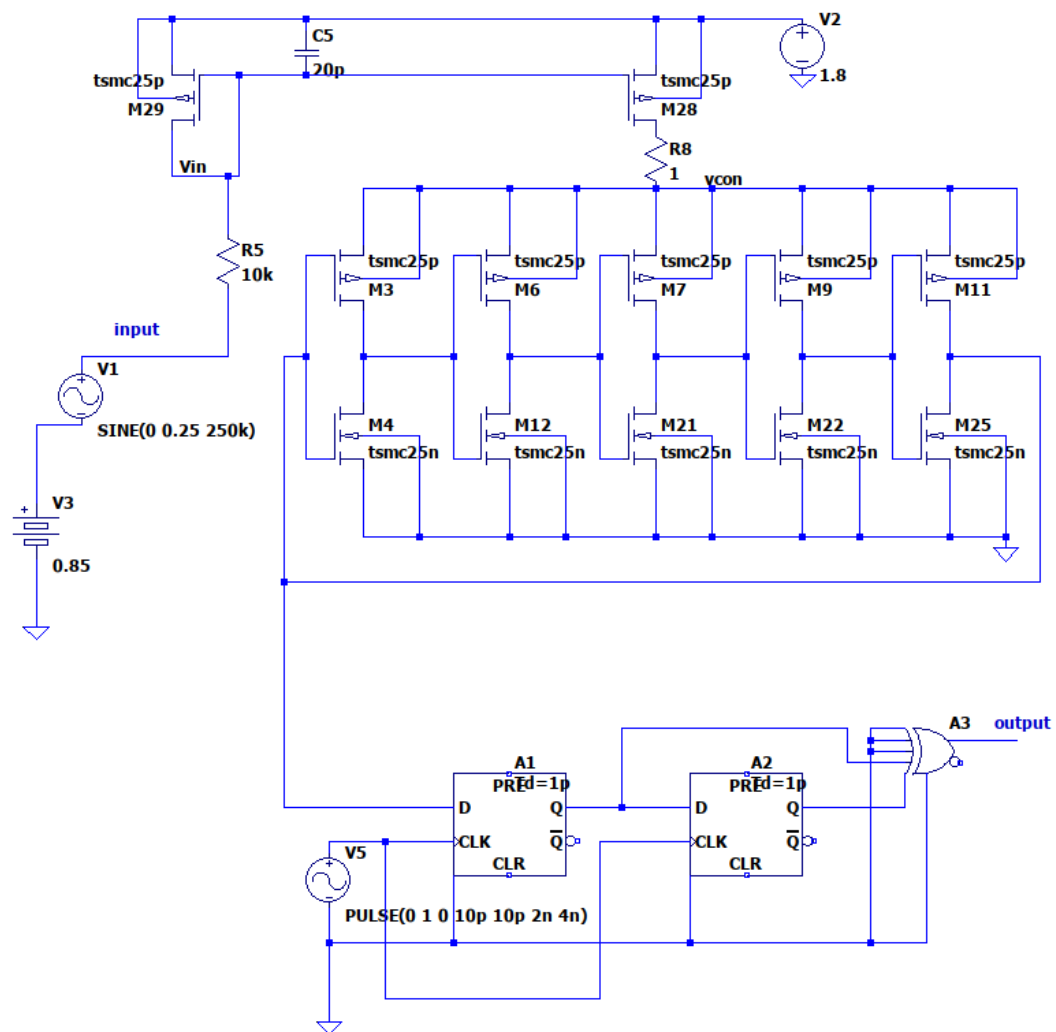


Fig. 3.17. Esquemático del ADC por VCO, abierto

A la izquierda tenemos un generador de señal sinusoidal de 250kHz con offset de 0.85V y amplitud 0.5V. Así se emula las características de las posibles señales a capturar en las aplicaciones a las que va destinado el sistema. En la parte superior, tenemos un

espejo de corriente CMOS, que sirve para acoplar la señal de entrada a la entrada del VCO, actuando como buffer para evitar interacciones entre ambos bloques del sistema. En el centro está el VCO sencillo de cinco puertas, llamadas fases en el caso de un VCO.

Para demodular la señal del VCO (modulada en frecuencia), usamos un circuito de primera diferencia (en la parte inferior del esquemático, tomando la señal entre dos puertas cualquiera del VCO). Esta primera diferencia evalúa la diferencia entre dos señales de salida: una directa (primer flip-flop), y una retrasada un ciclo de reloj (segundo flip-flop). Ambas señales pasan por una puerta XOR para terminar de demodularse. El flujo de pulsos de 1 bit presente en la salida (output) equivale a los flancos de la señal del VCO, muestreados a la frecuencia del reloj conectado a los flip-flops. Así es como se demodula la señal que sale del VCO.

Este es el resultado de la simulación:

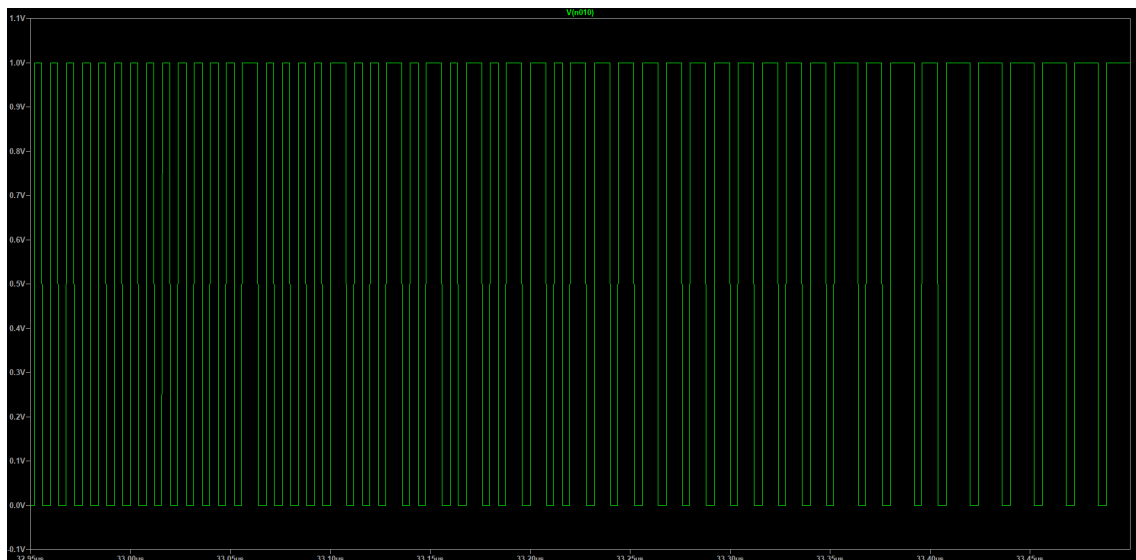


Fig. 3.18. Detalle de la forma de onda de la simulación del VCO abierto

Nótese que se ha escogido un rango cualquiera del total de la simulación, para poder apreciar mejor la forma de onda.

Como se puede observar, la forma de onda en 3.18 es perfectamente cuadrada, ya que se ha sometido a la demodulación por la primera diferencia.

Para analizar el comportamiento del sistema, usaremos la transformada rápida de Fourier. Compararemos el espectro de la señal original con el de la señal de salida ya demodulada.

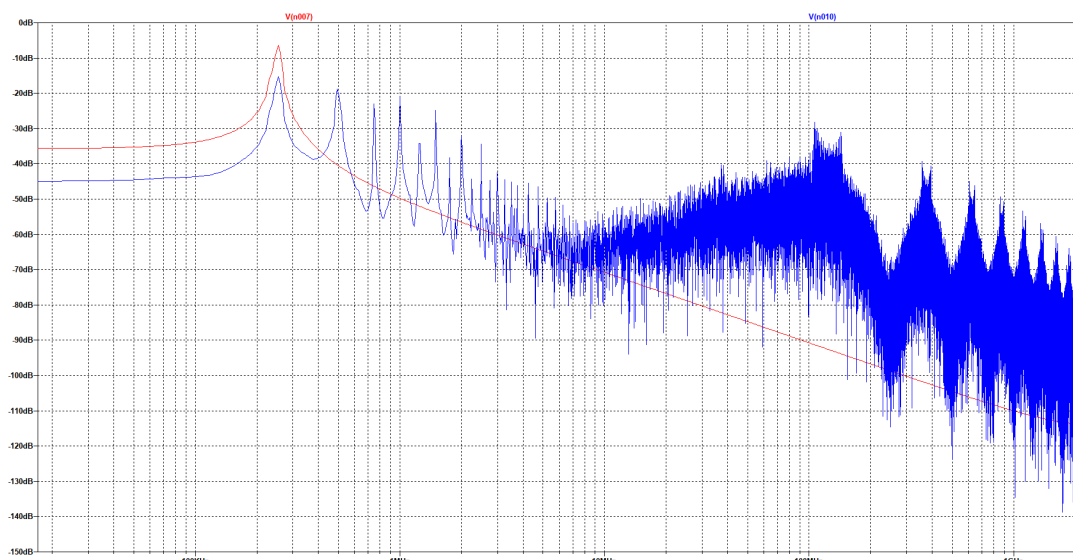


Fig. 3.19. FFT^a de la señal demodulada del VCO abierto

^aFast Fourier Transform, o transformada rápida de Fourier

Para mejorar la visualización, se ha optado por un fondo blanco, con trazos de color rojo para la señal original y color azul para la señal de salida demodulada.

En la FFT 3.19 se puede ver que la señal original ha sido correctamente modulada y demodulada, porque el primer armónico coincide con la frecuencia de la señal original, así como el segundo y tercero con sus múltiplos. El umbral de ruido es alto para frecuencias altas, pero limitando el ancho de banda esto no supone un problema. En los siguientes apartados trataremos de aumentar la ganancia del primer armónico, disminuyendo la de los demás armónicos y el umbral de ruido.

3.3.4. Modelo de ADC por VCO con bucle cerrado

Visto el comportamiento de un VCO en bucle abierto, es el turno de probar cómo se comporta con un bucle de realimentación. Dado que el DAC no invierte la señal de entrada, debemos buscar una solución para hacer negativo el bucle de realimentación. La solución que hemos escogido para llevar esto a cabo es utilizar una estructura pseudodiferencial. Esto quiere decir que replicamos el circuito de VCO, lazo, y primera diferencia. Invertimos la señal de entrada en una de las ramas, para que ambos VCO trabajen con señales opuestas, y cruzamos los lazos de realimentación. Así conseguimos que los lazos de realimentación actúen negativamente sobre sus respectivas entradas.

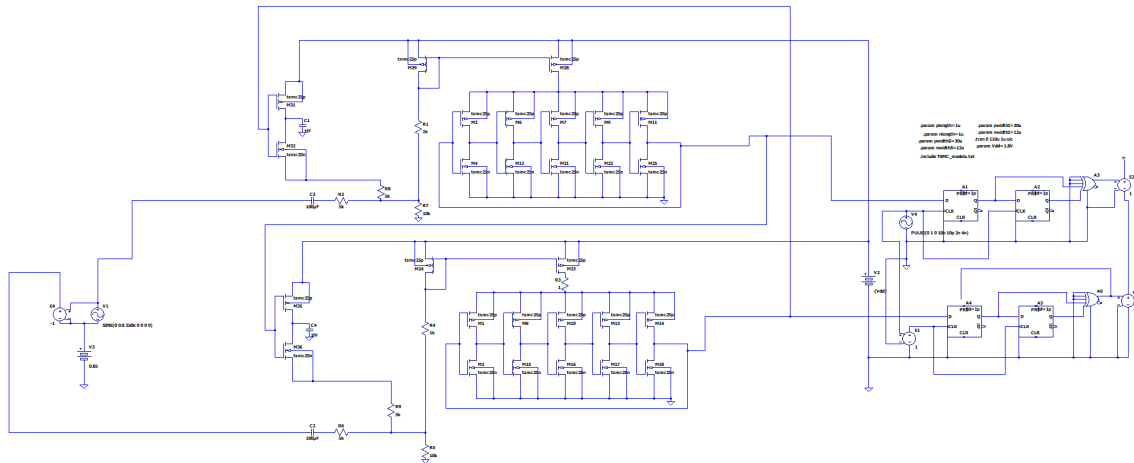


Fig. 3.20. Esquemático del VCO con circuito de primera diferencia

A continuación, se hará un análisis de cada bloque del circuito.

Señal:

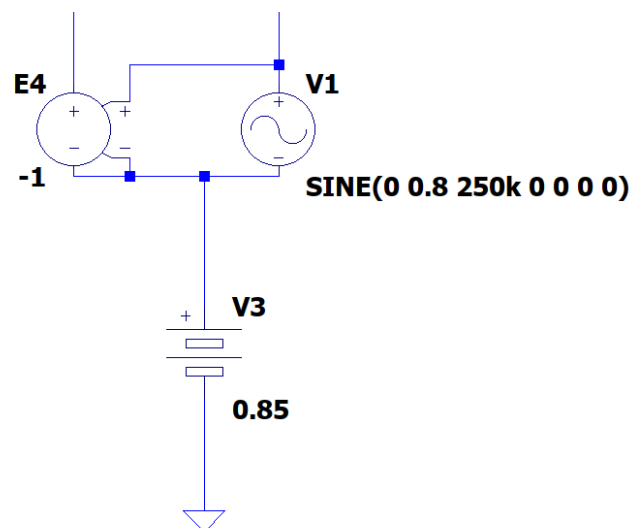


Fig. 3.21. Bloque de la señal del circuito de VCO con lazo cerrado

La señal de entrada del circuito es una señal sinusoidal de 250kHz de frecuencia y amplitud 0.8V con un offset de 0.85V. El offset está presente para evitar que aparezca voltaje negativo en el circuito, que entorpecería el funcionamiento del VCO y del resto de bloques del sistema. Para lograr la estructura pseudodiferencial, usamos un inversor de voltaje ($E4$) sobre la fuente de alterna $V1$. Cada una de las dos ramas superiores abastecerá a cada uno de los dos VCO.

Realimentación y negador:

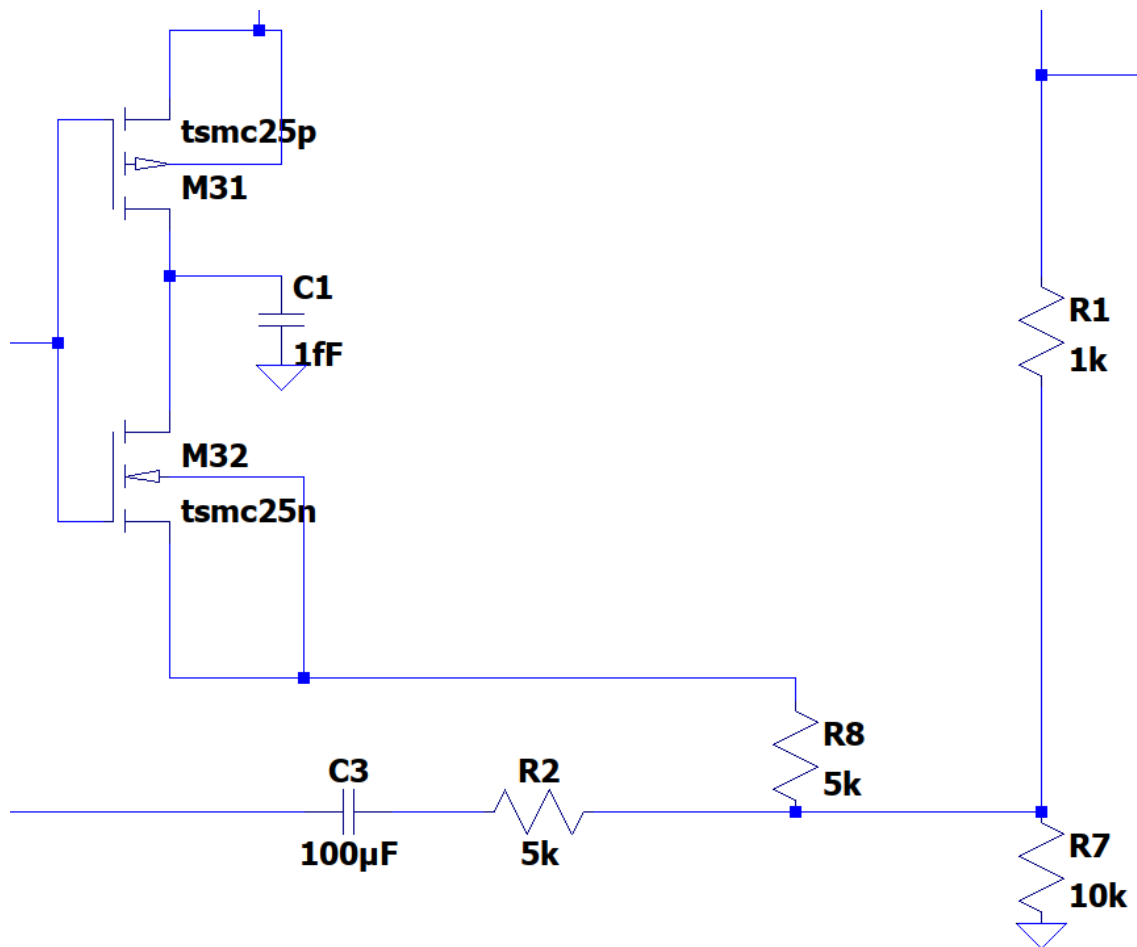


Fig. 3.22. Bloque del lazo de realimentación y del negador del circuito de VCO con lazo cerrado

El bloque anterior conecta con la rama inferior izquierda de este bloque. El condensador aparece para desacoplar la entrada del resto del circuito, y evitar interacciones no deseadas entre los componentes. Las resistencias forman un divisor de voltaje que compone el negador, aunque en principio se trate de un sumador entre la señal de entrada y la del lazo de realimentación de la rama opuesta de la estructura pseudodiferencial. El DAC por capacidades conmutadas aparece en la parte superior izquierda. La señal del DAC entra por su parte izquierda, y viene del VCO opuesto. La alimentación del DAC viene en su parte superior, de valor 1.8V, conectando con la fuente del transistor canal-p. El condensador entre los drenadores de los transistores es el encargado de lograr el efecto de la capacidad conmutada. La salida de este bloque al siguiente aparece en la esquina superior derecha, inmediatamente después del transistor de 1K.

Entrada al VCO:

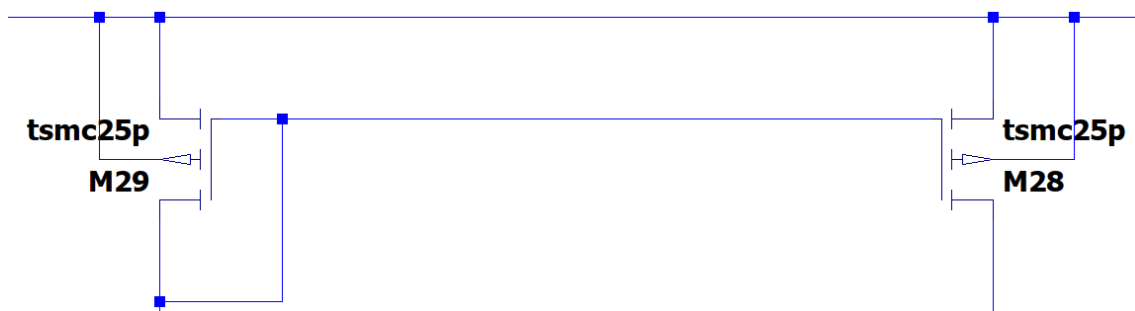


Fig. 3.23. Bloque de la entrada al VCO del circuito de VCO con lazo cerrado

Como buffer antes de la entrada al VCO, escogemos un espejo de corriente formado por dos transistores canal-p. Su función es replicar la corriente de entrada, en la esquina inferior izquierda, por la salida, en la esquina inferior derecha. La alimentación del espejo de corriente viene del rail superior, a un voltaje de alimentación común al sistema, igual al del DAC del bloque anterior, de 1.8V. Este buffer consigue separar la sección de entrada, compuesta por el bloque del negador y DAC de realimentación, del VCO. Así se evitan interacciones no deseadas entre componentes.

VCO:

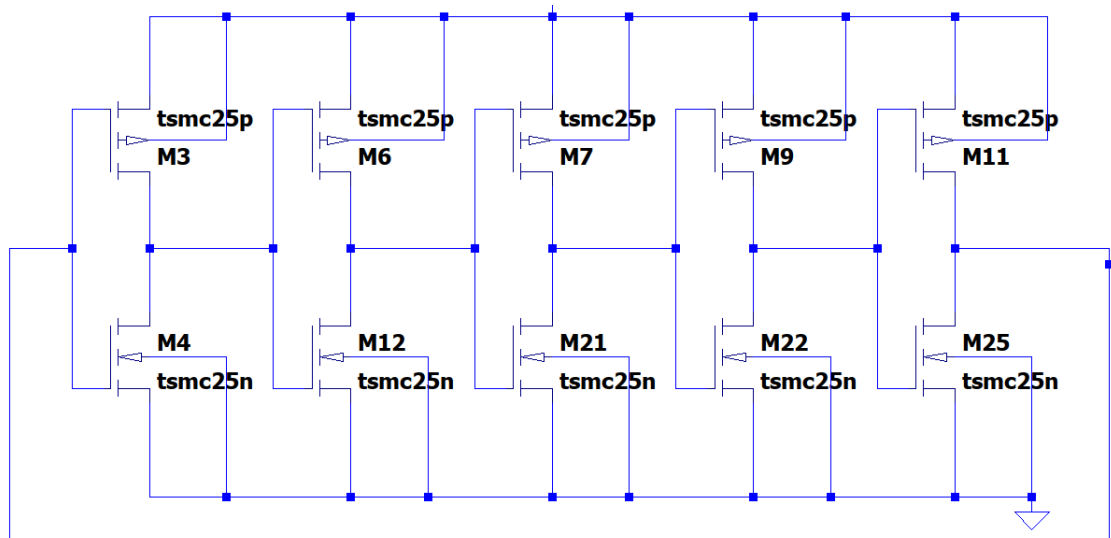


Fig. 3.24. Bloque del VCO del circuito de VCO con lazo cerrado

Conectando con el espejo de corriente, tenemos el VCO. Este bloque ya se ha explicado en apartados anteriores. Tomamos el mismo número de fases que en el modelo de lazo abierto, es decir, cinco fases. La salida de este bloque está en su lado izquierdo, tomando la señal entre dos fases cualesquiera del VCO. Esta salida conecta con el circuito de primera

diferencia, además de con el DAC del lazo de realimentación de la rama opuesta del sistema pseudodiferencial.

Primera diferencia:

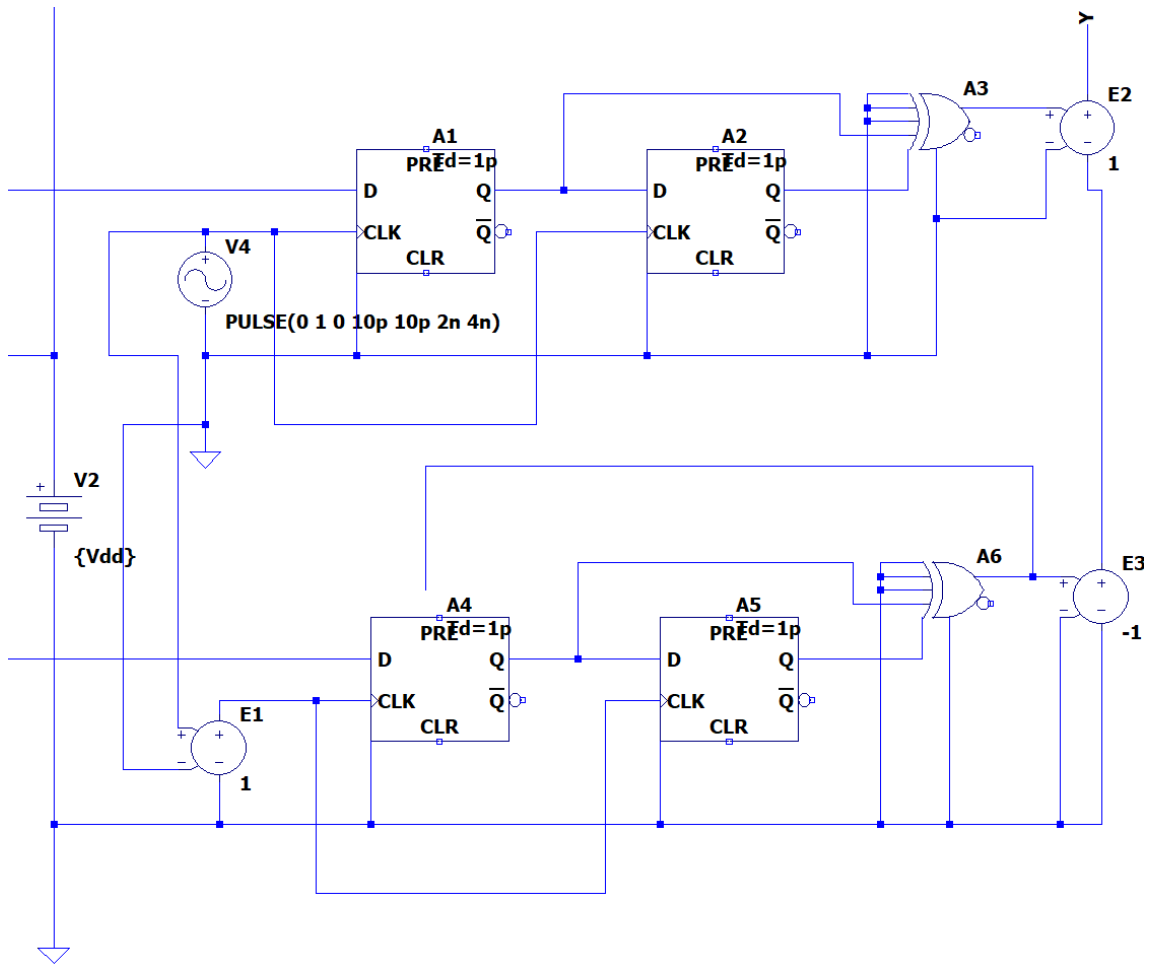


Fig. 3.25. Bloque de la primera diferencia y salida del circuito de VCO con lazo cerrado

Como en la sección anterior, 3.3.4, usamos un circuito de primera diferencia para demodular la señal del VCO. Como se observa en la imagen, y comparado con el circuito usado en el sistema con lazo abierto, 3.17, esta vez se duplican el número de componentes. Cada una de las ramas, conectada al pin *D* de los flip-flops situados a la izquierda, necesita su propio demodulador, con su propio reloj. Como las ramas tienen como entradas señales de igual magnitud pero opuestas, los relojes también deben estar invertidos. El cambio más significativo con respecto al circuito 3.17 es la inclusión de dos seguidores de tensión, *E1* y *E2*, que se encargan de sumar las ramas, previa inversión de una de ellas, para compensar el desfase de la señal original. El resultado de todo el sistema aparece en la señal de salida *Y*, en la esquina superior izquierda. Es en este pin *Y* donde mediremos los resultados en

los siguientes apartados.

Nótese también que en 3.25 aparece también la alimentación general del sistema, V_{dd} , que abaste al espejo de corriente y al DAC.

Una vez explicados todos los elementos del sistema, procedemos a simular con los parámetros de entrada explicados en su correspondiente bloque.

Este es el resultado de la simulación:

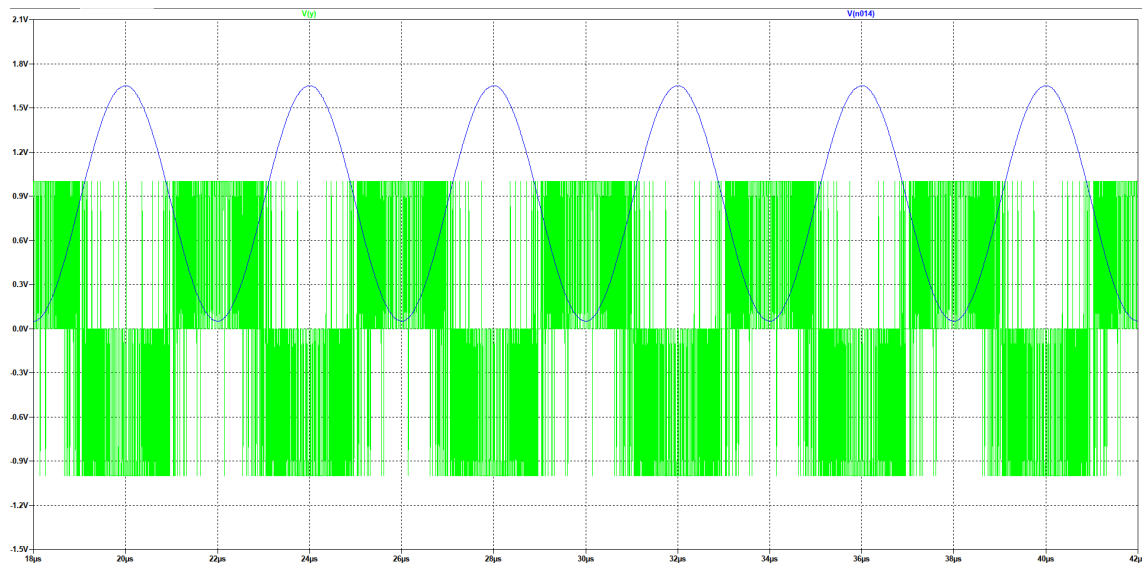


Fig. 3.26. Forma de onda de la simulación del VCO con lazo de realimentación cruzado

En azul, tenemos la señal sinusoidal de entrada del sistema. En verde, la salida Y final demodulada.

Para apreciar mejor el detalle de la onda, ampliamos en una sección cualquiera.

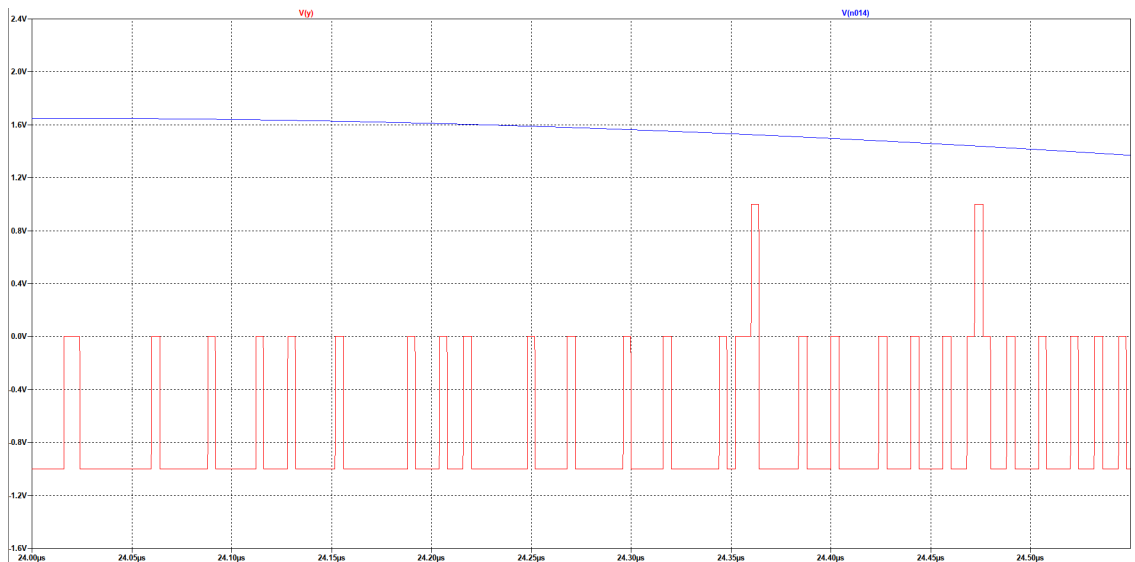


Fig. 3.27. Detalle de la forma de onda 3.26

Nótese que la señal de salida Y se ha cambiado a color rojo para crear más contraste con el fondo y facilitar su lectura. La señal sinusoidal de entrada mantiene su color azul.

El resultado de la modulación y demodulación de la señal se puede ver en la transformada rápida de Fourier:

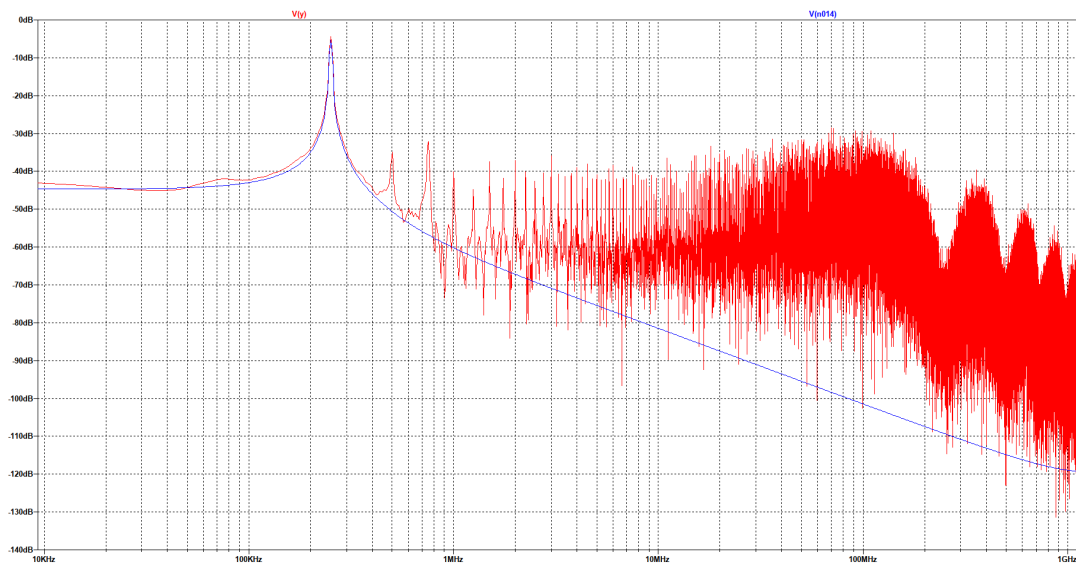


Fig. 3.28. FFT de la forma de onda 3.26

En rojo, tenemos la señal final demodulada Y . En azul, tenemos la señal original que entra al sistema. Como se puede observar, hasta el armónico principal la diferencia entre la señal original y la digitalizada es mínima. A partir de este primer pico, aparecen armónicos

secundarios, y apartir de 1MHz, aparece una fuerte distorsión. Esta distorsión es fruto de todo el proceso de cuantificación. Corresponde al término $Q(s)$ en las ecuaciones 3.2.

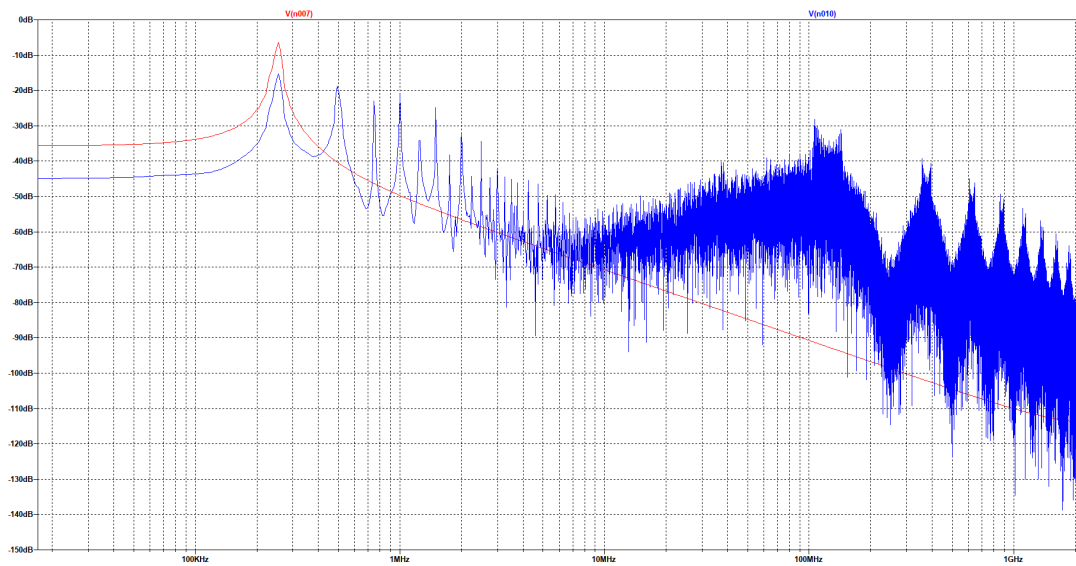


Fig. 3.29. FFT^a de la señal demodulada del VCO abierto

^aFast Fourier Transform, o transformada rápida de Fourier

4. CONCLUSIONES (?)

5. ENTORNO SOCIOECONÓMICO (?)

6. PRESUPUESTO / PLANIFICACIÓN / PROCESO (?)

BIBLIOGRAFÍA

- [1] G. E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol. 38, n.º 8, 1965.
- [2] T. C. Carusone, D. A. Johns y K. W. Martin, *Analog Integrated Circuit Design*, 2.ª ed. John Wiley & Sons, Inc., 2012.
- [3] *Nanowatt Logic Using Field-Effect Metal. Oxide Semiconductor Triodes*, 3, Palo Alto, California, 1963, pp. 32-33.
- [4] H. Nyquist, “Certain topics in telegraph transmission theory,” *Transactions of the American Institute of Electrical Engineers*, vol. 47, n.º 2, 1928.
- [5] C. E. Shannon, “Communication in the presence of noise,” *Proceedings of the Institute of Radio Engineers*, vol. 37, 1949.
- [6] E. G. Fernández, “Oversampled Analog-To-Digital Converter Architectures Based On Pulse Frequency Modulation,” Tesis doct., Universidad Carlos III de Madrid, 2017.
- [7] S. W. Smith, *The Scientist and Engineer’s Guide to Digital Signal Processing*, 2.ª ed. California Technical Publishing, 1999.
- [8] J. M. de la Rosa, *Sigma-delta converters : practical design guide*, 2.ª ed. John Wiley & Sons Ltd, 2018.
- [9] T. Kite, “Understanding PDM Digital Audio,” Audio Precision, Inc., inf. téc., 2012. [En línea]. Disponible en: http://users.ece.utexas.edu/~bevans/courses/realtime/lectures/10_Data_Conversion/AP_Understanding_PDM_Digital_Audio.pdf.
- [10] R. Garvi, L. M. Alvero-Gonzalez, C. Perez, E. Gutierrez y L. Hernandez, “VCO-ADC linearization by switched capacitor frequency-to-current conversion,” Universidad Carlos III de Madrid.
- [11] X. Xing y G. G. E. Gielen, “A 42 fJ/Step-FoM Two-Step VCO-Based Delta-Sigma ADC in 40 nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 50, n.º 3, pp. 714-723, mar. de 2015.