

Grado en Ingeniería en Tecnologías Industriales

2019-2020 *Trabajo de Fin de Grado*

# LINEALIZACIÓN DE OSCILADOR EN ANILLO CONTROLADO POR TENSIÓN MEDIANTE CAPACIDADES CONMUTADAS

---

Roberto Uceda Gómez

Tutor: Eric Gutiérrez Fernández  
Leganés, a 23 de octubre de 2020



Esta obra se encuentra sujeta a la licencia Creative Commons

**Reconocimiento - No Comercial - Sin Obra Derivada**



## **RESUMEN**

En este trabajo se desarrolla un estudio cuyo objetivo es encontrar una manera de linealizar el comportamiento de una nueva arquitectura de ADC basado en VCO en anillo, sin necesidad del uso de amplificador operacional, como se ha hecho hasta ahora. La solución propuesta es el uso un lazo de realimentación negativa, con un DAC de un bit basado en capacidades conmutadas y una estructura pseudodiferencial, con un demodulador de primera diferencia. Tras el estudio matemático del sistema, se realizarán diferentes simulaciones, comparando las prestaciones de esta arquitectura realimentada respecto a la arquitectura en lazo abierto. Vista una clara mejora, pero aún lejos de ser esta solución perfecta, se discutirán soluciones alternativas y futuras vías por las continuar desarrollando este estudio. En último lugar, se presentará un prototipo funcional construido sobre placa de prototipado.

**Palabras clave:** Microelectrónica, ADC-VCO, Oscilador en anillo, Conversión Analógico-Digital, CMOS

## **ABSTRACT**

This document has the main objective of presenting and developing a way to linealize a new architecture of ring oscillator-based, VCO ADC, without the need of an operational amplifier, as was common until now. The proposed solution employs a feedback loop, with a one-bit DAC based on switched capacities, and a pseudodifferential structure, with a first difference demodulator. After a mathematical analysis of the system, simulations will be done, comparing the performance of this solution as compared to the open loop architecture. Seeing a clear improvement, but still far from getting perfect results, there will be a discussion of alternate solutions and future ways of continuing this study. Ultimately, a functional, breadboard-based prototype will be displayed, with its corresponding tests.

**Keywords:** Microelectronics, ADC-VCO, Ring Oscillator, Analog to Digital Conversion, CMOS



## **DEDICATORIA**

*A Rubén, Jose, Celia.*

*A Guillermo, Nuria, Juan, Sergio, Paula, Jaime, Bruno, Ana, Pedro, María. A todos.*



## ÍNDICE GENERAL

1. INTRODUCCIÓN. . . . .	1
1.1. Motivación del trabajo . . . . .	1
1.2. Objetivos . . . . .	3
1.3. Impacto . . . . .	3
1.4. Marco regulador . . . . .	4
1.5. Esquema de este documento . . . . .	5
2. ESTADO DEL ARTE. . . . .	7
2.1. Transistores MOS . . . . .	7
2.2. Tecnología CMOS . . . . .	9
2.3. Conversión analógico-digital . . . . .	10
2.4. Arquitecturas de ADC actuales . . . . .	12
2.5. Modulación sigma-delta en ADCs . . . . .	13
2.6. VCO en anillo . . . . .	15
2.7. Osciladores en anillo en ADCs . . . . .	19
2.7.1. Como parte de arquitecturas ya existentes . . . . .	19
2.7.2. Arquitecturas con solo oscilador en anillo . . . . .	20
3. PROPUESTA REALIZADA . . . . .	22
3.1. Idea inicial . . . . .	22
3.2. Análisis matemático del VCO con realimentación negativa . . . . .	23
3.2.1. Lazo de realimentación por capacidades conmutadas. . . . .	24
3.3. Simulaciones del modelo . . . . .	29
3.3.1. Herramientas de simulación. . . . .	29
3.3.2. Simulación del DAC por capacidades conmutadas . . . . .	33



3.3.3. Modelo sencillo de ADC con VCO, abierto . . . . .	37
3.3.4. Modelo de ADC por VCO con bucle cerrado . . . . .	39
3.4. Soluciones alternativas. . . . .	46
4. PROTOTIPO REAL. . . . .	50
5. CONCLUSIONES Y DISCUSIÓN . . . . .	54
6. PRESUPUESTO. . . . .	56
BIBLIOGRAFÍA . . . . .	57



## ÍNDICE DE FIGURAS

2.1	Corte de transistor MOSFET . . . . .	7
2.2	Transistor MOS, canal-p . . . . .	8
2.3	Transistor MOS, canal-n . . . . .	8
2.4	Inversor CMOS . . . . .	9
2.5	Señal analógica a digital . . . . .	10
2.6	ADC de conversión directa tipo flash . . . . .	12
2.7	ADC integrador de doble rampa . . . . .	13
2.8	Bloques de un modulador $\Sigma\Delta$ . . . . .	13
2.9	Modulación $\Sigma\Delta$ de una señal de 1.5kHz . . . . .	14
2.10	Integradores por opamp (a) y por transconductancia (b) . . . . .	15
2.11	Símbolo y tabla de verdad de una puerta inversora . . . . .	16
2.12	Esquemático de una puerta inversora con transistores MOS . . . . .	16
2.13	VCO compuesto por 5 puertas inversoras . . . . .	17
2.14	Esquemático de un VCO . . . . .	17
2.15	Modulador $\Sigma\Delta$ con un VCO . . . . .	19
2.16	ADC con VCO en bucle abierto . . . . .	20
2.17	Sistema con bucle abierto . . . . .	20
3.1	ADC con VCO en bucle abierto, diagrama de bloques . . . . .	23
3.2	Desarrollo de la función de transferencia del VCO con lazo cerrado . . . . .	23
3.3	Esquemático de circuito de capacidades conmutadas . . . . .	25
3.4	Diagrama de circuito de capacidades conmutadas . . . . .	26
3.5	Diagrama para $\Phi = 1$ . . . . .	26

3.6	Diagrama para $\Phi = 0$ . . . . .	27
3.7	Ecuaciones de corriente de salida en función de la frecuencia para el el DAC por capacidades conmutadas . . . . .	27
3.8	Diagrama de bloques del sistema de impedancias equivalente . . . . .	28
3.9	Esquemático de reloj con frecuencia incremental . . . . .	29
3.10	Simulación: Forma de onda del voltaje en la salida clk_out . . . . .	30
3.11	Simulación: zoom en sección de la forma de onda . . . . .	31
3.12	Curva frecuencia-tiempo del reloj de frecuencia variable . . . . .	33
3.13	Esquemático en LTSpice del modelo de DAC por capacidades conmutadas	34
3.14	Esquemático del circuito de capacidades conmutadas con reloj de frecuen- cia variable . . . . .	34
3.15	Forma de onda de la simulación del DAC en el esquemático 3.14 . . . . .	35
3.16	Gráfica frecuencia-corriente media para el DAC . . . . .	36
3.17	Esquemático del ADC por VCO, abierto . . . . .	37
3.18	Detalle de la forma de onda de la simulación del VCO abierto . . . . .	38
3.19	FFT de la señal demodulada del VCO abierto . . . . .	39
3.20	Esquemático del VCO con circuito de primera diferencia . . . . .	40
3.21	Bloque de la señal del circuito de VCO con lazo cerrado . . . . .	40
3.22	Bloque del lazo de realimentación y del negador del circuito de VCO con lazo cerrado . . . . .	41
3.23	Bloque de la entrada al VCO del circuito de VCO con lazo cerrado . . . . .	42
3.24	Bloque del VCO del circuito de VCO con lazo cerrado . . . . .	42
3.25	Bloque de la primera diferencia y salida del circuito de VCO con lazo cerrado . . . . .	43
3.26	Forma de onda de la simulación del VCO con lazo de realimentación cruzado	44
3.27	Detalle de la forma de onda 3.26 . . . . .	45

3.28	FFT de la forma de onda 3.26 . . . . .	45
3.29	Bloque de alimentación modificado con amplificador operacional . . . . .	47
3.30	Forma de onda de la simulación del VCO con amplificador operacional en el lazo de realimentación . . . . .	48
3.31	FFT de la forma de onda 3.30 . . . . .	48
4.1	Prototipo del ADC VCO, placa completa . . . . .	51
4.2	Señal adquirida en osciloscopio I . . . . .	52
4.3	Señal adquirida en osciloscopio II . . . . .	52



## ÍNDICE DE TABLAS

1	Lista de abreviaturas . . . . .	xvii
2.1	Regiones de funcionamiento de un transistor MOS canal-n . . . . .	8
2.2	Estado de los transistores del inversor en función de la señal de entrada . .	17
3.1	Parámetros de simulación del reloj de frecuencia incremental . . . . .	30
6.1	Presupuesto general . . . . .	56
6.2	Presupuesto del prototipo, desagregado . . . . .	56





## LISTA DE ABREVIATURAS

<b>ADC</b>	Analog to Digital Converter, Convertidor Analógico a Digital
<b>CMOS</b>	Complimentary Metal-Oxide Semiconductor
<b>DAC</b>	Digital to Analog Converter, Convertidor Digital a Analógico
<b>MOSFET</b>	Metal Oxide Semiconductor Field Effect Transistor, también llamados transistores MOS
<b>PFM</b>	Pulse Frequency Modulation, Modulación en Frecuencia de Pulsos
<b>SNR</b>	Signal to Noise Ratio, Ratio señal-ruido
<b>VCO</b>	Voltage Controlled Oscillator, Oscilador Controlado por Voltaje

TABLA 1. LISTA DE ABREVIATURAS



# 1. INTRODUCCIÓN

Los ADC<sup>1</sup> son omnipresentes en nuestro día a día. Sin ellos, no sería posible realizar una llamada con un teléfono móvil, disfrutar de un sistema de climatización en nuestro hogar o utilizar el control de crucero en nuestro coche. El objetivo de estos importantes bloques de la electrónica es convertir señales físicas, como ondas electromagnéticas, temperatura ambiente o la posición de un eje, en señales digitales interpretables por un sistema basado en la electrónica digital. Una vez se tienen estas señales, normalmente compuestas por un flujo de bits, pueden ser procesadas por un microcontrolador para después tomar las decisiones necesarias para conseguir el objetivo deseado, como activar el compresor del aire acondicionado si la temperatura sube de cierto límite preestablecido.

Cada día que pasa aumenta la demanda de aparatos más rápidos, compactos y eficientes. Por regla general, la miniaturización de la electrónica tiene un impacto positivo en estos criterios. Los transistores son los componentes fundamentales de los circuitos integrados. Estos transistores aumentan su eficiencia energética según disminuye su tamaño, además de permitir mayores frecuencias de operación. Por esto, existe un gran incentivo en la búsqueda de arquitecturas y técnicas de fabricación que permitan transistores más pequeños.

La ley de Moore ayuda a poner un poco de contexto histórico a esta carrera por la disminución de los transistores. Gordon Moore anunció en 1965 una tendencia en la, por aquel entonces emergente, industria de la electrónica: cada dos años se duplicaba la cantidad de componentes presente en un circuito integrado en la misma superficie [1]. A más componentes, mayor poder de procesamiento, pero también mayor coste de fabricación por la complejidad y delicadeza requerida en los procesos.

## 1.1. Motivación del trabajo

Debido a las altas velocidades de reloj y los requisitos de consumo y fabricación (espacio ocupado, número de componentes, reducción del tamaño de los transistores), los ADC usados actualmente presentan problemas. Los ADC basados en la arquitectura sigma

---

<sup>1</sup> Analog to Digital Converter. En español, Convertidor Analógico a Digital

delta, los más comunes en aplicaciones de bajo ancho de banda y alta resolución (audio, sensores biométricos y de alta precisión), requieren de un integrador. Estos integradores normalmente trabajan en el ámbito analógico y la gran mayoría usan un amplificador operacional, con gran número de componentes y alto consumo.

Con las tecnologías de fabricación actuales, se consiguen transistores de tamaños diminutos, con buen tiempo de respuesta y bajo consumo en aplicaciones digitales, pero efectos adversos en aplicaciones analógicas. Algunos de estos efectos son la degradación de la señal por efectos cuánticos y defectos en la fabricación (el tamaño nominal de un transistor CMOS de tecnología puntera es entre un cuarto y una décima parte la longitud de onda de la luz ultravioleta usada en litografía), altas corrientes parásitas por el bajo tamaño de la puerta del transistor y limitaciones en la simulación de sistemas por la alta densidad y complejidad en los microchips actuales. Otro efecto negativo que tiene la miniaturización en el diseño de microcircuitos es la falta de escalabilidad de la tensión de corte de los MOSFET. Mientras que la tensión de alimentación baja con el tamaño, la de corte no lo hace en la misma medida, haciendo más difícil el diseño de estructuras de alta ganancia, como los amplificadores operacionales, que requieren de suficiente diferencia entre ambas tensiones.

Además, a pesar de que el consumo individual de los transistores disminuye al reducirse su tamaño, lo hace de manera lineal, mientras que su incremento en número por unidad de superficie crece de manera cuadrática. Esto provoca un gran problema en cuanto a disipación térmica, de manera que aumentar el número de componentes en circuitos integrados no es una solución en ciertos casos en que no pueda gestionarse correctamente el calor generado, como en sistemas embebidos y aplicaciones de muy bajo consumo, como dispositivos del IoT<sup>2</sup>.

Los ADC basados en VCO actuales necesitan una compensación de linealidad mediante circuitería digital, que termina ocupando la mayor parte de la superficie del chip. Este trabajo se centra en la búsqueda de una nueva arquitectura usando un VCO tanto como integrador como cuantificador, que permita ahorrar la necesidad de circuitos de compensación y circuitos analógicos complejos (amplificadores operacionales), manteniendo o mejorando el comportamiento lineal, la resolución y el ancho de banda de las arquitecturas

---

<sup>2</sup>Internet of Things. En español: Internet de las Cosas

ya existentes.

## 1.2. Objetivos

El grueso de este trabajo se desarrolla en el plano teórico. El primer paso es realizar un estudio de las arquitecturas de ADC ya existentes, centrándose en aquellas que emplean VCOs en anillo. A partir de este estudio, se estudiará la viabilidad de varias ideas de diferentes publicaciones que aún no han sido implementadas. Para esto, se utilizarán herramientas de simulación basadas en SPICE<sup>3</sup>. Una vez probada la efectividad de la arquitectura, la siguiente tarea será montar un circuito con componentes discretos sobre protoboard, medir los parámetros de funcionamiento y así dejar demostrada la factibilidad de la arquitectura. También quedarán claros los pasos siguientes de cara a continuar esta investigación, con el objetivo final de ofrecer una solución ventajosa y económicamente viable que pueda ser integrada en dispositivos en el mercado.

## 1.3. Impacto

Medir el impacto social y económico de un trabajo de naturaleza teórica como el presente no es fácil. El fruto de esta investigación es una mejora, en ocasiones marginal, sobre tecnologías ya existentes. A pesar de ello, estos pequeños avances, vistos desde una perspectiva macroscópica y no granular, permiten el progreso de industrias, mercados y servicios que hace apenas un siglo serían impensables.

Un ejemplo visible del impacto de la miniaturización de componentes como ADCs está en la enorme popularidad de la que gozan actualmente los *wearables*, como por ejemplo, los relojes inteligentes. Hace apenas dos décadas, era difícil pensar que un reloj de pulsera tendría la capacidad de avisar a los servicios de emergencia si detectara un paro cardíaco. Hoy en día, tecnologías biomédicas como esta están al alcance del público general. Esto no sería posible sin los avances en eficiencia, miniaturización, precisión, fiabilidad y coste de dispositivos microelectrónicos.

Desde el punto de vista corporativo, una reducción de costes de diseño y producción

---

<sup>3</sup>*Simulation Program with Integrated Circuits Emphasis*. En español, *Programa de simulación con énfasis en circuitos integrados*

supone una mejora directa en el margen de beneficio y ofrece la posibilidad de alcanzar un precio altamente competitivo en el mercado, lo que a su vez, y gracias a las economías de escala, permite reducir en mayor medida los costes de producción. Esta mejora continua, sumada a la eficiente optimización del sistema, forman parte del *Lean Manufacturing*, método imprescindible para la mejora del sistema de producción.

Desde un punto de vista social, la reducción del precio de cara al consumidor permite a un público mayor tener acceso a los servicios que brindan estas nuevas tecnologías. Un ejemplo de beneficio social directo de los *wearables* es la posibilidad de monitorizar constantemente pacientes con cardiopatías o condiciones como la epilepsia. La reducción de costes de estas tecnologías, y por ende su precio en el mercado, permiten que un amplio rango de la población, si no toda, pueda tener acceso a estos aparatos que, en muchas ocasiones, pueden suponer la diferencia entre la vida y la muerte.

#### **1.4. Marco regulador**

Este documento trata una labor de investigación puramente teórica, sin un marco legal directamente aplicable. Partiendo del impacto socioeconómico (apartado 1.3), sí es posible comentar qué repercusiones existen a raíz de las innovaciones que permiten la proliferación de dispositivos del Internet of Things.

El Internet of Things propone la adopción de redes de pequeños sistemas de adquisición de datos, conectados entre ellos y a internet. Electrodomésticos, domótica, *wearables*, autómatas industriales, transportes personales y colectivos, infraestructura urbana, incluso aplicaciones militares: el IoT promete conectar todos estos dispositivos individuales para intercambiar información entre ellos. En el caso de la domótica, por ejemplo, una petición a un servicio web del tiempo atmosférico haría posible que las persianas y toldos se recogieran solos en caso de que se acercara una fuerte borrasca, para evitar daños por viento. En cuanto a los automóviles, una conexión entre sus ordenadores de abordo permitiría compartir información del estado del pavimento o de la densidad de tráfico, para que el navegador recomendara una ruta más óptima al destino deseado. La tecnología que hace esto posible se asienta sobre los sistemas embebidos y la microelectrónica: en unos años la arquitectura propuesta en esta memoria podría formar parte de uno de los adaptadores wifi con los que se conecta al router uno de los sensores domóticos o podría

ser parte del sistema de medición del terreno integrado en los amortiguadores del coche.

Es innegable el potencial de esta tecnología de ofrecer un servicio práctico y conveniente, pero la generación y manipulación de cantidades desorbitadas de información supone un riesgo si no se regula. En los últimos años, han salido a la luz numerosos escándalos de violación de privacidad a manos de grandes empresas del sector online.

En la última década, la Unión Europea ha tomado importantes medidas relacionadas con la privacidad y protección de datos, culminando en la General Data Protection Regulation<sup>4</sup> (o GDPR), propuesta en 2016 y en vigor desde 2018. Esta ley europea unifica las leyes relevantes de cada uno de los estados miembros, dando un marco legal al derecho a la privacidad y la intimidad a nivel de toda la Unión Europea. La GDPR impone, entre otros, la necesidad de proteger la información de las personas físicas que acceden al servicio en cuestión, como negocios físicos o páginas web; la obligación de ofrecer herramientas que permitan a los usuarios de los servicios ver, modificar o eliminar toda la información relacionada con ellos de la que se disponga e incluso informar a los usuarios de qué usos se da a los datos recopilados, tanto del propio servicio como de terceros con los que se pueda compartir dicha información.

La GDPR ha supuesto un importante precedente a nivel mundial en la regulación de la protección de datos. Es de esperar que a lo largo de los próximos años proliferen iniciativas como esta más allá de la Unión Europea. Pero, a pesar de esta actualización de las leyes a los nuevos paradigmas que brinda el ciberespacio, los avances en tecnología, como el IoT, siempre son más rápidos que la publicación de leyes y regulaciones. Para mantener los derechos de los usuarios y de la población en general, leyes como la GDPR deben estar en constante movimiento, adaptándose a los vertiginosos cambios que se dan en nuestro día a día gracias a los avances tecnológicos.

## **1.5. Esquema de este documento**

Este documento sigue los pasos marcados en los objetivos de manera cronológica.

En la introducción se expone un contexto general del problema que este trabajo trata de resolver.

---

<sup>4</sup>Disponible en <http://data.europa.eu/eli/reg/2016/679/oj>

En el capítulo segundo, *Estado del Arte*, se habla de la base sobre la que se parte en la investigación: tecnologías presentes, alternativas actuales a la solución propuesta y análisis del elemento fundamental de la arquitectura protagonista: el VCO en anillo.

En el capítulo tercero se encuentra el grueso del trabajo desarrollado, que es la propuesta realizada, su análisis teórico y su análisis práctico, así como problemas encontrados, un extenso comentario de los resultados y posibles caminos de investigación futura.

En el capítulo cuarto, se habla de un prototipo real construido para probar la arquitectura más allá del plano teórico.

En el capítulo quinto se hace un comentario y discusión general de los resultados a modo de conclusión del proyecto.

En el sexto y último capítulo se expone el presupuesto estimado a fecha de finalización del proyecto completo.



## 2. ESTADO DEL ARTE

Para entender las arquitecturas de ADC modernas es imprescindible conocer primero los bloques fundamentales sobre los que se asienta la microelectrónica actualmente: los transistores MOSFET<sup>5</sup>.

### 2.1. Transistores MOS

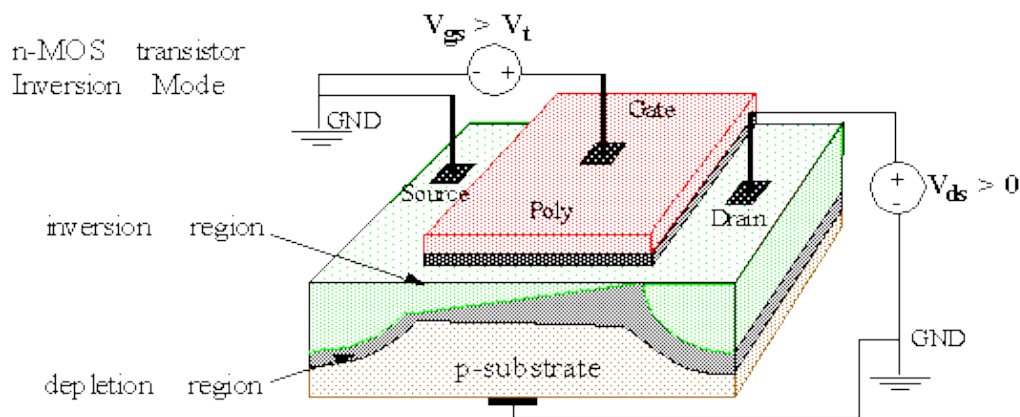


Fig. 2.1. Corte de transistor MOSFET<sup>6</sup>

Un transistor MOSFET es un tipo de transistor que se usa para amplificar y conmutar señales eléctricas dentro de un circuito. Se compone de cuatro entradas: fuente, puerta, drenador y sustrato, que normalmente está conectado a la fuente para evitar la modulación de la tensión de corte. Cuando se aplica un voltaje entre la puerta y la fuente, se crea un canal en el medio semiconductor que permite el paso de corriente entre la fuente y el drenador. Se pueden distinguir dos tipos de transistores MOS: los canal-n y los canal-p, dependiendo del dopaje del silicio usado en su fabricación.

Los canal-n tienen un dopaje negativo en el silicio de la fuente y el drenador, que se consigue añadiendo impurezas de un elemento como fósforo, dejando electrones libres que actúan como portadores de carga. En el caso de los canal-p, se dopan con elementos

<sup>5</sup>Metal Oxide Semiconductor Field Effect Transistor

<sup>6</sup>Fuente: [http://ece-research.unm.edu/jimp/vlsi/slides/chap2\\_1.html](http://ece-research.unm.edu/jimp/vlsi/slides/chap2_1.html)

como boro, que dejan huecos (ausencia de electrones en capas de valencia) y estos actúan como portadores de carga.

Estos son los símbolos más usados para representar transistores MOS:

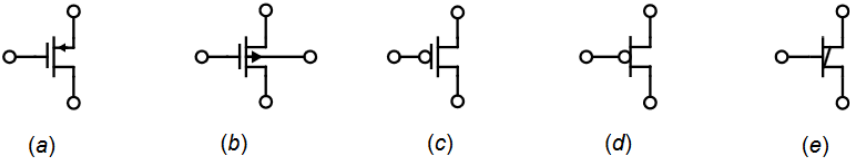


Fig. 2.2. Transistor MOS, canal-p<sup>7</sup>

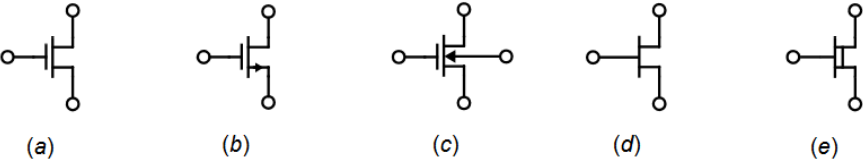


Fig. 2.3. Transistor MOS, canal-n<sup>8</sup>

El comportamiento general de este tipo de transistores se modela a través de regiones de funcionamiento, que dependen del voltaje  $V_{GS}$  o voltaje entre puerta y fuente. La siguiente tabla describe esta relación para un transistor tipo n. Para un tipo p, las reglas aplican igual, invirtiendo el signo de los voltajes.

$V_{GS}$	Región
$< V_T$	Corte
$< V_{DS} + V_T$	Lineal u óhmica
$> V_{DS} + V_T$	Saturación

TABLA 2.1. REGIONES DE FUNCIONAMIENTO DE UN TRANSISTOR MOS CANAL-N

Siendo  $V_T$  el voltaje límite y  $V_{DS}$  el voltaje entre drenador y fuente. El voltaje límite es el voltaje mínimo necesario para la aparición de un canal entre la fuente y el drenador. Depende de parámetros de fabricación, como el ancho de la capa de óxido y su material

<sup>7</sup>Fuente: [2]  
<sup>8</sup>Fuente: [2]

y de parámetros de funcionamiento, como la temperatura y el voltaje del sustrato (por el llamado *efecto cuerpo*<sup>9</sup>).

En la región de corte, no existe canal entre fuente y drenador, así que no se permite el paso de corriente entre ambos. En la región lineal u óhmica, el canal aparece, pero ofrece una cierta impedancia al paso de corriente, de tal manera que el transistor se comporta como una resistencia que disminuye según aumenta  $V_{GS}$  con respecto a  $V_{DS} + V_T$ . En la región de saturación el canal permite el paso libre de corriente y deja de ser dependiente de la relación de voltaje entre  $V_{GS}$  y  $V_{DS} + V_T$ .

## 2.2. Tecnología CMOS

La tecnología de fabricación CMOS<sup>10</sup> utiliza una combinación de transistores MOS de canal n y canal p para implementar las operaciones lógicas. Fue desarrollada en la década de 1960 por empleados de la compañía Fairchild Semiconductor[3].

Por ejemplo, un inversor (puerta lógica NOT) se consigue con la siguiente disposición:

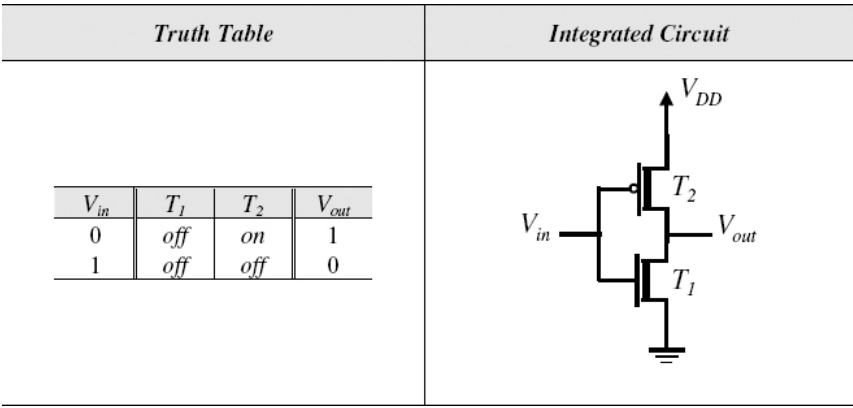


Fig. 2.4. Inversor CMOS<sup>11</sup>

Los circuitos CMOS tienen un bajo consumo estático, ya que una vez formado el canal en región activa, la alta impedancia de entrada provoca un paso de corriente casi nulo, únicamente provocado por corrientes parásitas. También tienen una buena tolerancia al

<sup>9</sup>El efecto cuerpo relaciona el voltaje de sustrato con el voltaje límite. Un cambio en el voltaje de sustrato conlleva un cambio de similar valor en el voltaje límite.

<sup>10</sup>Complementary MOS

<sup>11</sup>Fuente: <https://www.oreilly.com/library/view/introduction-to-digital/9780470900550/chap5-sec008.html>

ruido por su propiedad regenerativa de la señal: si entra una señal degradada (alejada de su valor nominal) a una puerta CMOS, esta volverá al valor lógico que corresponda, dentro de las tolerancias que permita el circuito. Por estas propiedades es por las que la tecnología CMOS se ha convertido en dominante en el diseño de microcircuitos en la actualidad.

### 2.3. Conversión analógico-digital

La tarea de un convertidor analógico-digital, o ADC, es tomar una señal eléctrica analógica y transformarla en una digital. Una señal analógica es aquella producida por un fenómeno electromagnético representable por una función continua que define su periodo y amplitud. Una señal digital es una sucesión de diferentes valores discretos con un espaciado temporal uniforme.

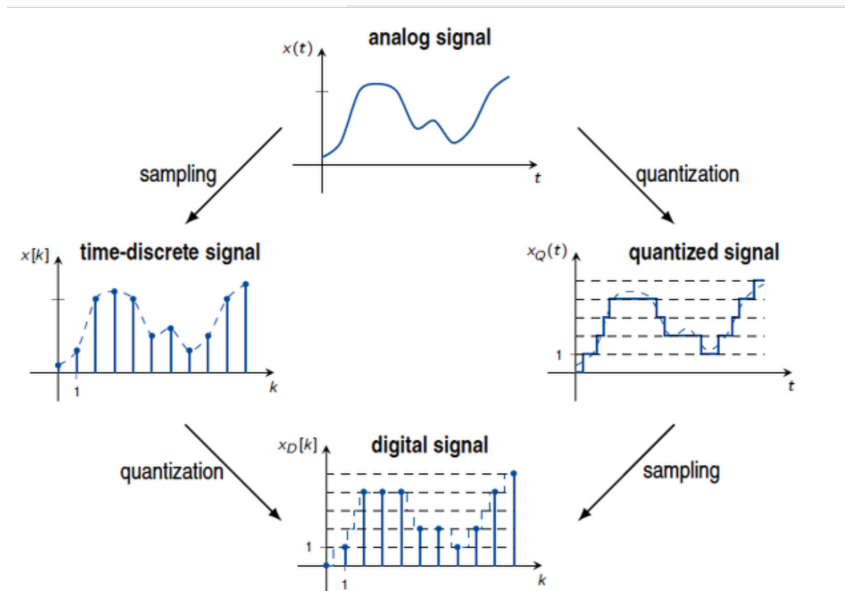


Fig. 2.5. Señal analógica a digital<sup>12</sup>

En un ADC, la señal analógica original sufre dos transformaciones: un muestreo y una cuantificación. El muestreo toma valores de la señal a una frecuencia concreta, descartando los intermedios. La cuantificación transforma el espectro continuo de la señal en un conjunto de valores finito. Esto es suficiente para lograr un conjunto de palabras (conjunto de bits de longitud definida) a una frecuencia de trabajo, para ser almacenadas o

<sup>12</sup>Fuente: <https://electronics.stackexchange.com/questions/352784/in-digital-systems-do-we-discretize-both-time-and-magnitude-or-only-time>

procesadas por un microcontrolador.

Estos son algunos de los parámetros básicos que describen el comportamiento y prestaciones de un ADC:

**Frecuencia de muestreo:** Frecuencia a la cual se toman medidas de la señal original. Determinado por el ancho de banda de la aplicación.

**Ancho de banda:** Rango de frecuencias de la señal original que puede ser correctamente muestreada, cuantizada y posteriormente recreada.

**Resolución:** Número de pasos máximo entre rango de valores de la señal analógica. Determina el error de cuantificación y el SNR máximo.

**SNR:** La Signal-to-Noise Ratio, o Relación Señal-Ruido, es la relación entre la potencia de la señal transmitida y la potencia del ruido presente en dicha señal. Normalmente se representa en dB.

$$SNR = \frac{P_{signal}}{P_{noise}} \quad (2.1)$$

$$SNR_{dB} = 10 \log_{10} \left( \frac{P_{signal}}{P_{noise}} \right) \quad (2.2)$$

En cuanto a errores en la conversión, estas son las principales fuentes:

**Cuantificación:** Para una muestra dada en un momento determinado, es la diferencia entre el valor de la señal original y valor de la señal cuantificada.

**Linealidad:** Falta de correlación lineal entre entrada y salida del ADC. Necesita ser corregida para evitar divergencias entre entrada y salida que distorsionan la lectura.

Es importante diferenciar dos tipos de ADC según su frecuencia de muestreo:

**A frecuencia de Nyquist:** La frecuencia de muestreo es igual a dos veces la frecuencia máxima de la señal a capturar[4][5]. El teorema de Nyquist habla de esta frecuencia como la mínima a la que es matemáticamente posible recrear una señal perfectamente a partir de las muestras tomadas:  $F_m = 2 * BW$ , con  $F_m$  la frecuencia de muestreo, y  $BW$  el ancho de banda de la señal, o la frecuencia máxima que alcanza.

**Sobremuestreados:** La frecuencia de muestreo es superior a la frecuencia de Nyquist; habitualmente unas diez veces mayor.

## 2.4. Arquitecturas de ADC actuales

Existen multitud de arquitecturas ADC, entre ellas: flash, aproximaciones sucesivas, de integración, de rampa, de seguimiento, tensión-frecuencia. Algunos ejemplos:

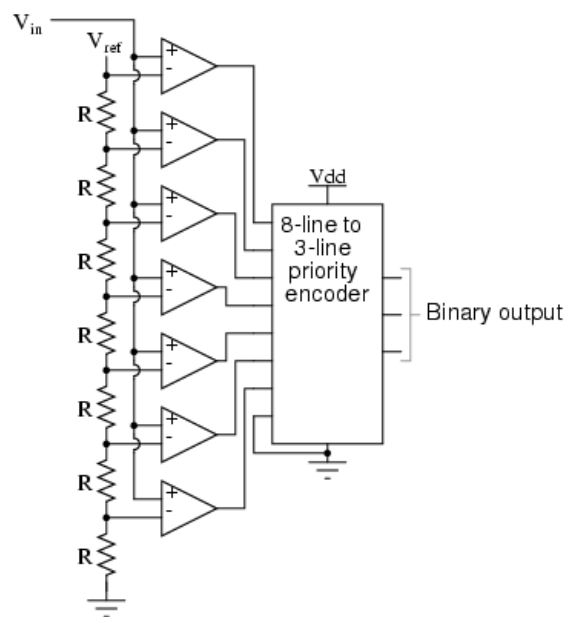


Fig. 2.6. ADC de conversión directa tipo flash<sup>13</sup>

<sup>13</sup>Fuente: <https://www.allaboutcircuits.com/textbook/digital/chpt-13/flash-adc/>

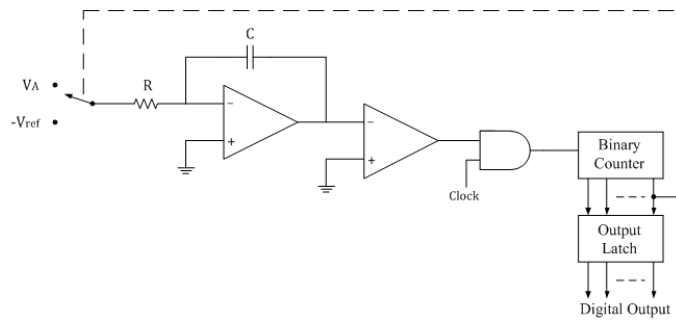


Fig. 2.7. ADC integrador de doble rampa<sup>14</sup>

Los más cercanos a la materia de este estudio son los de integración, en concreto los que utilizan la modulación sigma-delta.

## 2.5. Modulación sigma-delta en ADCs

Un ADC que utiliza el principio de modulación sigma-delta, también llamado *modulador sigma-delta* o *modulador  $\Sigma\Delta$* , tiene como bloques principales un negador, un integrador y un cuantificador, además de un bucle de realimentación. Este es el esquema de bloques básico de un modulador  $\Sigma\Delta$ :

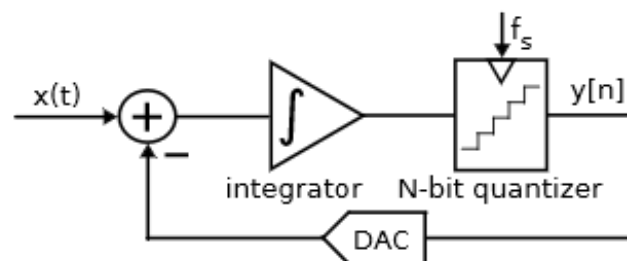


Fig. 2.8. Bloques de un modulador  $\Sigma\Delta$  <sup>15</sup>

El funcionamiento de este tipo de ADC sigue los pasos siguientes. La señal original ( $x(t)$ ) es sumada a la salida del cuantificador ( $y(t)$ ) en magnitud negativa. La salida ( $y(t)$ ) es un flujo de un bit de profundidad, por lo que debe ser transformada a magnitud real a través de un DAC. El integrador forma un filtro de paso bajo sobre la diferencia entre señal

<sup>14</sup>Fuente: <http://www.electronics-tutorial.net/analog-integrated-circuits/data-converters/dual-slope-type-adc/>

<sup>15</sup>Fuente: Oversampled Analog-To-Digital Converter Architectures Based On Pulse Frequency Modulation[6]

original y cuantificada de tal manera que se consigue una realimentación de baja frecuencia, consiguiendo una reducción del ruido de cuantificación en la banda de respuesta.

Este es un ejemplo gráfico del resultado de la modulación  $\Sigma\Delta$  :

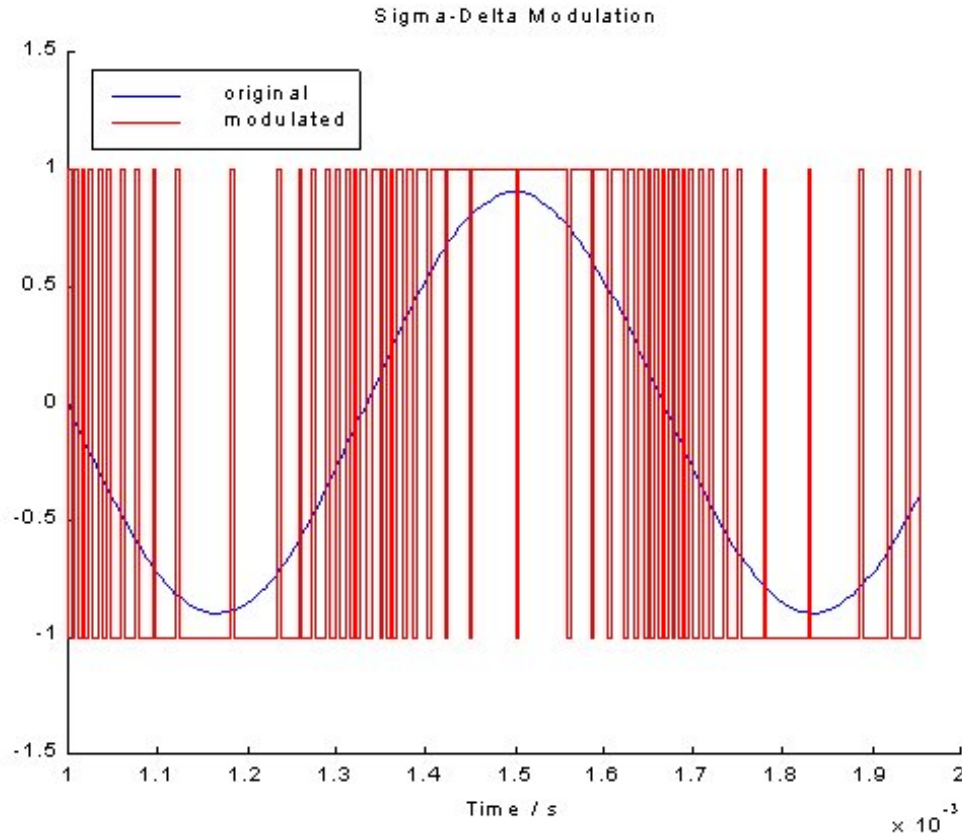


Fig. 2.9. Modulación  $\Sigma\Delta$  de una señal de 1.5kHz<sup>16</sup>

Se puede observar que el promedio de la señal modulada de 1 bit es proporcional a la señal original.

Con respecto a un ADC de aproximaciones sucesivas o de seguimiento, la modulación  $\Sigma\Delta$  una gran linealidad en la curva de respuesta y una disminución del ruido de fondo, ya que el bucle tenderá a hacer que la salida  $y(t)$  sea cero. El cuantificador suele ser un comparador implementado con un amplificador operacional de alta ganancia, con una referencia ajustada a la aplicación. Además suele existir un circuito sample-and-hold<sup>17</sup> con una frecuencia de reloj que se ajusta a la entrada al circuito que recibirá la señal ya convertida a digital.

<sup>16</sup>Fuente: <http://www.cs.tut.fi/sgn/arg/rosti/1-bit/>

<sup>17</sup>Es aquel componente de un sistema que permite capturar el nivel de una señal y mantener una salida constante a dicho nivel durante un periodo concreto. Se usa para el muestreo discreto de una señal



En cuanto al integrador, las implementaciones más comunes son con un amplificador operacional o por transconductancia.

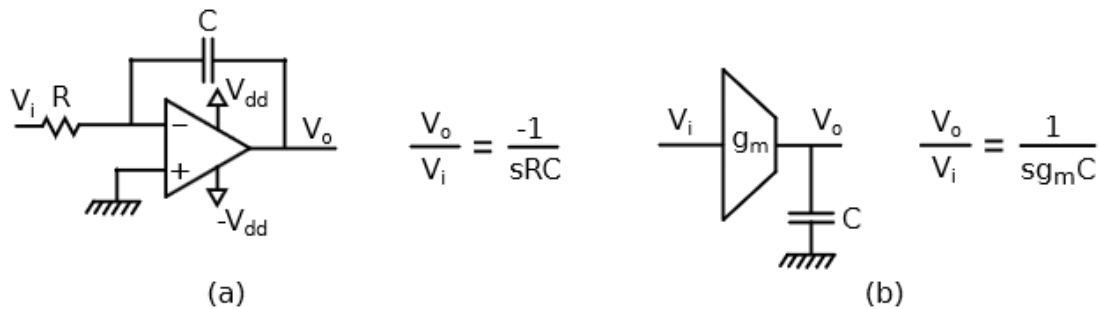


Fig. 2.10. Integradores por opamp (a) y por transconductancia (b)<sup>18</sup>

Como se puede observar, ambas opciones trabajan en ámbito analógico.

Las principales desventajas de la conversión por modulador  $\Sigma\Delta$  son la necesidad de una frecuencia de muestreo muy alta respecto a la original, lo cual es un problema a la hora de convertir señales de muy alta frecuencia y que gran parte del circuito funciona con señales analógicas, lo que complica la implementación en arquitecturas de muy bajo tamaño

## 2.6. VCO en anillo

Un VCO, siglas de *Voltage Controlled Oscillator* es un componente electrónico que emite un tren de pulsos cuya frecuencia es proporcional a un voltaje de entrada.

Un VCO en anillo es un tipo de oscilador controlado por voltaje. En su forma más básica, consiste en un número impar de puertas inversoras colocadas en un bucle cerrado. En las entradas de alimentación de las mismas se conecta la señal a modular. Este señal de entrada puede ser en voltaje o, a través de un transconductor<sup>19</sup>, en corriente. La señal ya modulada aparece entre la salida y la entrada de cualquier par de puertas.

Esta es la representación simbólica de una puerta inversora, con sus conexiones nombradas:

<sup>18</sup>Fuente: [6]

<sup>19</sup>Un transconductor es un componente que permite convertir voltaje en corriente y viceversa.

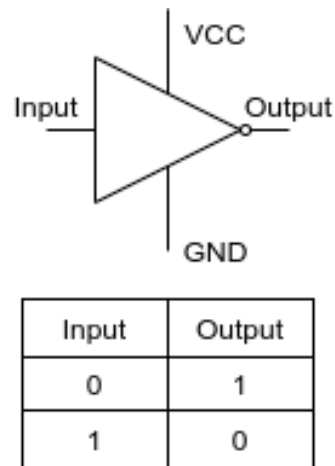


Fig. 2.11. Símbolo y tabla de verdad de una puerta inversora

Así se consigue un inversor en tecnología CMOS. El transistor superior es de canal-p y el inferior es de canal-n.

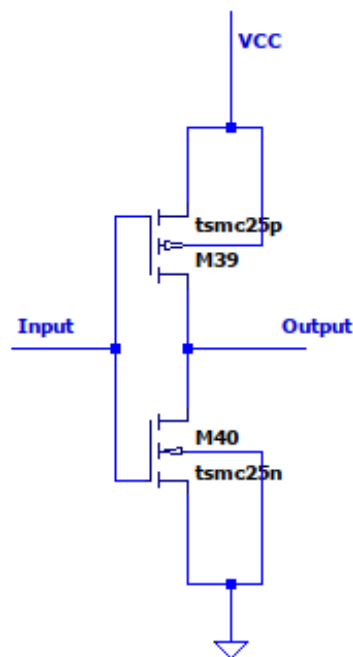


Fig. 2.12. Esquemático de una puerta inversora con transistores MOS

La siguiente tabla expone el régimen de funcionamiento de ambos transistores, atendiendo a la señal entrada:

input	Canal-n	Canal-p	output
0	Corte	Saturación	$V_{cc}$
$V_i$	Saturación	Corte	0

TABLA 2.2. ESTADO DE LOS TRANSISTORES DEL INVERSOR EN FUNCIÓN DE LA SEÑAL DE ENTRADA

Donde  $V_i$  es un valor que cumple  $V_{GS} < V_{DS} + V_T$  para ambos transistores, normalmente algo cercano a  $V_{cc}$ .

Esta es la configuración de puertas para lograr un VCO:

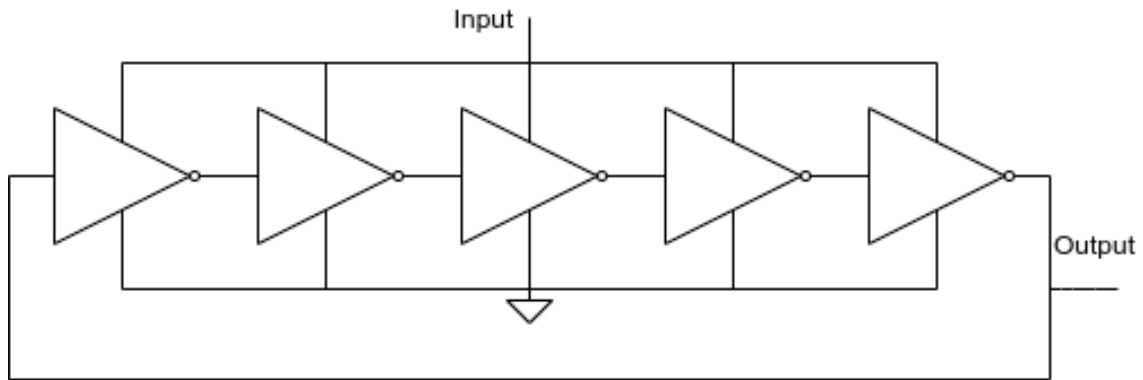


Fig. 2.13. VCO compuesto por 5 puertas inversoras

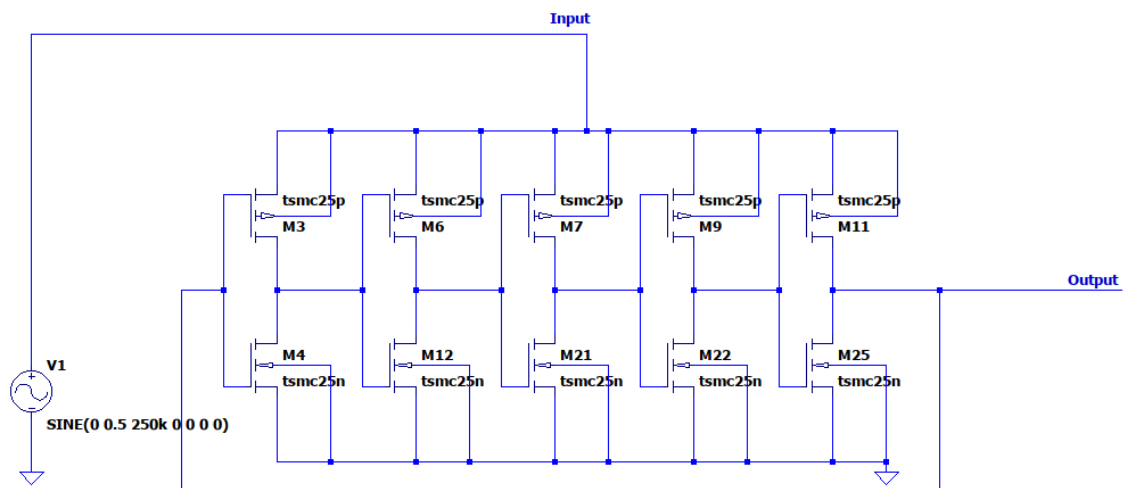


Fig. 2.14. Esquemático de un VCO

El número impar de puertas inversoras provoca un estado de inestabilidad en el oscilador. Hay una pequeña demora en la activación de las puertas por efecto de las corrientes

parásitas, que retrasan el cambio de voltaje y, por tanto, el cambio de región de operación del transistor. La realimentación positiva en el anillo hace que se creen señales alternativas entre un 1 lógico y un 0 lógico entre la entrada y la salida de cada puerta. La frecuencia a la que estas señales cambian es proporcional al voltaje aplicado en la alimentación de las puertas (VCC en la figuras 2.11 y 2.12). La frecuencia de oscilación sigue la siguiente fórmula:

$$f = \frac{1}{2n\tau} \quad (2.3)$$

20

Donde  $n$  es el número de puertas en el anillo y  $\tau$  es el retraso de activación de la puerta, que es inversamente proporcional a la señal de entrada. Por ello,  $f$  depende de la señal de entrada.

Asumiendo un comportamiento ideal del VCO, se puede expresar la relación entre entrada y salida como:

$$f_{VCO} = f_0 + K_{VCO} * V_i \quad (2.4)$$

21

Donde  $f_{VCO}$  es la frecuencia del oscilador,  $f_0$  es la frecuencia en reposo (con una señal de entrada equivalente a 0),  $K_{VCO}$  es la ganancia intrínseca en  $Hz/V$  y  $V_i$  es el valor de voltaje de entrada.

Viendo el oscilador como un integrador y tomando la fase de la señal como salida en vez de la frecuencia, se hace el siguiente análisis:

$$\theta(t) = 2\pi \int_0^t f_{VCO}(\tau) d\tau = 2\pi f_0 t + 2\pi K_{VCO} \int_0^t x(\tau) d\tau \quad (2.5)$$

22

---

<sup>20</sup>Fuente: [6]

<sup>21</sup>Fuente: [6]

<sup>22</sup>Fuente: [6]

Haciendo un análisis en frecuencia, la transformada de laplace del oscilador resulta así:

$$\frac{2\pi K_{VCO}}{s} \quad (2.6)$$

23

Como se puede observar, la señal que entra al oscilador es analógica, mientras que la que sale ya es digital, aunque debe ser demodulada más tarde. Con pocos componentes, se consigue un integrador y cuantificador que funciona principalmente en el ámbito digital, evitando las restricciones que supone el procesado de una señal analógica, como se ha comentado en la introducción. De aquí surge el interés de los osciladores en anillo en su uso en ADCs.

## 2.7. Osciladores en anillo en ADCs

### 2.7.1. Como parte de arquitecturas ya existentes

Ya que estos osciladores actúan como un integrador, pueden usarse en arquitecturas de ADC ya establecidas, como los  $\Sigma\Delta$ .

Este es un ejemplo de un modulador  $\Sigma\Delta$  de segundo orden con un VCO en anillo sustituyendo el segundo integrador y el cuantificador.

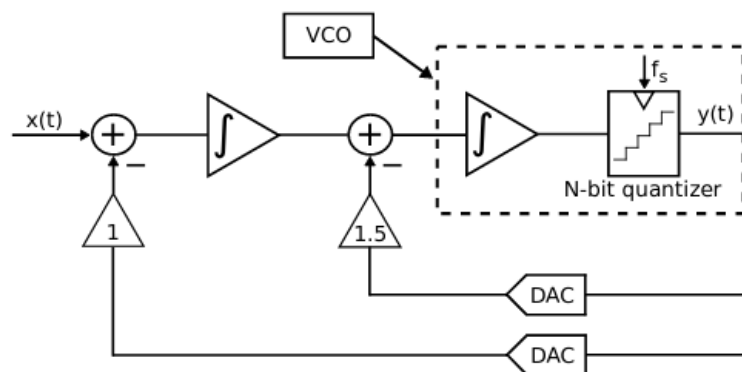


Fig. 2.15. Modulador  $\Sigma\Delta$  con un VCO<sup>24</sup>

<sup>23</sup>Fuente: [6]

<sup>24</sup>Fuente: [6]

En rendimiento es equivalente a una implementación habitual con opamps, pero con menor consumo y número de componentes.

### 2.7.2. Arquitecturas con solo oscilador en anillo

Además de la integración, un VCO en anillo también se encarga de la cuantificación. Así, se puede obtener un ADC con solo este componente.

La forma más básica consiste en solo un VCO con un circuito sample-and-hold y un circuito para sacar la primera diferencia.

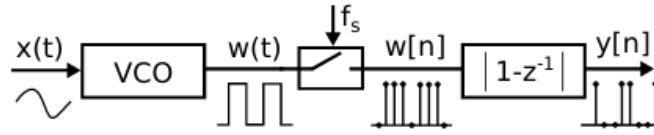


Fig. 2.16. ADC con VCO en bucle abierto<sup>25</sup>

Haciendo un análisis en frecuencia de este sistema, se obtiene:

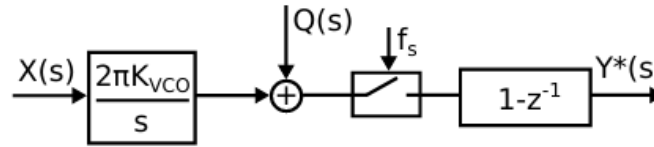


Fig. 2.17. Sistema con bucle abierto<sup>26</sup>

$$Y(s) = 2\pi K_{VCO}X(s) + (1 - z^{-1})Q(s) \quad (2.7)$$

Donde  $Q$  es el ruido de cuantificación del VCO, que se modela como una señal aleatoria aditiva a la salida del VCO.

Aunque el rendimiento de esta configuración es similar a los  $\Sigma\Delta$  convencionales, el VCO aporta un gran problema: la curva de respuesta voltaje-frecuencia no es lineal, porque el tiempo de activación de las puertas (ecuación 2.3) varía en función de la alimentación

<sup>25</sup>Fuente: [6]

<sup>26</sup>Fuente: [6]

de las puertas; en el caso de un oscilador en anillo, esta alimentación es la señal a modular. Esto provoca distorsión en la cuantificación, con lo que se pierde resolución en el muestreo.

Las soluciones más comunes a este problema son:

- **Calibración Digital:** Se hace un análisis de la curva de respuesta, se crea una tabla de mapeo entrada-salida y se hace la corrección por interpolación en un circuito digital. Aumenta mucho el área ocupada y el consumo.
- **Modulación previa al VCO:** Se coloca un modulador, habitualmente de tipo PWM, para limitar la frecuencia de oscilación de la señal que entra en el VCO. Es una solución más sencilla, pero el modulador PWM tiene un elevado consumo y puede presentar no linealidad, así que el problema se mueve de componente, pero no se elimina de todo el sistema.
- **Reducción de la señal de entrada:** Si se consigue reducir la señal de entrada lo suficiente, se reduce el impacto de la amplitud de la señal en la linealidad del sistema. Algunas maneras usadas para esto son la inclusión de un ADC más básico antes del VCO, cuya señal se resta a la señal de entrada. Así se consigue disminuir la amplitud de la señal que entra al VCO. Este método necesita de un ADC extra, con el consecuente aumento en consumo y espacio ocupado.
- **Ajuste por circuito:** Ajustando individualmente la alimentación de las puertas con componentes pasivos se puede paliar la no linealidad, pero esta técnica pierde fiabilidad una vez se toman en cuenta los errores de fabricación, la temperatura y pequeñas variaciones en voltaje de alimentación.

Ninguna de las soluciones anteriores es perfecta.

### 3. PROPUESTA REALIZADA

En este capítulo se expone el análisis de una nueva arquitectura de ADC que emplea un VCO como cuantificador e integrador, usando un lazo de realimentación negativo para linealizar la respuesta del VCO.

#### 3.1. Idea inicial

La idea fundamental de esta nueva arquitectura es, partiendo de un sistema de ADC por VCO en bucle abierto, estudiar la viabilidad de linealizar la respuesta mediante un bucle de realimentación, haciendo uso de la ganancia intrínseca de la que dispone el propio oscilador. Esto eliminaría la necesidad de un amplificador operacional presente en las arquitecturas de VCO con realimentación existentes hoy en día, rebajando por tanto el número de componentes necesarios y el consumo total del sistema.

La idea principal de esta arquitectura viene de publicaciones que ya hacen uso de un bucle de realimentación con DAC de 1 bit controlado por frecuencia. En esta publicación: *VCO-ADC linearization by switched capacitor frequency-to-current conversion*[10] ya se destacan los beneficios de un ADC por VCO con realimentación, principalmente la linealización de la respuesta del VCO. Otros beneficios al usar realimentación son una mayor resistencia al ruido por jitter<sup>27</sup> del reloj, mayor resistencia al ruido térmico de los componentes pasivos y una mejora importante de la relación señal-ruido con respecto a un ADC VCO en bucle abierto. El problema de la arquitectura propuesta en la publicación es que no consigue prescindir de un amplificador operacional, que es difícil de diseñar con procesos pequeños (<40nm), por no conseguirse suficiente ganancia con el voltaje operativo con el que se trabaja a esas escalas.

En este estudio, se explora la posibilidad de usar la ganancia intrínseca del VCO para poder eliminar el amplificador operacional, para reducir el consumo y el tamaño del ADC y abrir su uso a nuevas aplicaciones que requieren de una gran miniaturización y eficiencia.

---

<sup>27</sup>El ruido jitter se produce por una desviación de la periodicidad del reloj en circuitos reales. Aparece como un pequeño retraso o adelanto del periodo del reloj con respecto a una onda cuadrada ideal.



### 3.2. Análisis matemático del VCO con realimentación negativa

Una manera común de linealizar un sistema es con un bucle de realimentación negativa. Partiendo de un ADC con VCO en bucle abierto, la manera más sencilla de incluir realimentación es unir la salida con la entrada a través de un sumador. En el bucle debe existir una conversión de la salida digital del VCO a la entrada analógica del sistema.

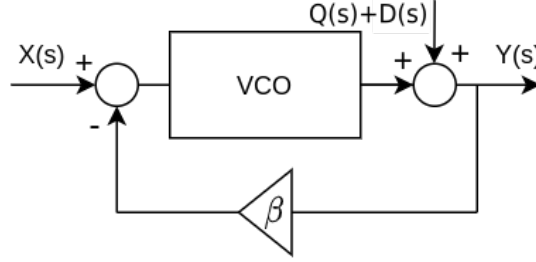


Fig. 3.1. ADC con VCO en bucle cerrado, diagrama de bloques

Haciendo un análisis del sistema, se puede despejar la función de transferencia del sistema:

$$\begin{aligned}
 VCO &: \frac{K_{VCO}}{s} \\
 Y(s) &= (Q(s) + D(s)) + \frac{K_{VCO}}{s}(X(s) - \beta Y(s)) \\
 Y(s) &= (Q(s) + D(s)) + \frac{K_{VCO}}{s}X(s) - \frac{K_{VCO}\beta}{s}Y(s) \\
 Y(s)(1 + \frac{K_{VCO}\beta}{s}) &= (Q(s) + D(s)) + \frac{K_{VCO}}{s}X(s) \\
 Y(s)(\frac{s+K_{VCO}\beta}{s}) &= (Q(s) + D(s)) + \frac{K_{VCO}}{s}X(s) \\
 Y(s) &= \frac{s}{s+K_{VCO}\beta}(Q(s) + D(s)) + \frac{K_{VCO}}{s+K_{VCO}\beta}X(s)
 \end{aligned} \tag{3.1}$$

Fig. 3.2. Desarrollo de la función de transferencia del VCO con lazo cerrado

Donde  $Y(s)$  es la señal de salida,  $X(s)$  es la señal de entrada,  $K_{VCO}$  es la ganancia del VCO,  $\beta$  es la ganancia del lazo de realimentación y  $(Q(s) + D(s))$  es el ruido de cuantificación y el ruido de no linealidad, respectivamente, modelados como señales que se suman a la salida del VCO.

Respecto a los términos a la derecha de la ecuación superior, se puede deducir el siguiente comportamiento del sistema en función de la frecuencia:

$$\begin{aligned}
& \frac{K_{VCO}}{s+K_{VCO}\beta} X(s) \\
& \frac{K_{VCO}}{s+K_{VCO}\beta}, s \rightarrow \infty : = 0 \\
& \frac{K_{VCO}}{s+K_{VCO}\beta}, s \rightarrow 0 : = \frac{1}{\beta}
\end{aligned} \tag{3.2}$$

$$\begin{aligned}
& \frac{s}{s+K_{VCO}\beta} (Q(s) + D(s)) \\
& \frac{s}{s+K_{VCO}\beta}, s \rightarrow 0 : = \frac{1}{\beta} \\
& \frac{s}{s+K_{VCO}\beta}, s \rightarrow \infty : = 0
\end{aligned} \tag{3.3}$$

Así, se deduce que a altas frecuencias, el coeficiente de  $(Q(s) + D(s))$  aumenta y el de  $X(s)$  disminuye. A bajas frecuencias, ocurre lo contrario. Por lo tanto, este sistema aplica un filtro paso alto a  $(Q(s) + D(s))$  y un filtro paso bajo a  $X(s)$ . Esto discrimina el ruido de cuantificación y el de linealidad en la banda de frecuencias de la señal de entrada. Para aumentar la SNR<sup>28</sup> se necesita pues un valor alto de ganancia  $\beta$  en la realimentación, para que este filtro paso bajo tenga mayor magnitud y mayor potencia.

En cuanto a la linealidad del sistema: se parte de un DAC que recoge la frecuencia de salida del VCO y la convierte en corriente. Esta conversión debe ser lineal. Esta corriente se resta a la entrada. Integrando esta diferencia (a través del VCO), tiende a cero. Cuando la resta es cero, las señales de entrada y del bucle son iguales y la corriente que sale del DAC es lineal con respecto a la frecuencia, con lo que la corriente de entrada del sistema también es lineal. Así que consiguiendo un DAC que realice la conversión con un buen nivel de linealidad dentro del ancho de banda de interés, se resuelve el problema de la linealidad en el VCO.

### 3.2.1. Lazo de realimentación por capacidades conmutadas

Dado que la ganancia del VCO es relativamente estable y más compleja de manipular, este estudio se ha centrado en la ganancia en el lazo de realimentación. En el lazo es necesario hacer una conversión de la señal modulada digital, a la señal de entrada analógica. Para esto es necesario buscar un DAC relativamente sencillo para no volver a encontrarse el

---

<sup>28</sup>Signal to Noise Ratio: ratio entre la señal y el ruido

problema que se intenta evitar: número de componentes y consumo. Además, los requisitos para el DAC no son especialmente restrictivos, salvo que la transformación sea lineal.

La solución escogida es el uso de un sistema de capacidades conmutadas. En la presente implementación, este se compone de dos transistores pareados CMOS, en una distribución casi idéntica a las puertas lógicas inversoras.

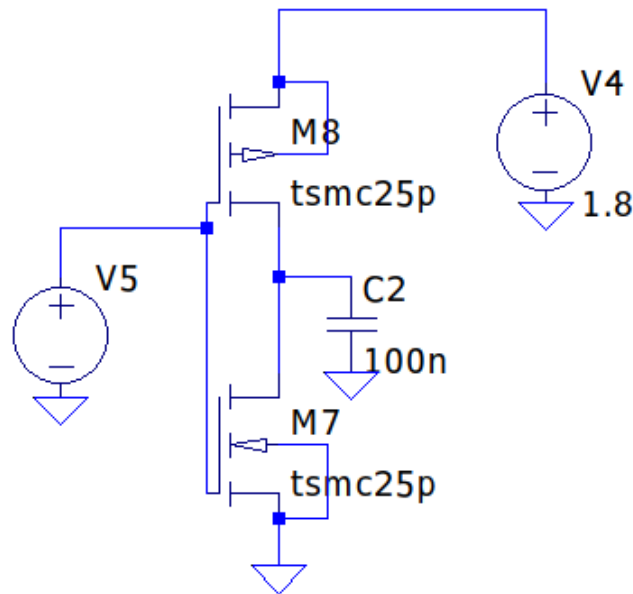


Fig. 3.3. Esquemático de circuito de capacidades conmutadas

El circuito consta de dos transistores CMOS, canal-n y canal-p y un condensador conectado entre fuente y drenador de los transistores. La fuente de alimentación V4 se conecta a la fuente del transistor canal-p y la señal modulada en PFM<sup>29</sup> se conecta a las puertas de ambos transistores. La señal PFM actúa a modo de reloj para controlar la activación de los transistores, que actúan a modo de interruptores.

Este es el diagrama simbólico del sistema:

<sup>29</sup>Pulse Frequency Modulation, modulación en frecuencia.

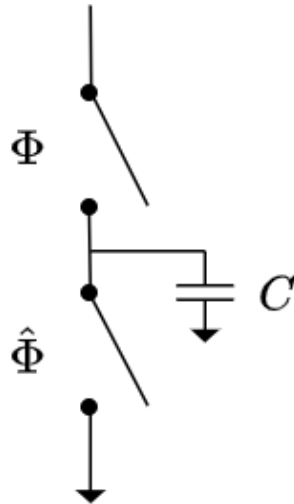


Fig. 3.4. Diagrama de circuito de capacidades conmutadas

Donde  $\Phi$  es una señal de reloj de frecuencia variable y  $\hat{\Phi}$  es la inversa del mismo reloj.

A continuación se presenta un análisis del comportamiento en función del valor del reloj:

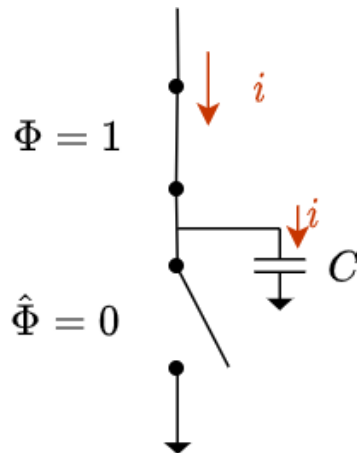


Fig. 3.5. Diagrama para  $\Phi = 1$

Para  $\Phi = 1$  y  $\hat{\Phi} = 0$ , el transistor superior se activa cerrando el circuito y el inferior se desactiva abriéndolo. Esto permite el paso de corriente momentáneo al condensador  $C$ , que durante este semiperiodo se carga.

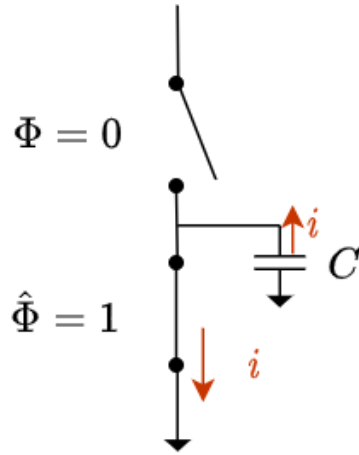


Fig. 3.6. Diagrama para  $\Phi = 0$

Para  $\Phi = 0$  y  $\hat{\Phi} = 1$ , el transistor superior se desactiva abriendo el circuito mientras que el inferior se cierra conectando el condensador con la tierra. Así, se crea un flujo de corriente desde el condensador que lo descarga.

Las siguientes ecuaciones describen la corriente de salida en función de la frecuencia.

$$\begin{aligned}
 I_C &= \frac{\Delta Q}{\Delta t} = \\
 &= \frac{C(V_A - V_B)}{T} = Cf(V_A - V_B) \\
 \text{si } V_A &= V_{dd} \text{ y } V_B = V_{GND} = 0 \implies I_C = Cf(V_{dd})
 \end{aligned} \tag{3.4}$$

Fig. 3.7. Ecuaciones de corriente de salida en función de la frecuencia para el el DAC por capacidades conmutadas

Donde  $I_C$  es la corriente media que pasa por el condensador.

Teniendo corriente equivalente y voltaje de referencia, se puede modelar el sistema como una impedancia variable.

$$Z_{eq} = \frac{V_{dd}}{I_C} = \frac{V_{dd}}{Cf(V_{dd})} = \frac{1}{fC} \tag{3.5}$$

Así se obtiene una resistencia variable proporcional a la frecuencia de entrada, con la que se puede obtener la corriente proporcional a la frecuencia del VCO para nuestro bucle de realimentación.

Se debe tener en cuenta que los transistores tienen ciertas corrientes parásitas fuera de su modelo ideal. Estas corrientes provocan que un transistor abierto tenga una impedancia muy alta, pero no infinita y uno cerrado tenga una impedancia muy baja, pero nunca nula. Relacionando este paso de corriente por los transistores con un voltaje de referencia, se pueden modelar los efectos parásitos como una impedancia intrínseca en los transistores.

Este es el circuito equivalente:

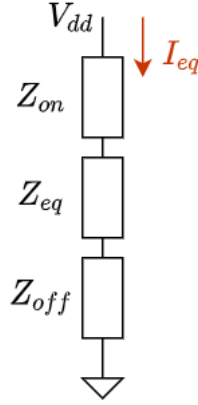


Fig. 3.8. Diagrama de bloques del sistema de impedancias equivalente

Donde  $Z_{eq}$  es la impedancia variable equivalente y  $Z_{on}$  y  $Z_{off}$  son las impedancias de transistor activado y en corte. Como se abren y cierran de manera alternativa, y asumiendo un comportamiento ideal del sistema (activación/desactivación instantánea, sin solapamiento), el circuito equivalente tendrá una impedancia de cada en serie. Estas impedancias de los transistores dependen de factores como tecnología de fabricación, tamaño y defectos de fabricación. En cualquier caso,  $Z_{on}$  es muy bajo y  $Z_{off}$  es muy alto.

Queda este modelo ideal para el DAC por capacidades conmutadas:

$$I_{eq} = \frac{V_{dd}}{\frac{1}{fC} + Z_{on} + Z_{off}} \quad (3.6)$$

Con esto, se ha obtenido un DAC que transforma la señal modulada en frecuencia de 1 bit de manera sencilla y con pocos componentes. Este es el componente más importante de cara a linealizar el VCO, ya que será el encargado de completar el bucle de realimentación. El siguiente paso es comprobar si la conversión es lineal.

### 3.3. Simulaciones del modelo

Tras el análisis matemático expuesto en las secciones anteriores, se procede a realizar simulaciones para comprobar la validez de la arquitectura. Se usa LTSpice para elaborar esquemáticos y lanzar simulaciones y Matlab/Octave para analizar los resultados.

En estas simulaciones se han usado las librerías de transistores CMOS de la compañía TSMC, públicas y disponibles en internet. Estas librerías tienen los parámetros necesarios para poder simular su comportamiento en un programa SPICE.

#### 3.3.1. Herramientas de simulación

##### Reloj de frecuencia variable en LTSpice

Para conseguir la curva de respuesta un sistema, se puede hacer por interpolación, tomando varios resultados discretos para diferentes valores de entrada, en este caso, frecuencia de reloj, o se puede usar una entrada que incremente su valor de forma lineal con el tiempo. Como no existe un componente con este comportamiento en LTSpice, se ha creado uno nuevo:

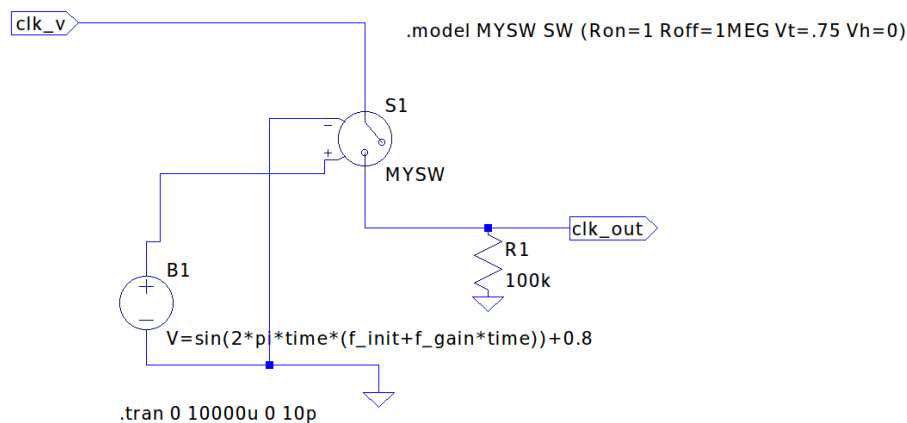


Fig. 3.9. Esquemático de reloj con frecuencia incremental

Este componente utiliza un interruptor y una fuente de voltaje cuyo valor se calcula con una función sinusoidal en función del tiempo.

$$V = \sin(2 * \pi * t * (f_{init} + f_{gain} * t)) + V_{offset} \quad (3.7)$$

Donde  $t$  es el tiempo en cada paso de la simulación,  $f_{init}$  es la frecuencia en  $t = 0$  del sistema,  $f_{gain}$  es un parámetro que dicta el incremento de la frecuencia por unidad de tiempo y  $V_{offset}$  es el voltaje medio de la fuente. Las entrada de este circuito es  $f_{gain}$  y el voltaje nominal del reloj  $clk_v$ . Además, para que el 0 lógico del reloj tenga un voltaje igual a cero, hay una resistencia *pull-down* justo antes de la salida.

Para comprobar que el componente funciona, a continuación se presenta una simulación rápida. Los valores de las variables para esta simulación son los siguientes:

$clk_v$	1V
$f_{init}$	3e3
$f_{gain}$	3e7
Paso de simulación	1ns
Tiempo de simulación	10ms

TABLA 3.1. PARÁMETROS DE SIMULACIÓN DEL RELOJ DE FRECUENCIA INCREMENTAL

Este es el resultado de la simulación:

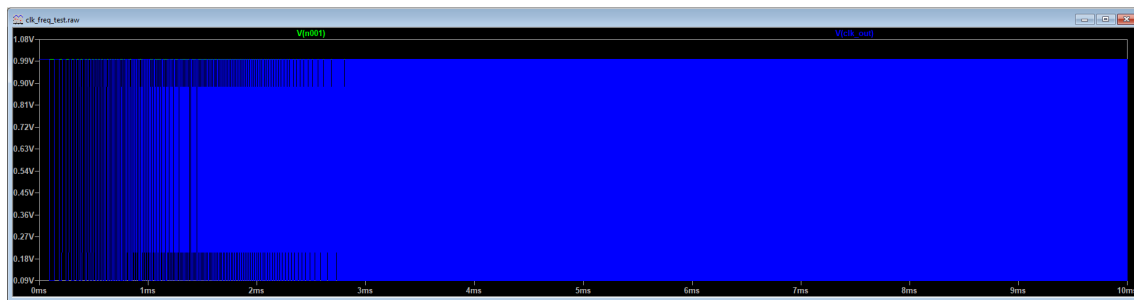


Fig. 3.10. Simulación: Forma de onda del voltaje en la salida  $clk\_out$

Se puede observar que la forma de onda del reloj es cuadrada y va aumentando según pasa el tiempo de simulación. Haciendo zoom en una zona cualquiera y tomando medidas, podemos calcular la frecuencia de reloj en función de  $1/T$ :



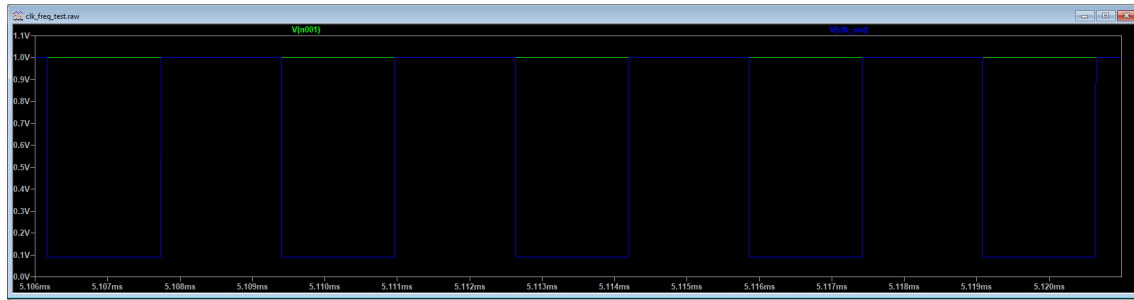


Fig. 3.11. Simulación: zoom en sección de la forma de onda

En esta sección, el periodo es aproximadamente  $T = 3,2\mu s$ . Las ecuaciones que describen la frecuencia real como la teórica son las siguientes:

$$\begin{aligned} \text{Real : } f &= \frac{1}{3,2e-6} = 312,5kHz \\ \text{Teórico : } time &\approx 5,111e-3 \implies f = (3e3 + 3e7 * time) = 156,3kHz \end{aligned} \quad (3.8)$$

A la vista queda una cierta discrepancia entre valores. Esto se debe a falta de precisión absoluta en la simulación y a errores en la toma de medidas de manera visual.

Es necesario un método que permita el análisis de los datos de manera programática y no manual. Ya que LTSpice permite exportar las formas de onda como matriz de puntos x-y, se puede usar Matlab/Octave para el análisis.

### Procesado de formas de onda en Matlab/Octave

Partiendo de la matriz de puntos x-y (voltaje-tiempo) de la simulación del apartado anterior, el objetivo es producir una recta frecuencia-tiempo.

Para calcular el periodo en función del tiempo, se hará una función que guarde el tiempo en que comienza cada periodo, atravesando un valor máximo llamado *threshold*. Una vez obtenido el periodo se calculará su inversa, que es la frecuencia.

Se puede encontrar un problema al analizar el dataset: el paso de simulación es variable, lo que significa que los puntos no están uniformemente espaciados con respecto al tiempo, así que primero se deben limpiar estos datos. Se genera un vector de tiempos con el rango del dataset de simulación, y se interpolan los datos originales para sacar el valor de V

que corresponde a cada tiempo. Esto genera un cierto error de resolución, pero se puede observar que para este caso es despreciable.

Este es el algoritmo que define el comportamiento del script de procesado:

CÓDIGO 3.1. Código en Matlab/Octave para procesar la forma de onda del reloj de frecuencia variable

```
1 dataset = load(file_name, "-ascii");
2 length_dataset = length(dataset);
3 times_eq_spaced = linspace(0, dataset(end,1), length_dataset);
4 dataset_eq_spaced(:) = interp1(dataset(:,1), dataset(:,2),
    times_eq_spaced);
5 timestamp_periods = [];
6 threshold = 0.8;
7 for i = 2:length(dataset_eq_spaced)
8     if ( dataset_eq_spaced(i) > threshold ) && (
        dataset_eq_spaced(i-1) < threshold )
9         timestamp_periods = [ timestamp_periods; i t(i)
            dataset_eq_spaced(i) ];
10    end
11 end
12 freqs = [];
13 for i = 1:length(timestamp_periods)
14     if i == 1
15         freqs(i) = ( 1/( timestamp_periods(i,2) - 0 ) );
16     else
17         freqs(i) = ( 1/( timestamp_periods(i,2) -
            timestamp_periods(i-1,2) ) );
18     end
19 end
20 freqs_ordered = sort(freqs);
21 plot(Tperiods(:,2), freqs_ordered)
```

Este es el resultado del análisis con el dataset de la simulación 3.10:

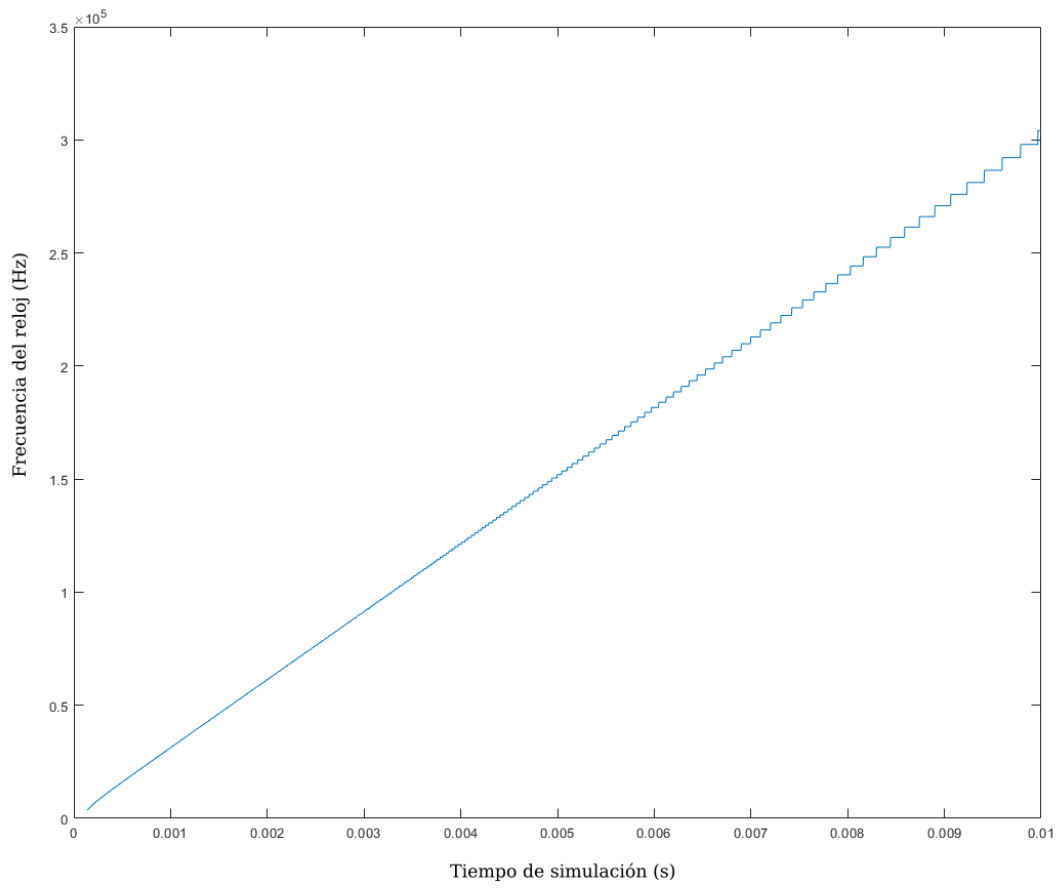


Fig. 3.12. Curva frecuencia-tiempo del reloj de frecuencia variable

Salvo errores de resolución por ser un dataset discreto y finito, la curva coincide con el resultado esperado. Queda demostrado que el reloj de frecuencia variable funciona y las ecuaciones que describen su comportamiento son las expuestas en 3.8.

Para las demás simulaciones se usarán scripts muy similares, ya que también se están analizando ondas cuadradas cuyo parámetro de interés es la frecuencia.

### 3.3.2. Simulación del DAC por capacidades conmutadas

Este es el esquemático en LTSpice usado para simular el DAC por capacidades conmutadas:

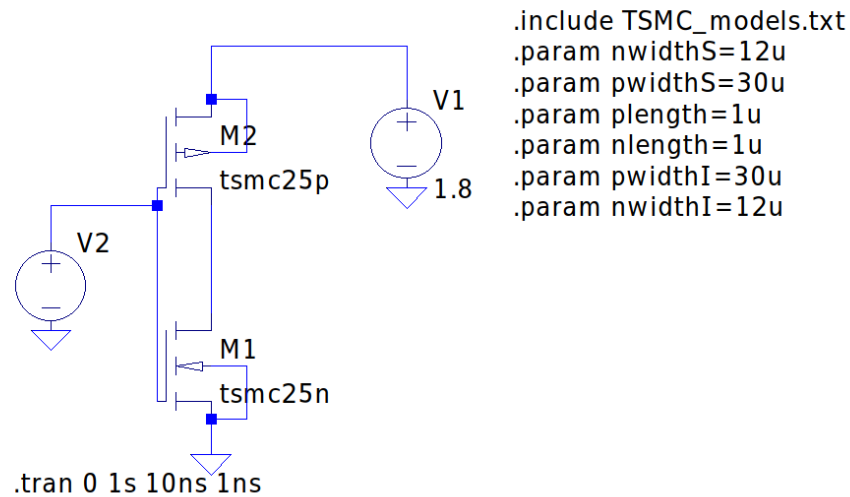


Fig. 3.13. Esquemático en LTSpice del modelo de DAC por capacidades conmutadas

En la esquina superior derecha se reúnen los parámetros básicos de los transistores: sus dimensiones en ancho y largo. Se usan estas medidas porque se acercan a lo usado comúnmente en chips MOS reales. El voltaje de referencia escogido es 1.8V, que es estándar para aplicaciones de bajo consumo y bajo tamaño de transistor.

Se añade el reloj de frecuencia variable explicado anteriormente:

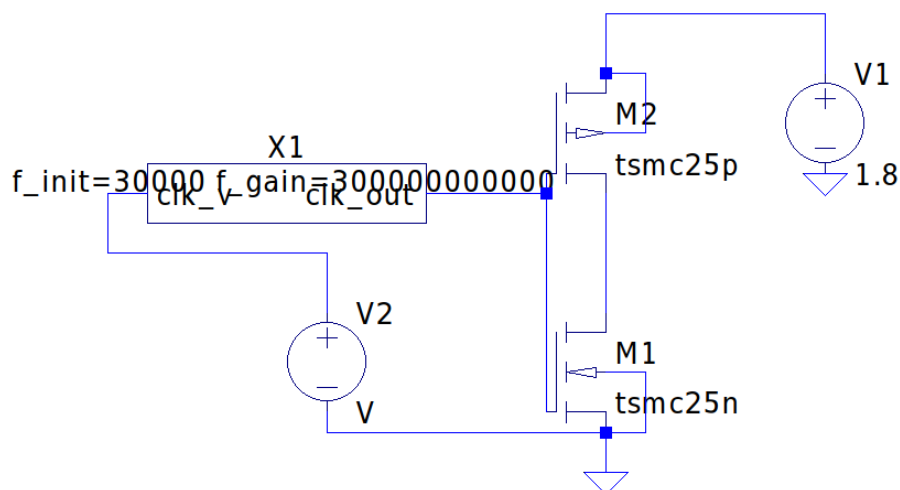


Fig. 3.14. Esquemático del circuito de capacidades conmutadas con reloj de frecuencia variable

Como se puede observar en el esquemático, no se ha incluido un condensador en paralelo a la puerta. Esto es así porque los propios transistores tienen una capacitancia

fruto de las corrientes parásitas. Esta capacitancia, presente en el modelo SPICE de los transistores que se está usando, es del orden de unos  $5 \text{ fF}^{30}$ , suficiente para el correcto funcionamiento del DAC.

Esta es la forma de onda resultante de la simulación:

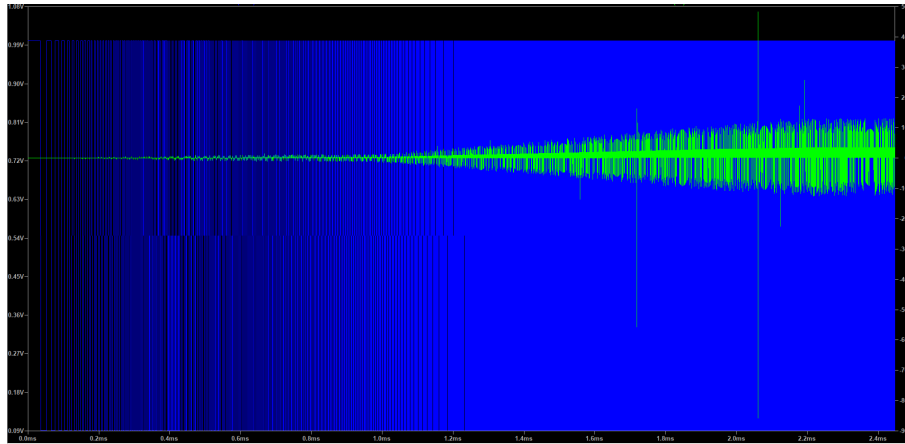


Fig. 3.15. Forma de onda de la simulación del DAC en el esquemático 3.14

La señal azul corresponde al reloj de frecuencia variable y la señal verde es la corriente que circula por el transistor inferior (canal-n) hacia tierra. Se mide en este punto porque en el lazo de realimentación del VCO se conecta este nodo a la señal de entrada, donde ahora está la tierra .

Para obtener la curva de respuesta de este DAC, se debe analizar la forma de onda para relacionar la frecuencia del reloj con la corriente media. Se usa de nuevo el código del apartado 3.1 para obtener los periodos de la señal del reloj. Para obtener la corriente media en cada periodo, se hace la media de los puntos del vector de corriente normalizado (uniformemente espaciado) entre cada uno de los puntos de comienzo de período.

CÓDIGO 3.2. Código en Matlab/Octave para el cálculo de la corriente media por cada periodo

```
1 means = [];
2 for i = 1:(length(timestamp_periods))
3     if i == 1
4         means(i) = mean(dataset_eq_spaced(1:
5             timestamp_periods(1,1), 2));
6     else
```

<sup>30</sup>Femto faradios:  $10^{-15}$  faradios

```

6         means(i) = mean(dataset_eq_spaced(timestamp_periods(
7             i-1,1):timestamp_periods(i,1), 2));
8     end
end
end

```

A continuación se muestra la gráfica frecuencia-corriente media:

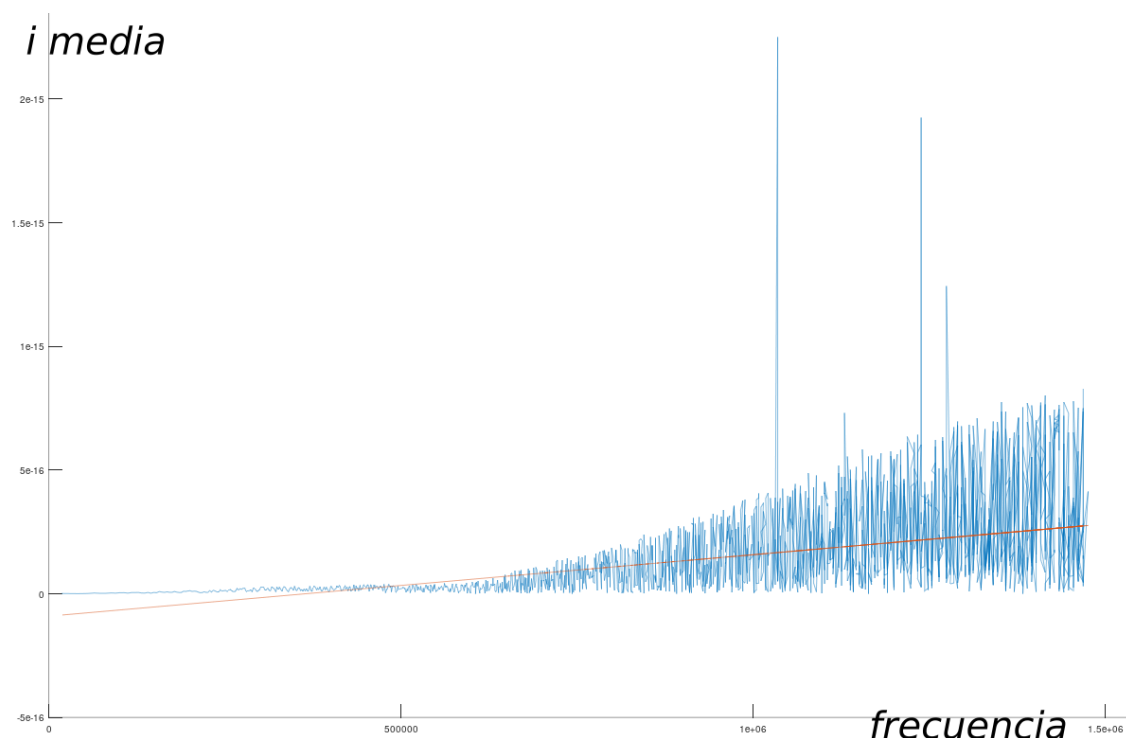


Fig. 3.16. Gráfica frecuencia-corriente media para el DAC

La gráfica azul representa la curva frecuencia-corriente media tal y como se ha procesado con el script expuesto más arriba. En rojo, se ha hecho una regresión lineal de dicha curva. Se puede observar una gran cantidad de ruido en la curva. Esto es así por varios motivos: los ciclos de carga y descarga del condensador (en este caso, capacitancia intrínseca de los transistores) no se simulan correctamente, apareciendo picos de descarga que no se corresponden con la realidad (observar los tres picos de la curva azul). Más allá de esto, la exactitud de la simulación viene de la mano del paso de simulación: a más frecuencia del reloj, menor paso de simulación se necesita para poder muestrear correctamente las señales de interés. Esto supone un problema por limitaciones de hardware: la simulación puede llegar rápidamente a ocupar decenas de gigabytes de memoria RAM y otros tantos de disco. Las simulaciones expuestas en esta memoria se han llevado a cabo intentando

explotar al máximo el hardware disponible para obtener la mayor exactitud posible, pero aún así ha sido inevitable la aparición de ruido como en la gráfica superior.

En cualquier caso, se puede ver una tendencia creciente en las medias. A falta de una capacidad de simulación mejor y respaldándose en las ecuaciones 3.7, se asumirá un comportamiento idealmente lineal del DAC por capacidades conmutadas de cara al desarrollo de los siguientes capítulos.

### 3.3.3. Modelo sencillo de ADC con VCO, abierto

Partiendo del modelo 2.16, se monta el esquemático en LTSpice.

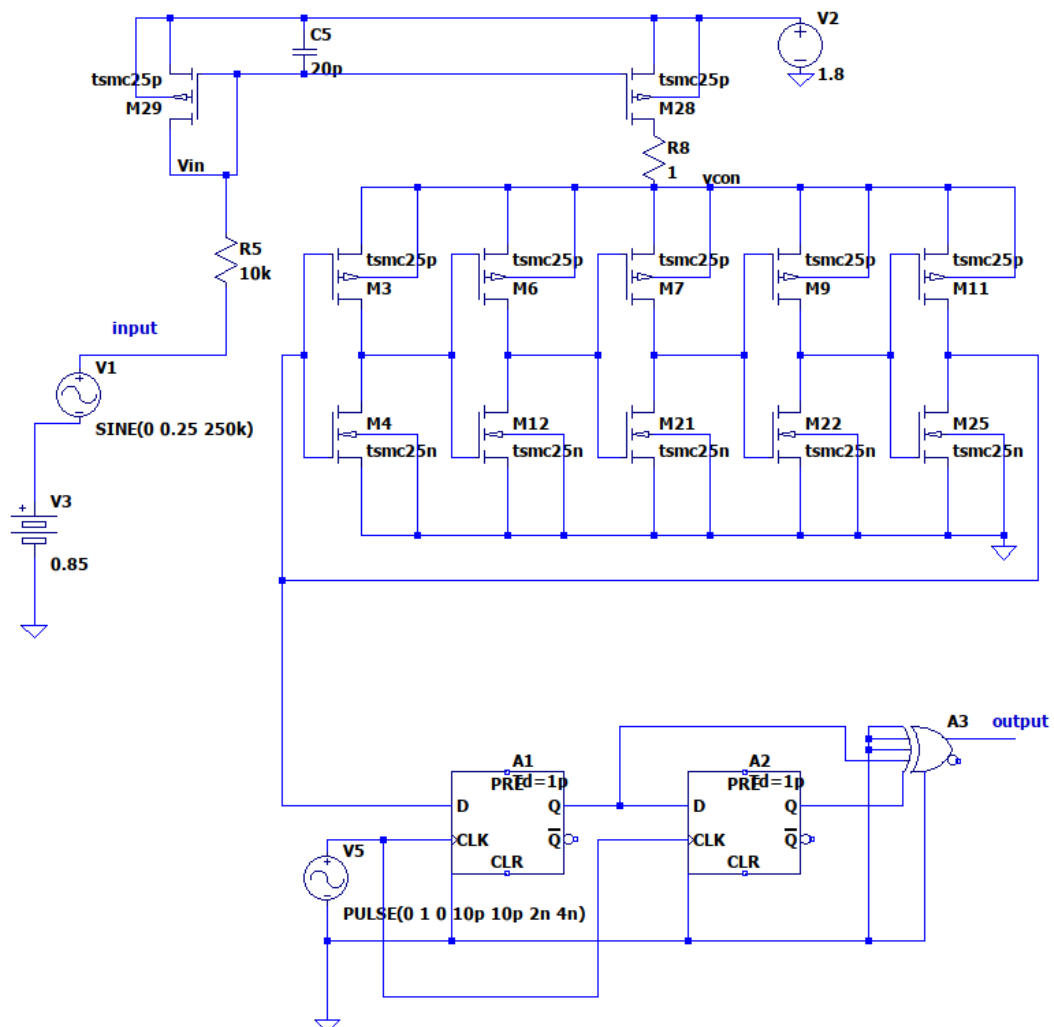


Fig. 3.17. Esquemático del ADC por VCO, abierto

A la izquierda se observa un generador de señal sinusoidal de 250kHz con offset de

0.85V y amplitud 0.5V. Así se emulan las características de las posibles señales a capturar en las aplicaciones a las que va destinado el sistema. En la parte superior está situado un espejo de corriente CMOS, que sirve para acoplar la señal de entrada a la entrada del VCO, actuando como buffer para evitar interacciones entre ambos bloques del sistema. En el centro está el VCO sencillo de cinco puertas, llamadas fases en el caso de un VCO.

Para demodular la señal del VCO (modulada en frecuencia), se usa un circuito de primera diferencia (en la parte inferior del esquemático, tomando la señal entre dos puertas cualquiera del VCO). Esta primera diferencia evalúa la diferencia entre dos señales de salida: una directa (primer flip-flop) y una retrasada un ciclo de reloj (segundo flip-flop). Ambas señales pasan por una puerta XOR para terminar de demodularse. El flujo de pulsos de 1 bit presente en la salida (output) equivale a los flancos de la señal del VCO, muestreados a la frecuencia del reloj conectado a los flip-flops. Así es como se demodula la señal que sale del VCO.

Este es el resultado de la simulación:

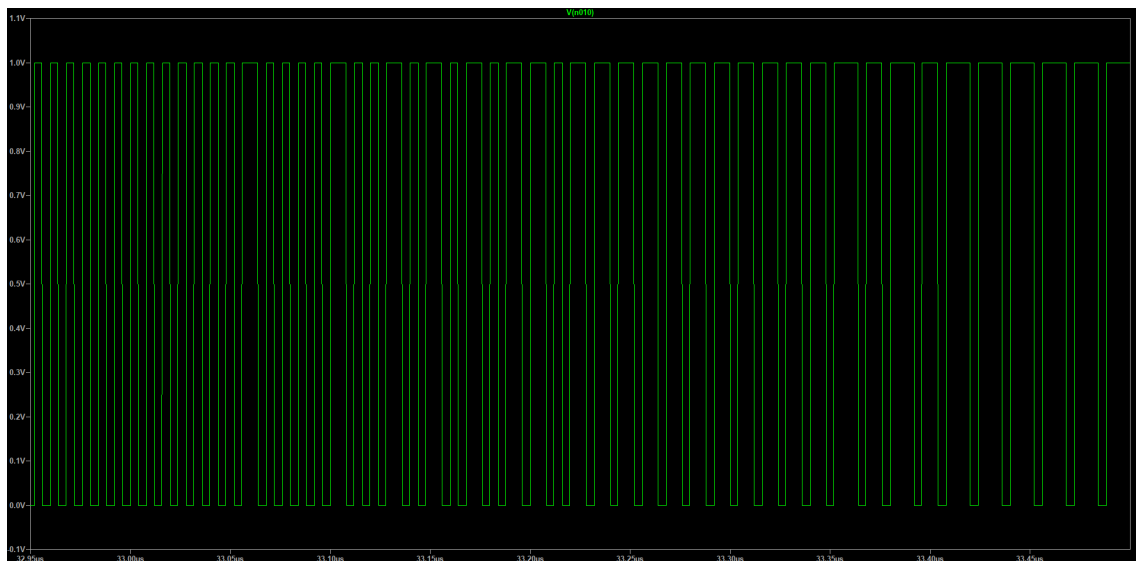


Fig. 3.18. Detalle de la forma de onda de la simulación del VCO abierto

Nótese que se ha escogido un rango cualquiera del total de la simulación, para poder apreciar mejor la forma de onda.

Como se puede observar, la forma de onda en 3.18 es perfectamente cuadrada, ya que se ha sometido a la demodulación por la primera diferencia.

Para analizar el comportamiento del sistema, se usa la transformada rápida de Fourier.



Se compara el espectro de la señal original con el de la señal de salida ya demodulada.

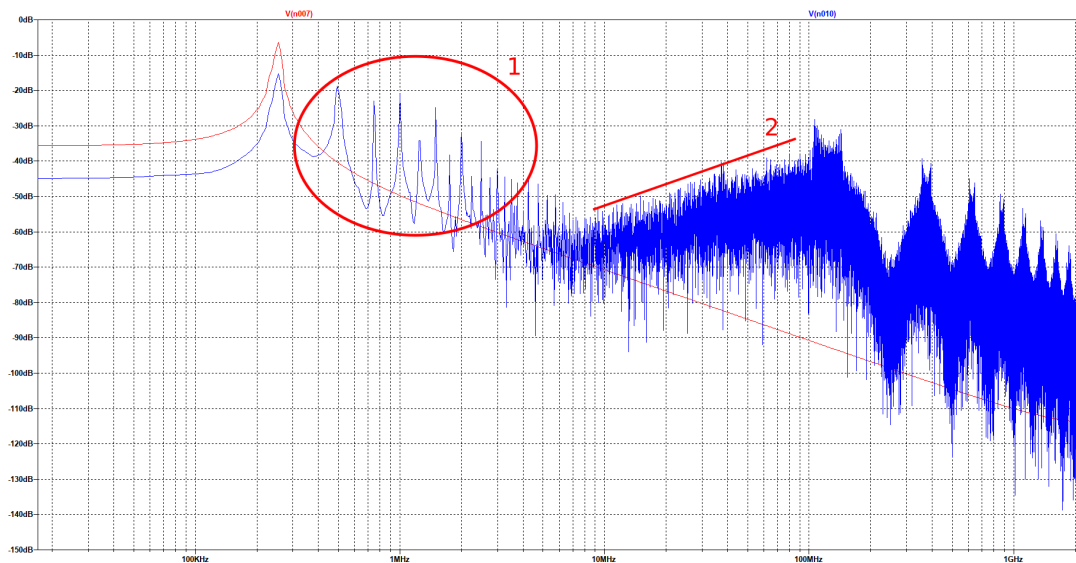


Fig. 3.19. FFT<sup>a</sup> de la señal demodulada del VCO abierto

<sup>a</sup>Fast Fourier Transform, o transformada rápida de Fourier

Para mejorar la visualización, se ha optado por un fondo blanco, con trazos de color rojo para la señal original y color azul para la señal de salida demodulada.

En la FFT 3.19 se puede ver que la señal original ha sido correctamente modulada y demodulada, porque el primer armónico coincide con la frecuencia de la señal original, así como el segundo y tercero con sus múltiplos. La distorsión puede verse en los elevados picos armónicos (marcados con el círculo rojo y el número 1). El umbral de ruido (marcado con la línea roja y el número 2 está el conformado espectral de ruido<sup>31</sup>) es alto para frecuencias altas. En este espectro, el muestreo se hace a mayor frecuencia, de ahí la importancia de limitar el ancho de banda con un procesado posterior, para discriminar este ruido restante. En los siguientes apartados se tratará aumentar la ganancia del primer armónico, disminuyendo la de los demás armónicos y el umbral de ruido.

### 3.3.4. Modelo de ADC por VCO con bucle cerrado

Visto el comportamiento de un VCO en bucle abierto, es el turno de probar cómo se comporta con un bucle de realimentación. Dado que el DAC no invierte la señal de entrada,

<sup>31</sup>Conformado espectral de ruido: conjunto de frecuencias en las que dominan señales no deseadas (ruido) sobre las deseadas (señal a muestrear)

se debe buscar una solución para hacer negativo el bucle de realimentación. La solución que se ha escogido para llevar esto a cabo es utilizar una estructura pseudodiferencial. Esto quiere decir que se replica el circuito de VCO, lazo y primera diferencia. Se invierte la señal de entrada en una de las ramas, para que ambos VCO trabajen con señales opuestas y se cruzan los lazos de realimentación. Así consiguen que los lazos de realimentación actúen negativamente sobre sus respectivas entradas.

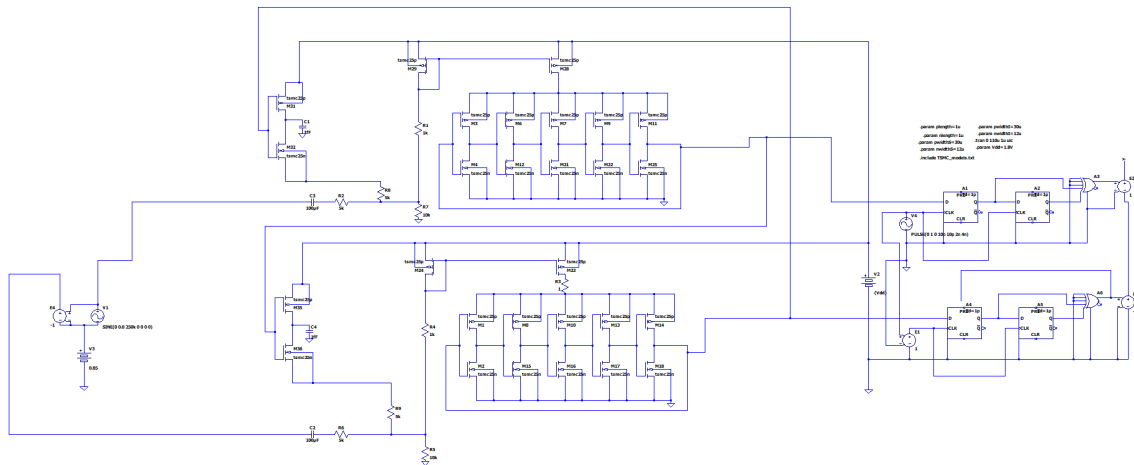


Fig. 3.20. Esquemático del VCO con circuito de primera diferencia

A continuación, se hará un análisis de cada bloque del circuito.

Señal:

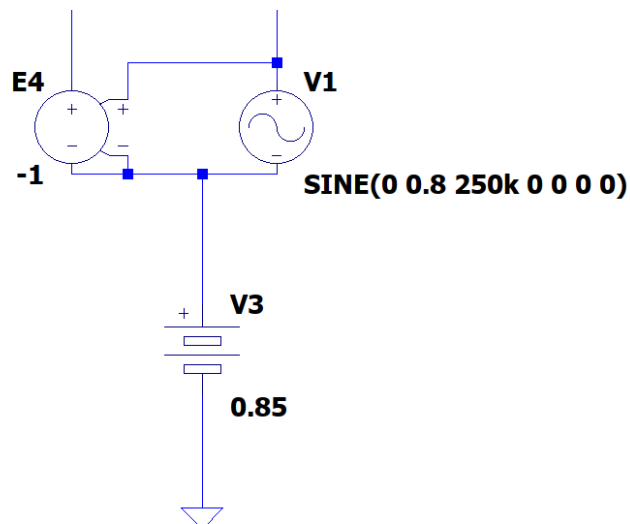


Fig. 3.21. Bloque de la señal del circuito de VCO con lazo cerrado

La señal de entrada del circuito es una señal sinusoidal de 250kHz de frecuencia y amplitud 0.8V con un offset de 0.85V. El offset está presente para evitar que aparezca voltaje negativo en el circuito, que entorpecería el funcionamiento del VCO y del resto de bloques del sistema. Para lograr la estructura pseudodiferencial, se usa un inversor de voltaje (E4) sobre la fuente de alterna V1. Cada una de las dos ramas superiores abastecerá a cada uno de los dos VCO.

Realimentación y negador:

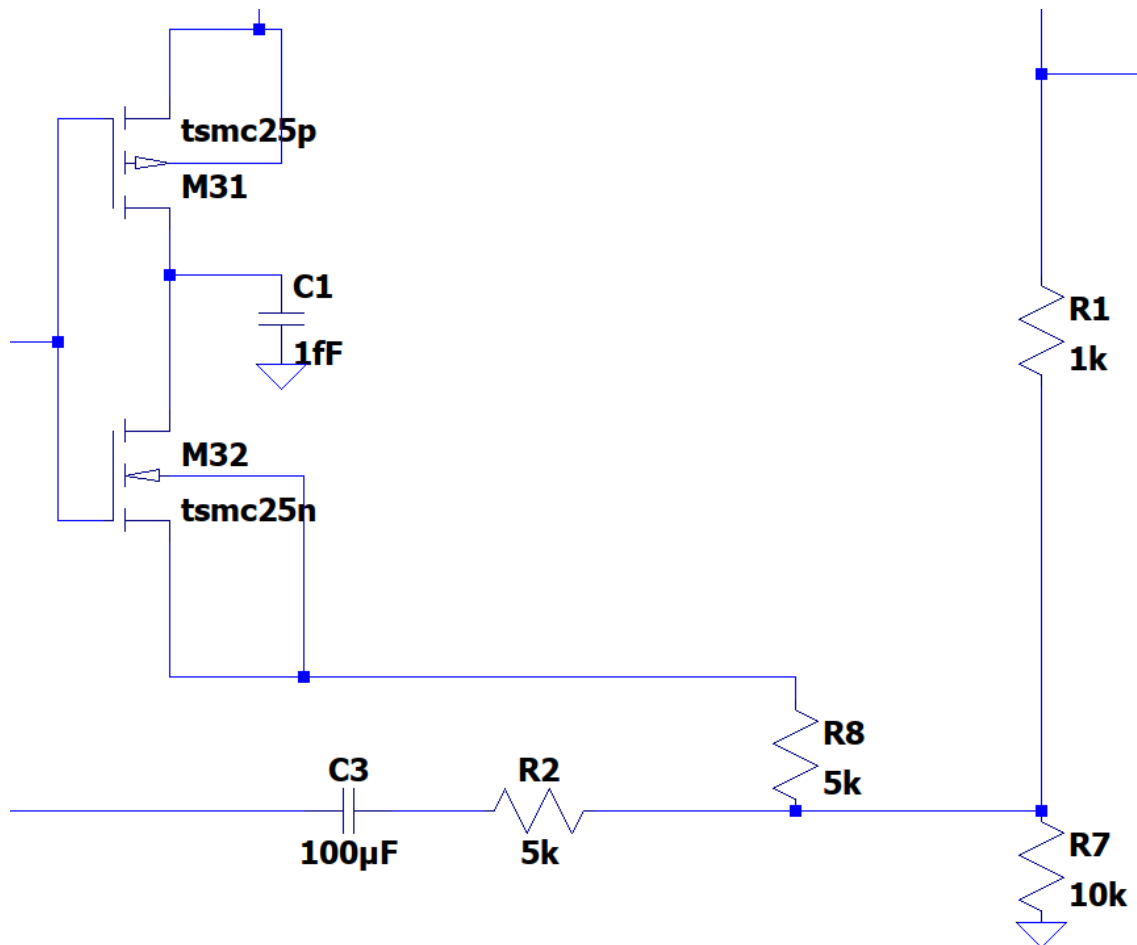


Fig. 3.22. Bloque del lazo de realimentación y del negador del circuito de VCO con lazo cerrado

El bloque anterior conecta con la rama inferior izquierda de este bloque. El condensador aparece para desacoplar la entrada del resto del circuito y evitar interacciones no deseadas entre los componentes. Las resistencias forman un divisor de voltaje que compone el negador, aunque en principio se trate de un sumador entre la señal de entrada y la del lazo de realimentación de la rama opuesta de la estructura pseudodiferencial. El DAC por capacidades conmutadas aparece en la parte superior izquierda. La señal del DAC entra por

su parte izquierda y viene del VCO opuesto. La alimentación del DAC viene en su parte superior, de valor 1.8V, conectando con la fuente del transistor canal-p. El condensador entre los drenadores de los transistores es el encargado de lograr el efecto de la capacidad conmutada. La salida de este bloque al siguiente aparece en la esquina superior derecha, inmediatamente después del transistor de 1K.

Entrada al VCO:

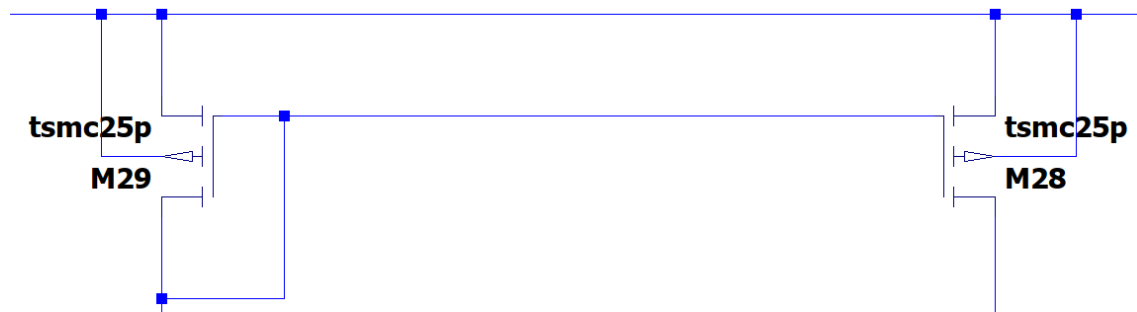


Fig. 3.23. Bloque de la entrada al VCO del circuito de VCO con lazo cerrado

Como buffer antes de la entrada al VCO, se escoge un espejo de corriente formado por dos transistores canal-p. Su función es replicar la corriente de entrada, en la esquina inferior izquierda, por la salida, en la esquina inferior derecha. La alimentación del espejo de corriente viene del raíl superior, a un voltaje de alimentación común al sistema, igual al del DAC del bloque anterior, de 1.8V. Este buffer consigue separar la sección de entrada, compuesta por el bloque del negador y DAC de realimentación, del VCO. Así se evitan interacciones no deseadas entre componentes.

VCO:

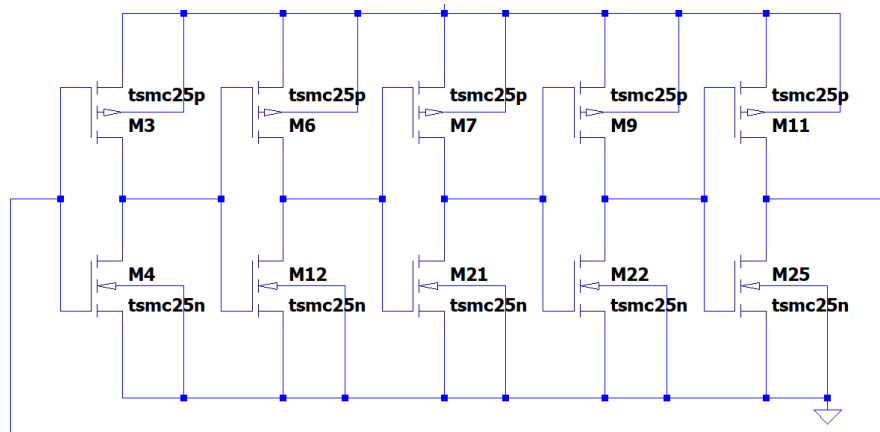


Fig. 3.24. Bloque del VCO del circuito de VCO con lazo cerrado



invertidos. El cambio más significativo con respecto al circuito 3.17 es la inclusión de dos seguidores de tensión,  $E1$  y  $E2$ , que se encargan de sumar las ramas, previa inversión de una de ellas, para compensar el desfase de la señal original. El resultado de todo el sistema aparece en la señal de salida  $Y$ , en la esquina superior izquierda. Es en este pin  $Y$  donde se miden los resultados en los siguientes apartados.

Nótese también que en 3.25 aparece también la alimentación general del sistema,  $V_{dd}$ , que abastece al espejo de corriente y al DAC.

Una vez explicados todos los elementos del sistema, se procede a simular. Este es el resultado:

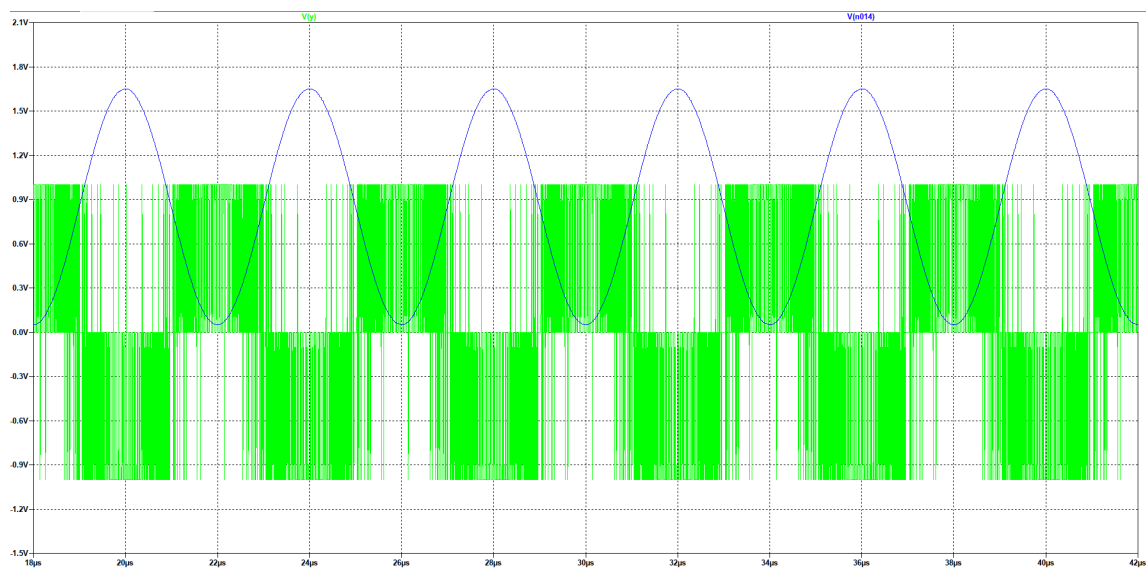


Fig. 3.26. Forma de onda de la simulación del VCO con lazo de realimentación cruzado

En azul, se tiene la señal sinusoidal de entrada del sistema. En verde, la salida  $Y$  final demodulada.

Para apreciar mejor el detalle de la onda, se amplía en una sección cualquiera.

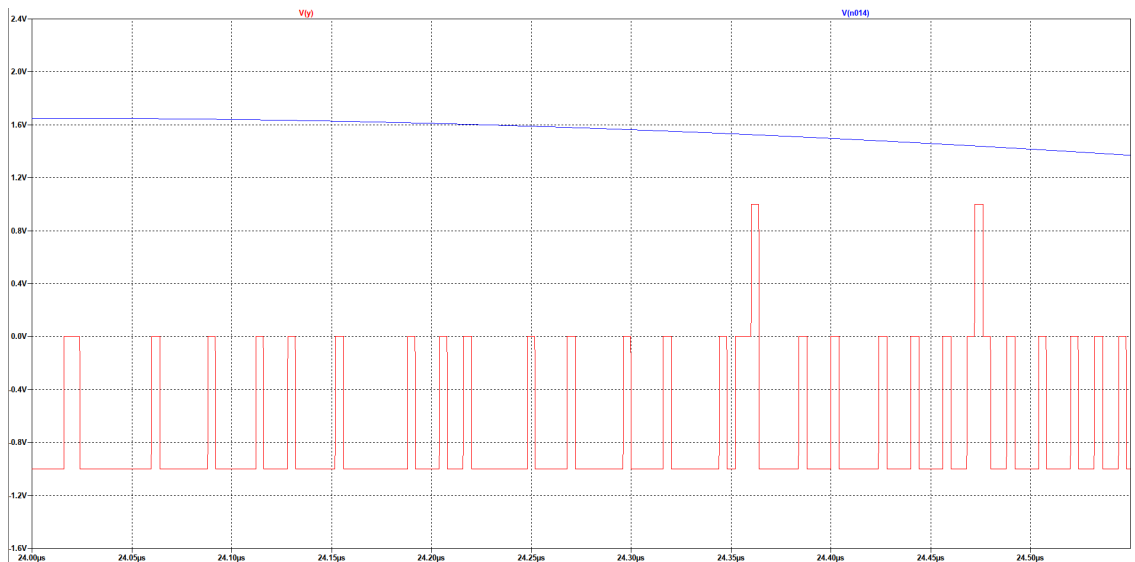


Fig. 3.27. Detalle de la forma de onda 3.26

Nótese que la señal de salida  $Y$  se ha cambiado a color rojo para crear más contraste con el fondo y facilitar su lectura. La señal sinusoidal de entrada mantiene su color azul.

El resultado de la modulación y demodulación de la señal se puede ver en la transformada rápida de Fourier:

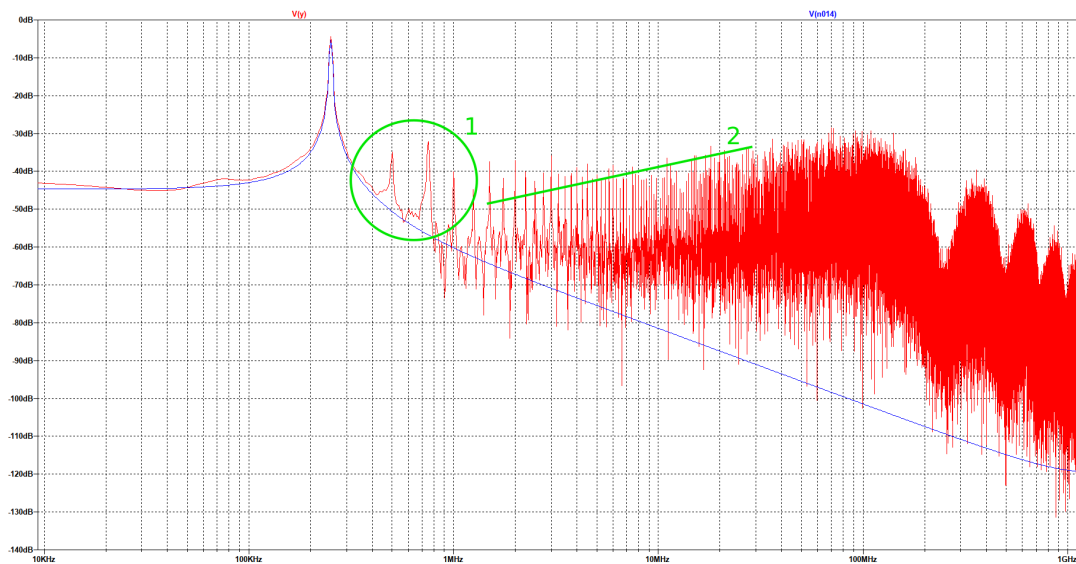


Fig. 3.28. FFT de la forma de onda 3.26

En rojo, se observa la señal final demodulada  $Y$ . Por su parte, en azul está representada la señal original que entra al sistema. Como se puede observar, hasta el armónico principal, la diferencia entre la señal original y la digitalizada es mínima. A partir de este primer

pico, aparecen armónicos secundarios (marcados con el círculo verde y el número 1) y a partir de 1MHz, aparece una fuerte distorsión (marcados en verde, con el número 2). La distorsión en 1 corresponde al término  $Q(s)$  y  $D(s)$  en las ecuaciones 3.2.

Comparando con la figura 3.19, la ganancia del armónico principal es unos 10dB mayor, acercándose a la señal original. Disminuyen notablemente los armónicos secundarios también.

Teniendo en cuenta que el sistema con bucle cerrado funciona correctamente, se puede afirmar que sus prestaciones son superiores con respecto al sistema con bucle abierto. A pesar de ello, no se elimina completamente el ruido de linealidad, que es el objetivo de este estudio. En el apartado siguiente se discutirán soluciones alternativas y trabajo futuro para continuar la labor de investigación expuesta en este documento.

### **3.4. Soluciones alternativas**

Como se comentó en el apartado 3.1, en este estudio se intenta de prescindir de componentes complejos y costosos, en espacio y en consumo, como el amplificador operacional, aprovechando la ganancia intrínseca del VCO y del lazo de realimentación. Aunque la arquitectura propuesta en el apartado 3.3.4 funciona correctamente y supone una importante mejora sobre el modelo de lazo abierto, el error de linealidad no llega a corregirse completamente. En este último apartado se explora una alternativa plausible que aprovecha gran parte de la arquitectura propuesta, añadiendo ganancia extra en el lazo de realimentación. Esta ganancia, según las ecuaciones 3.2, hará que disminuya la magnitud del error de linealidad y de cuantificación.

Se incluye el amplificador operacional en el bloque de realimentación, inmediatamente después del circuito de capacidad conmutada:



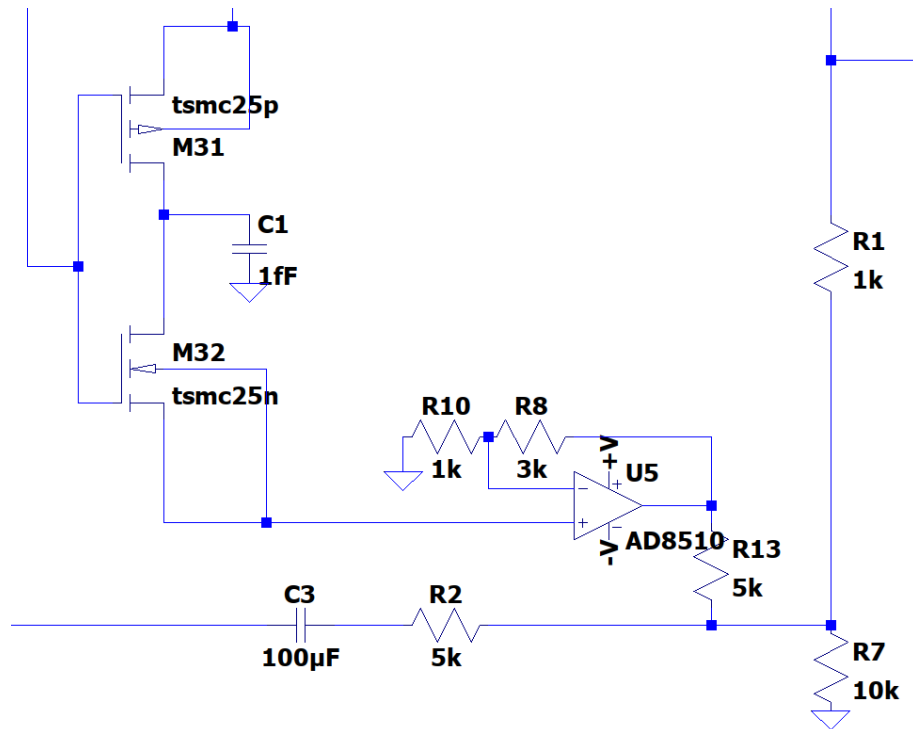


Fig. 3.29. Bloque de alimentación modificado con amplificador operacional

Se opta por una configuración no inversora, para mantener la estructura pseudodiferencial (se podría prescindir de ella en caso de que se use una configuración inversora). Se utiliza un modelo de amplificador operacional de las librerías estándar de LTSpice: un AD8510. Este operacional basado en JFETs está destinado a usos de precisión; es de muy bajo ruido, baja corriente de bias y gran ancho de banda. Utiliza una alimentación raíl a raíl de  $\pm 15\text{V}$ . En cuanto a la ganancia aportada por este amplificador, solo hay que elegir las resistencias en función de la clásica fórmula de ganancia no inversora:  $G = 1 + \frac{R_{in}}{R_f}$ . Probando diferentes valores, se elige una ganancia de 4 ( $G = 1 + \frac{3k}{1k}$ ). Si es más baja, los efectos en el sistema son más difíciles de apreciar. Si es mucho más alta, se llega a una saturación en la entrada del VCO, dejando este de funcionar.

Se procede a simular como de costumbre:

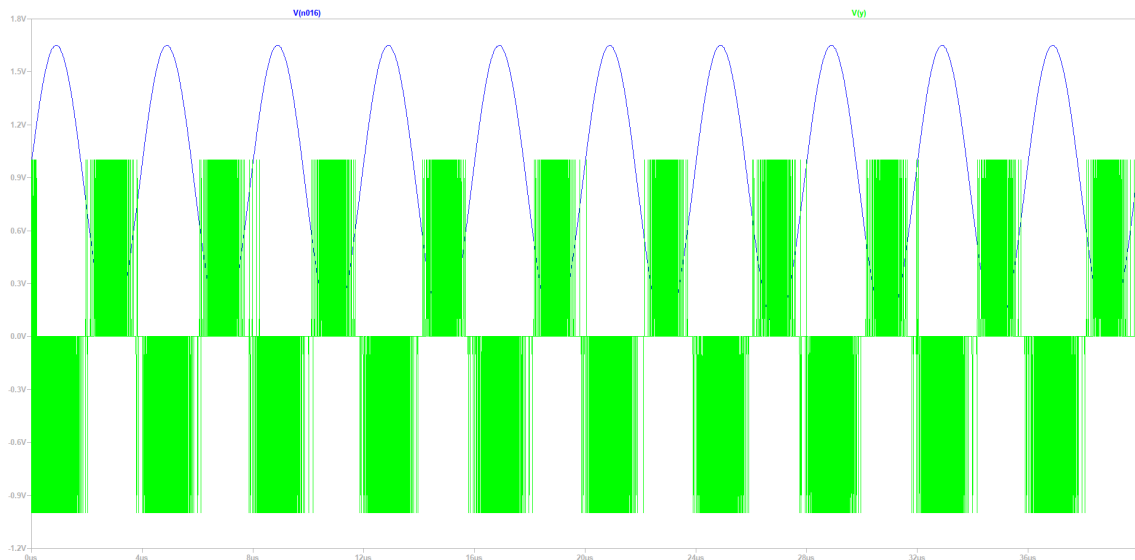


Fig. 3.30. Forma de onda de la simulación del VCO con amplificador operacional en el lazo de realimentación

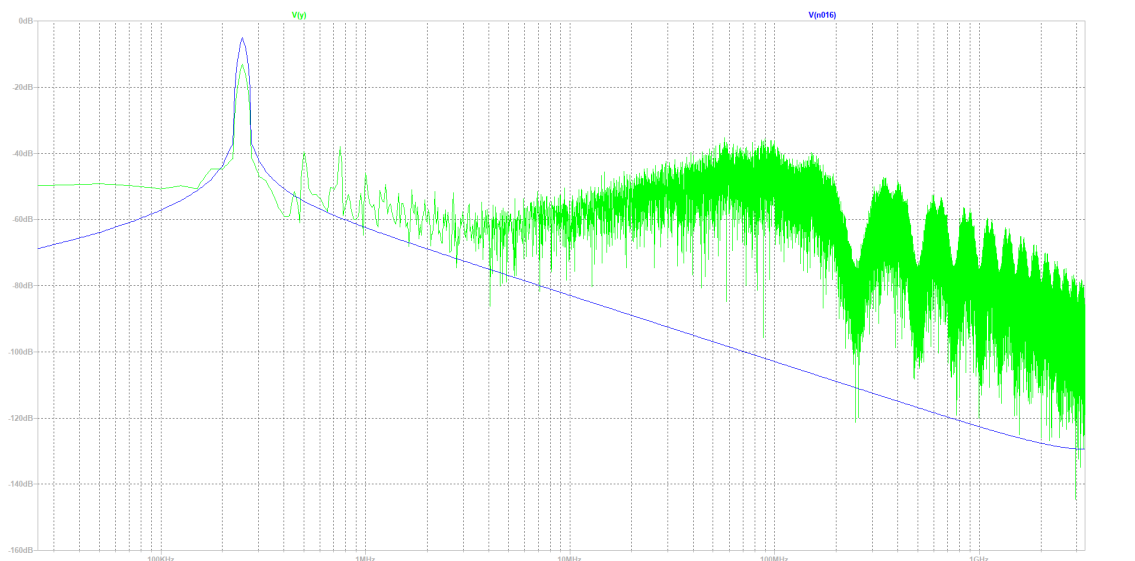


Fig. 3.31. FFT de la forma de onda 3.30

La traza verde corresponde a la salida demodulada y la traza azul, a la señal de entrada del sistema. Comparando la FFT 3.31 con la FFT del circuito sin amplificador operacional, la distorsión es menor: los picos armónicos alcanzan -40dB, mientras que sin operacional, alcanzan -30dB. En cuanto al conformado espectral de ruido, pasa a una ganancia similar: -40dB, frente a los -30dB del sistema sin ganancia por amplificadores. Queda demostrado que la clave para conseguir un mejor comportamiento (menos ruido espectral) es aumentar la ganancia en el lazo de realimentación.

Habiendo probado que este parámetro es decisivo en las prestaciones de la arquitectura de un ADC VCO con oscilador en anillo, queda como trabajo futuro explorar opciones alternativas al amplificador operacional, como arquitecturas de VCO diferentes (más fases, secciones en paralelo), o sustituir las capacidades conmutadas por otro ADC que permita aumentar de manera significativa su ganancia.

## 4. PROTOTIPO REAL

En este capítulo, se describe el prototipo real que se ha construido para probar el funcionamiento de la arquitectura más allá de las simulaciones. La información que aporta un circuito real es valiosa, ya que entran en juego parámetros fundamentales de cara a una aplicación real: defectos y tolerancias de fabricación de los transistores en los chips, variables como la temperatura, las resistencias de las conexiones y secciones de cable, ruidos procedentes de la fuente de alimentación o campos electromagnéticos presentes en el ambiente. Es importante tener en cuenta todos estos factores para poder crear circuitos predecibles, eficientes y fiables en el mundo real.

Para construir el prototipo, se opta por un diseño en breadboard. Se usan chips de la familia 74HC en formato DIP para las puertas inversoras del VCO. En concreto, se opta por un SN74HC04AN<sup>32</sup>, de Texas Instruments, con seis puertas inversoras independientes y alimentación y masa común. Para el espejo de corriente, se elige un chip ALD1107<sup>33</sup> de Advanced Linear Devices, que reúne en su interior cuatro transistores MOS canal-p y está diseñado para circuitos con alta ganancia y alta precisión.

Para cada una de las ramas de la estructura pseudodiferencial, se necesitan dos chips de inversores y uno de MOSFETs. Uno de los inversores estará dedicado al VCO y otro al DAC del lazo de realimentación. Deben estar separados porque el pin de alimentación del chip del VCO está conectada al espejo de corriente, mientras que la del chip del DAC está conectada a la fuente de alimentación general. Duplicando estos componentes para montar la otra rama, quedan cuatro chips de inversores y dos de MOSFETs. Además, son necesarias resistencias y condensadores para el divisor de tensión y la etapa de entrada al sistema.

En las siguientes imágenes se expone el prototipo construido:

---

<sup>32</sup>Hoja de especificaciones: <https://www.ti.com/lit/ds/symlink/sn74hc04.pdf>

<sup>33</sup>Hoja de especificaciones: <https://www.aldinc.com/pdf/ALD1107.pdf>

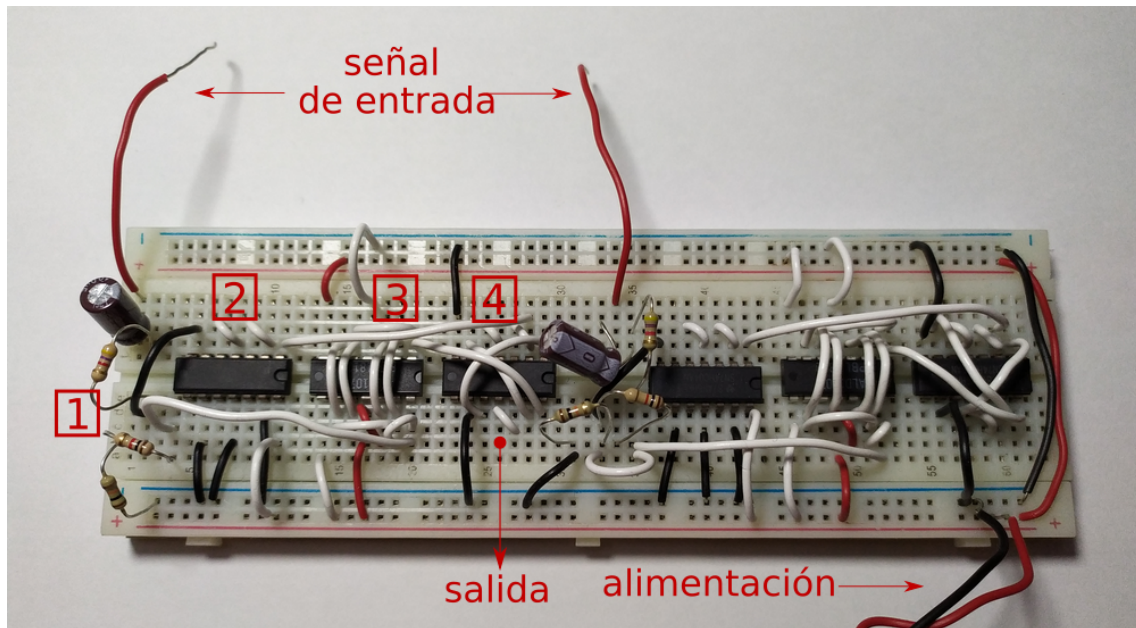


Fig. 4.1. Prototipo del ADC VCO, placa completa

Los bloques y las conexiones externas aparecen anotadas en rojo (solo la rama izquierda; la rama derecha es una réplica exacta).

- Bloque 1: Entrada y divisor de tensión
- Bloque 2: DAC del lazo de realimentación
- Bloque 3: Espejo de corriente
- Bloque 4: VCO en anillo, salida

El circuito montado es idéntico al propuesto en el apartado 3.3.4, con la diferencia de que en el DAC del lazo de realimentación se usan tres puertas inversoras en serie para tratar de aumentar su ganancia (varios transistores MOS en paralelo equivalen a uno cuyo ancho es la suma de los individuales. Este aumento de las dimensiones hace que aumente la ganancia máxima de dicho transistor).

Nótese que en este circuito no aparece la primera diferencia, que es la última etapa en el diseño del apartado 3.3.4. Para este prototipo, la primera diferencia se aplicaría a la señal de salida del VCO una vez se muestreara con el aparato de medida.

A continuación se presentan las medidas tomadas con un osciloscopio analógico:

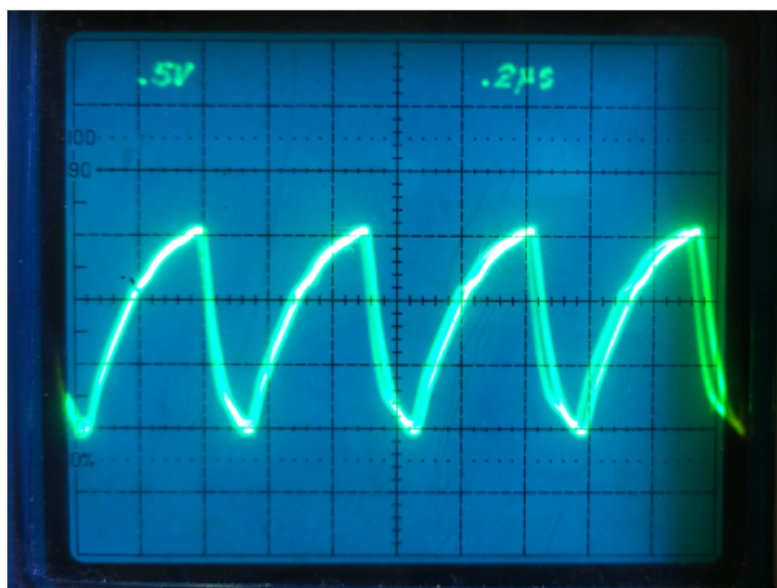


Fig. 4.2. Señal adquirida en osciloscopio I

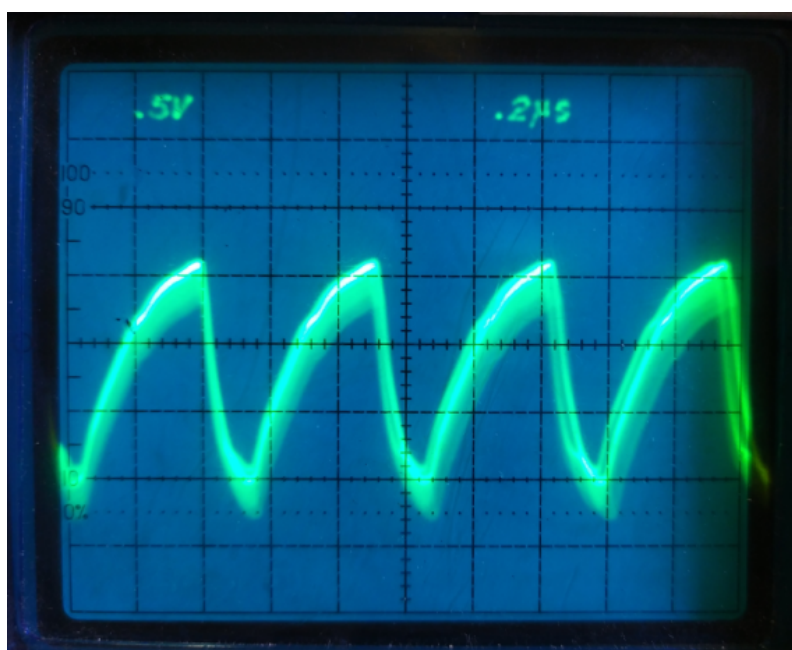


Fig. 4.3. Señal adquirida en osciloscopio II

Ambas señales están tomadas con una sonda no multiplicadora a la salida del VCO. La señal de entrada está proporcionada por un generador de señal sinusoidal de aproximadamente 1V de voltaje pico a pico. La primera de las imágenes (I) representa la señal del VCO bajo una entrada de unos 100Hz. En pantalla, aparece una traza relativamente limpia; esto indica que el VCO está oscilando a una frecuencia relativamente baja, así tanto el osciloscopio puede capturar la señal sin perder resolución. En la siguiente imagen

(II), la frecuencia de la señal de entrada aumenta hasta los 10KHz. En esta, la traza es más borrosa, porque el VCO está oscilando más rápido de lo que el osciloscopio es capaz de leer.

A través de estas imágenes captadas por el osciloscopio, es posible ver la forma de onda que produce el oscilador en anillo y cómo ésta varía al cambiar los parámetros de entrada (principalmente, la frecuencia de la onda sinusoidal).

## 5. CONCLUSIONES Y DISCUSIÓN

A lo largo de este estudio, se ha expuesto el trabajo de investigación llevado a cabo para conseguir solucionar el problema de linealidad de una arquitectura de ADC basado en VCO en anillo. Con tal fin, se han hecho estudios matemáticos y numerosas simulaciones con su correspondiente discusión de resultados.

La interpretación de cada resultado se ha expuesto en su correspondiente apartado, por lo que este capítulo queda reservado para un análisis a grandes rasgos del resultado global de todo el estudio.

La situación de restricciones por COVID-19 en el ámbito universitario ha hecho imposible obtener acceso a los equipos inicialmente previstos para probar el prototipo del apartado 4. Es por eso que en dicho apartado solo se han podido tomar muestras con un osciloscopio sencillo, sin capacidad de almacenarlas digitalmente y analizarlas más tarde, como se estaba previsto hacer en un principio.

El objetivo principal de lograr una arquitectura funcional ha sido cumplido. También se han encontrado los parámetros decisivos de cara a un diseño para aplicación práctica (principalmente, la ganancia del lazo de realimentación). Aunque no se haya logrado un resultado perfecto, trabajos como este son necesarios para sentar una base sobre la que posteriores estudios continuarán.

La conclusión general es sencilla: la ganancia intrínseca del VCO y del DAC no es suficiente para linealizar el circuito por medio de un lazo de realimentación, de manera que debe proveerse otra fuente de ganancia.

A pesar de ello, llegar hasta esta afirmación ha sido fruto de meses de investigación sobre la materia y esta información, debidamente probada en este documento, será útil para la actividad del próximo que tome el relevo de esta línea de investigación.

En un aspecto más personal, este trabajo ha cumplido su objetivo: darme la oportunidad de conocer más a fondo un campo del que apenas tenía constancia al inicio de este proyecto. También he podido poner en práctica la herramienta más importante que he adquirido durante la carrera: ganas de no dejar de aprender.



Es gratificante poder presentar finalmente el fruto de todas las horas de trabajo tanto en los laboratorios del Departamento de Tecnologías Electrónica, como en las reuniones con el tutor, como en casa, realizando simulación tras simulación y encontrando poco a poco los resultados esperados y los pequeños descubrimientos que finalmente pasarían a conformar este documento.

## 6. PRESUPUESTO

Código	Concepto	Unidades	€/Ud.	Subtotal (€)
1.1	Investigador Jr. (h)	350	30	4500
1.2	Investigador Sr. (h)	35	40	1400
1.3	Puesto lab. invest. (h)	300	3	900
1.4	Material lab. <sup>a</sup> (h)	100	4.5	450
1.5	Equipo informático	1	900	900
1.6	Licencia Matlab	1	800	800
1.7	Componentes prototipo	1	14.6	14.6
Total				8964.6 €

TABLA 6.1. PRESUPUESTO GENERAL

---

<sup>a</sup>Osciloscopio, generador de señal, fuente de alimentación

Código	Concepto	Unidades	€/Ud.	Subtotal (€)
2.1	Inversor 74HC	4	0.5	2
2.2	MOSFETs 1107	2	1	2
2.3	Cable	1	2	2
2.4	Protoboard	1	8	8
2.5	Resistencia	6	0.05	0.30
2.6	Condensador	2	0.15	0.30
Total				14.6 €

TABLA 6.2. PRESUPUESTO DEL PROTOTIPO, DESAGREGADO

## BIBLIOGRAFÍA

- [1] G. E. Moore, 'Cramming more components onto integrated circuits,' *Electronics*, vol. 38, n.º 8, 1965.
- [2] T. C. Carusone, D. A. Johns y K. W. Martin, *Analog Integrated Circuit Design*, 2.ª ed. John Wiley & Sons, Inc., 2012.
- [3] *Nanowatt Logic Using Field-Effect Metal. Oxide Semiconductor Triodes*, 3, Palo Alto, California, 1963, pp. 32-33.
- [4] H. Nyquist, 'Certain topics in telegraph transmission theory,' *Transactions of the American Institute of Electrical Engineers*, vol. 47, n.º 2, 1928.
- [5] C. E. Shannon, 'Communication in the presence of noise,' *Proceedings of the Institute of Radio Engineers*, vol. 37, 1949.
- [6] E. G. Fernández, 'Oversampled Analog-To-Digital Converter Architectures Based On Pulse Frequency Modulation,' Tesis doct., Universidad Carlos III de Madrid, 2017.
- [7] S. W. Smith, *The Scientist and Engineer's Guide to Digital Signal Processing*, 2.ª ed. California Technical Publishing, 1999.
- [8] J. M. de la Rosa, *Sigma-delta converters : practical design guide*, 2.ª ed. John Wiley & Sons Ltd, 2018.
- [9] T. Kite, 'Understanding PDM Digital Audio,' Audio Precision, Inc., inf. téc., 2012. [En línea]. Disponible en: [http://users.ece.utexas.edu/~bevans/courses/realtime/lectures/10\\_Data\\_Conversion/AP\\_Understanding\\_PDM\\_Digital\\_Audio.pdf](http://users.ece.utexas.edu/~bevans/courses/realtime/lectures/10_Data_Conversion/AP_Understanding_PDM_Digital_Audio.pdf).
- [10] R. Garvi, L. M. Alvero-Gonzalez, C. Perez, E. Gutierrez y L. Hernandez, 'VCO-ADC linearization by switched capacitor frequency-to-current conversion,' Universidad Carlos III de Madrid.
- [11] X. Xing y G. G. E. Gielen, 'A 42 fJ/Step-FoM Two-Step VCO-Based Delta-Sigma ADC in 40 nm CMOS,' *IEEE Journal of Solid-State Circuits*, vol. 50, n.º 3, pp. 714-723, mar. de 2015.