

**Национальный исследовательский ядерный университет  
«МИФИ»**



**Институт Интеллектуальных  
Кибернетических Систем**

**Кафедра «Компьютерные системы и  
технологии»**

**Пояснительная записка  
к курсовому проекту  
на тему «Проектирование процессора ЭВМ»**

Студент гр. \_\_\_\_\_ / \_\_\_\_\_ /  
Руководитель \_\_\_\_\_ / \_\_\_\_\_ /

Москва 2019

## Оглавление

1.1	<i>Примеры и алгоритмы выполнения операций .....</i>	3
1.1.1	Алгоритм операции УМНОЖЕНИЕ.....	4
1.1.2	Алгоритм операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ.....	8
1.3.4	Сумматор СМ.....	15

# 1 Проектирование блока операций

## 1.1 Примеры и алгоритмы выполнения операций

Формат представления чисел

0 разряд	1 разряд	2 разряд	3 разряд
Зн <b>A</b>	<b>A2</b> ст	<b>A1</b>	<b>A0</b> мл
Зн <b>B</b>	<b>B2</b> ст	<b>B1</b>	<b>B0</b> мл
Зн <b>PB</b>	<b>PB2</b> ст	<b>PB1</b>	<b>PB0</b> мл
Зн <b>PA</b>	<b>PA2</b> ст	<b>PA1</b>	<b>PA0</b> мл
Зн <b>PP</b>	<b>PP2</b> ст	<b>PP1</b>	<b>PP0</b> мл

В 0 разряде хранится знак числа. Это позволяет выполнять операцию сдвига таким образом, чтобы в минимом разряде b4 оказалось значение b3 и так далее. Таким образом при выполнении операции умножения достаточно брать старшие разряды регистра RB.

### 1.1.1 Алгоритм операции УМНОЖЕНИЕ

Умножение в соответствии с заданием выполняется по алгоритму умножения чисел в дополнительном коде с младших разрядов множителя и сдвигом суммы частичных произведений вправо путем последовательного преобразования множителя. Данный алгоритм можно выразить следующей формулой:

$$[A]_д \times [B]_д = \left( \left( \dots \left( (0 + [A]_д \widetilde{b}_n) 2^{-1} + [A]_д \widetilde{b}_{n-1} \right) 2^{-1} + \dots + [A]_д \widetilde{b}_2 \right) 2^{-1} + [A]_д \widetilde{b}_1 \right) 2^{-1} + [A]_д \widetilde{b}_0$$

Где  $\widetilde{b}_k = b_{k+1} - b_k$ ,  $k = 0..n$   
 $\widetilde{b}_{n+1} = 0$

Для четырехразрядных чисел эта формула выглядит следующим образом:

$$[A]_д \times [B]_д = \left( \left( \left( (0 + [A]_д \widetilde{b}_3) 2^{-1} + [A]_д \widetilde{b}_2 \right) 2^{-1} + [A]_д \widetilde{b}_1 \right) 2^{-1} + [A]_д \widetilde{b}_0 \right)$$

Поясним представленный алгоритм примерами:

Пример 1:

$$[A]_{дк} = 1.010 = -6/8$$

$$[B]_{дк} = 0.110 = 6/8$$

$$A \times B = -36/64 = -0,5625 \approx -5/8 = 1.011_{дк}$$

$k = 3 \quad b_3 = 0 - 0 = 0$	+	0	0	0	0	RR = 0
		пропуск				
$k = 2 \quad b_2 = 0 - 1 = -1$		0	0	0	0	RR = RR * 2 <sup>-1</sup>
		0	1	1	0	RA = RA * b <sub>2</sub>
$k = 1 \quad b_1 = 1 - 1 = 0$	+	0	1	1	0	RR = RR + RA
		0	0	1	1	RR = RR * 2 <sup>-1</sup>
$k = 0 \quad b_0 = 1 - 0 = 1$		0	0	0	1	RR = RR * 2 <sup>-1</sup>
		1	0	1	0	RA = RA * b <sub>0</sub>
		1	0	1	1	RR = RR + RA

Пример 2:

$$[A]_{\text{ДК}} = 0.101 = 5/8$$

$$[B]_{\text{ДК}} = 1.011 = -5/8$$

$$A \times B = -25/64 = -0,390625 \approx -4/8 = 1.100_{\text{ДК}}$$

		+	0	0	0	0	RR = 0
$k = 3 \ b_3 = 0 - 1 = -1$			1	0	1	1	RA = RA * $b_3$
			1	0	1	1	RR = RR + RA
			1	1	0	1	RR = RR * $2^{-1}$
$k = 2 \ b_2 = 1 - 1 = 0$			пропуск				
			1	1	1	0	RR = RR * $2^{-1}$
$k = 1 \ b_1 = 1 - 0 = 1$		+	0	1	0	1	RA = RA * $b_1$
			0	0	1	1	RR = RR + RA
			0	0	0	1	RR = RR * $2^{-1}$
$k = 0 \ b_0 = 0 - 1 = -1$		+	1	0	1	1	RA = RA * $b_0$
			1	1	0	0	RR = RR + RA

Пример 3:

$$[A]_{\text{ДК}} = 0.111 = 7/8$$

$$[B]_{\text{ДК}} = 1.111 = -1/8$$

$$A \times B = -7/64 = -0,109375 \approx -1/8 = 1.111_{\text{ДК}}$$

		+	0	0	0	0	RR = 0
$k = 3 \ b_3 = 0 - 1 = -1$			1	0	0	1	RA = RA * $b_3$
			1	0	0	1	RR = RR + RA
			1	1	0	0	RR = RR * $2^{-1}$
$k = 2 \ b_2 = 1 - 1 = 0$			пропуск				
			1	1	1	0	RR = RR * $2^{-1}$
$k = 1 \ b_1 = 1 - 1 = 0$			пропуск				
			1	1	1	1	RR = RR * $2^{-1}$
$k = 0 \ b_0 = 1 - 1 = 0$			пропуск				
			1	1	1	1	RR

Пример 3:

$$[A]_{\text{ДК}} = 0.111 = 7/8$$

$$[B]_{\text{ДК}} = 0.101 = 5/8$$

$$A \times B = 35/64 = 0,546875 \approx 4/8 = 0.100_{\text{ДК}}$$

		0	0	0	0	RR = 0
$k = 3 \ b_3 = 0 - 1 = -1$	+	1	0	0	1	RA = RA * $b_3$
		1	0	0	1	RR = RR + RA
		1	1	0	0	RR = RR * $2^{-1}$
$k = 2 \ b_2 = 1 - 0 = 1$	+	0	1	1	1	RA = RA * $b_2$
		0	0	1	1	RR = RR + RA
		0	0	0	1	RR = RR * $2^{-1}$
$k = 1 \ b_1 = 0 - 1 = -1$	+	1	0	0	1	RA = RA * $b_1$
		1	0	1	0	RR = RR + RA
		1	1	0	1	RR = RR * $2^{-1}$
$k = 0 \ b_0 = 1 - 0 = 1$	+	0	1	1	1	RA = RA * $b_0$
		0	1	0	0	RR = RR + RA

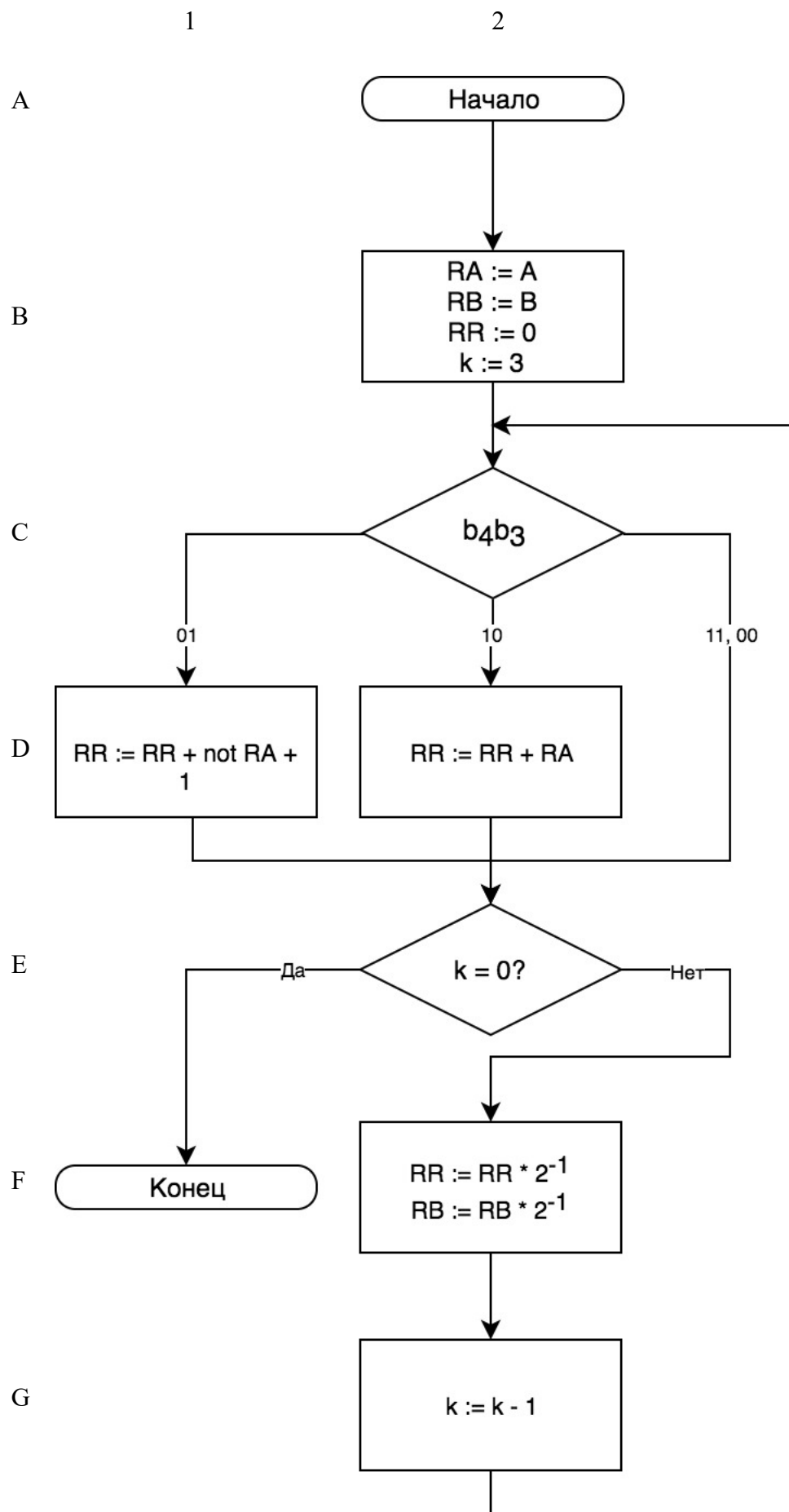


Рис. 1.1 Алгоритм операции УМНОЖЕНИЕ

### 1.1.2 Алгоритм операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ

Дополнительный код абсолютного значения второго операнда помещается по адресу первого операнда. Устанавливается признак результата: 0 – результат равен нулю, 1 – результат меньше нуля. Поясним алгоритм примерами:

Пример 1

$$\begin{array}{r} [B]_{\text{ДК}} = 1.101 \\ \hline RR = 1.101 \\ PR = 1 \end{array}$$

Пример 2

$$\begin{array}{r} [B]_{\text{ДК}} = 0.101 \\ \hline RR = 1.011 \\ PR = 1 \end{array}$$

Пример 3

$$\begin{array}{r} [B]_{\text{ДК}} = 0.000 \\ \hline RR = 0.000 \\ PR = 0 \end{array}$$



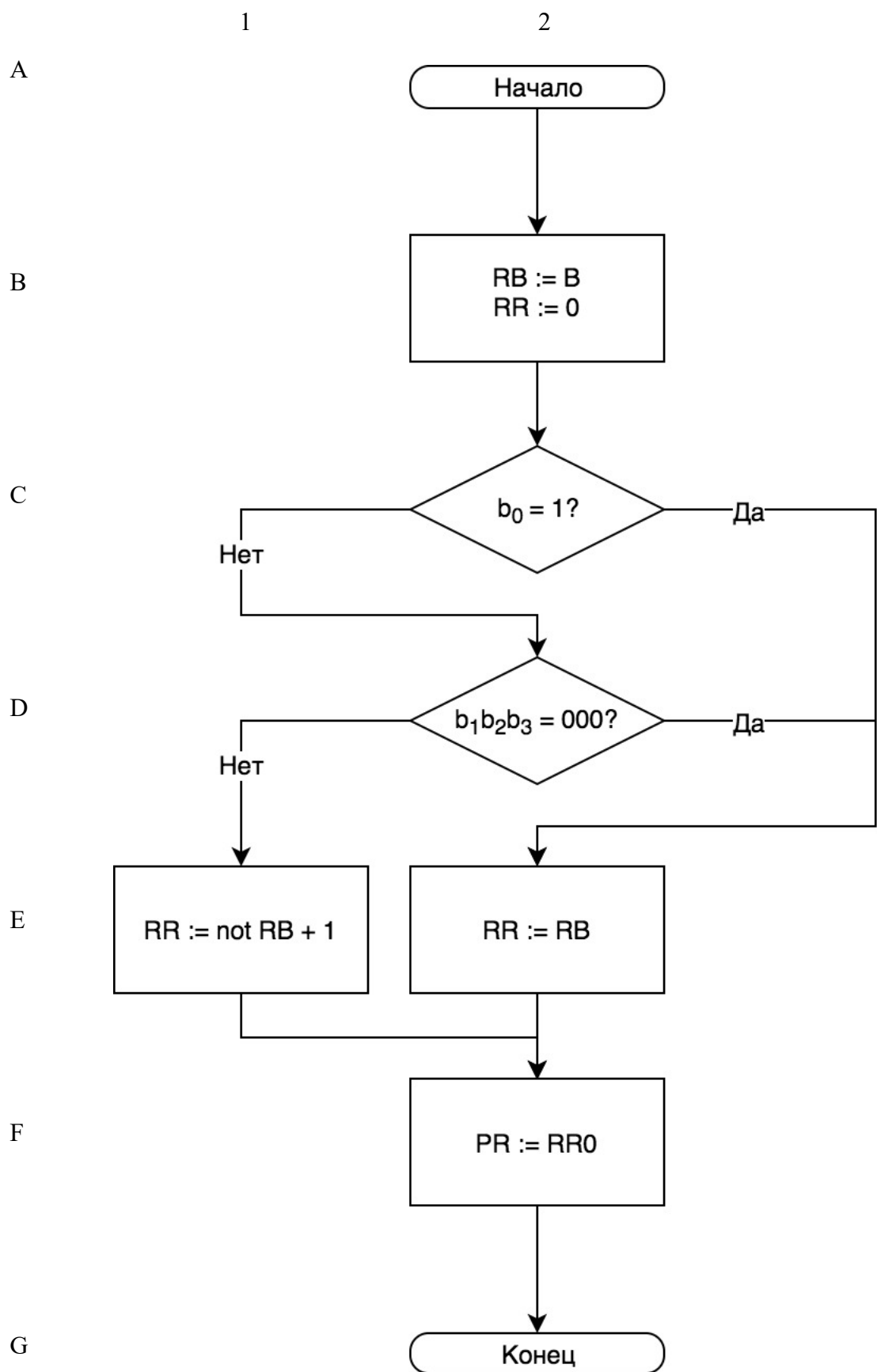


Рис. 1.2 Алгоритм операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ

## 1.2 Функциональная схема блока операций

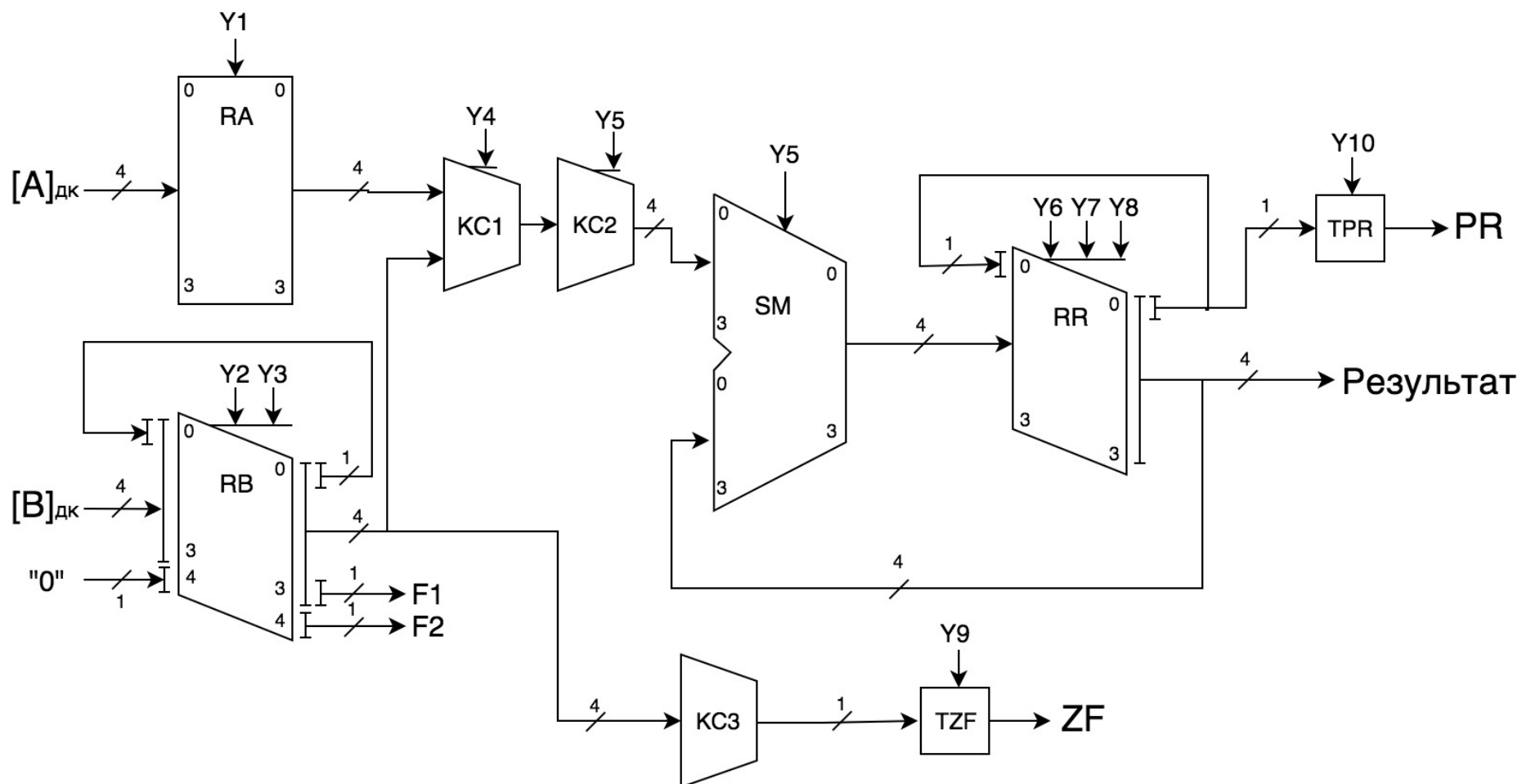


Рис. 1.3. Функциональная схема блока операций

На рис. 1.3 представлена функциональная схема БО, в следующей таблице 1.1 приведены все элементы данной схемы блока операций с их назначением и функциями.

Таблица 1.1

Функциональное назначение блоков

Обозначение блока	Назначение
RA	Регистр первого операнда; 4 разряда Параллельная загрузка [A]
RB	Регистр второго операнда; 4 разряда Параллельная загрузка [B], арифметический сдвиг вправо на 1 разряд
RR	Регистр результата; 4 разрядов; Установка в 0, параллельная загрузка, арифметический сдвиг вправо на 1 разряд
TPR	Триггер признака результата; 1 разряд Установка в 0, загрузка
KC1	Выбор операнда (RA или RB)
KC2	Инверсия операнда
KC3	Определение положительного числа
SM	Сумматор; 4 разряда

### 1.3 Проектирование логических элементов блока операций

#### 1.3.1 Регистр первого операнда RA

Данный регистр является четырехразрядным регистром хранения. Наиболее подходящим для реализации функций регистра RA является регистр FD4CE (рис. 1.4).

Таблица 1.2

Таблица управляющих сигналов RA

Обозначение	Назначение
У1	
0	Хранение
1	Разрешение загрузки

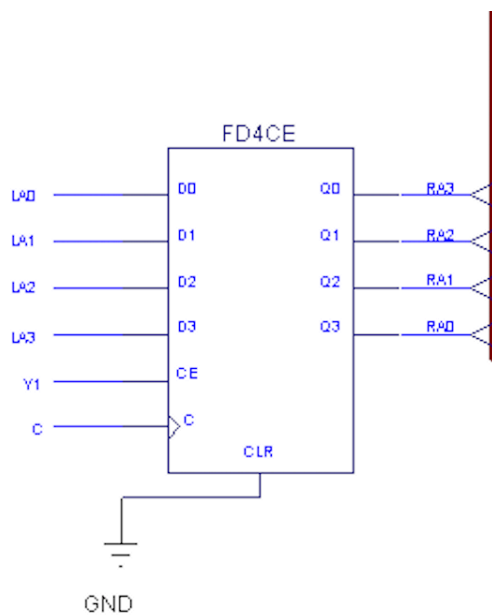


Рис. 1.4. Логическая схема RA

1.3.2 Регистр второго операнда RB

Данный четырехразрядный регистр RB, в отличие от регистра RA, должен также осуществлять микрооперацию арифметического сдвига вправо на 1 разряд. Для этой цели был выбран универсальный регистр сдвига SR4CLE (рис. 1.5).

Таблица 1.3  
Таблица управляющих сигналов RB

Обозначение		Назначение
Y2	Y3	
0	0	Хранение
1	0	Разрешение загрузки
0	1	Сдвиг вправо 1 разряд

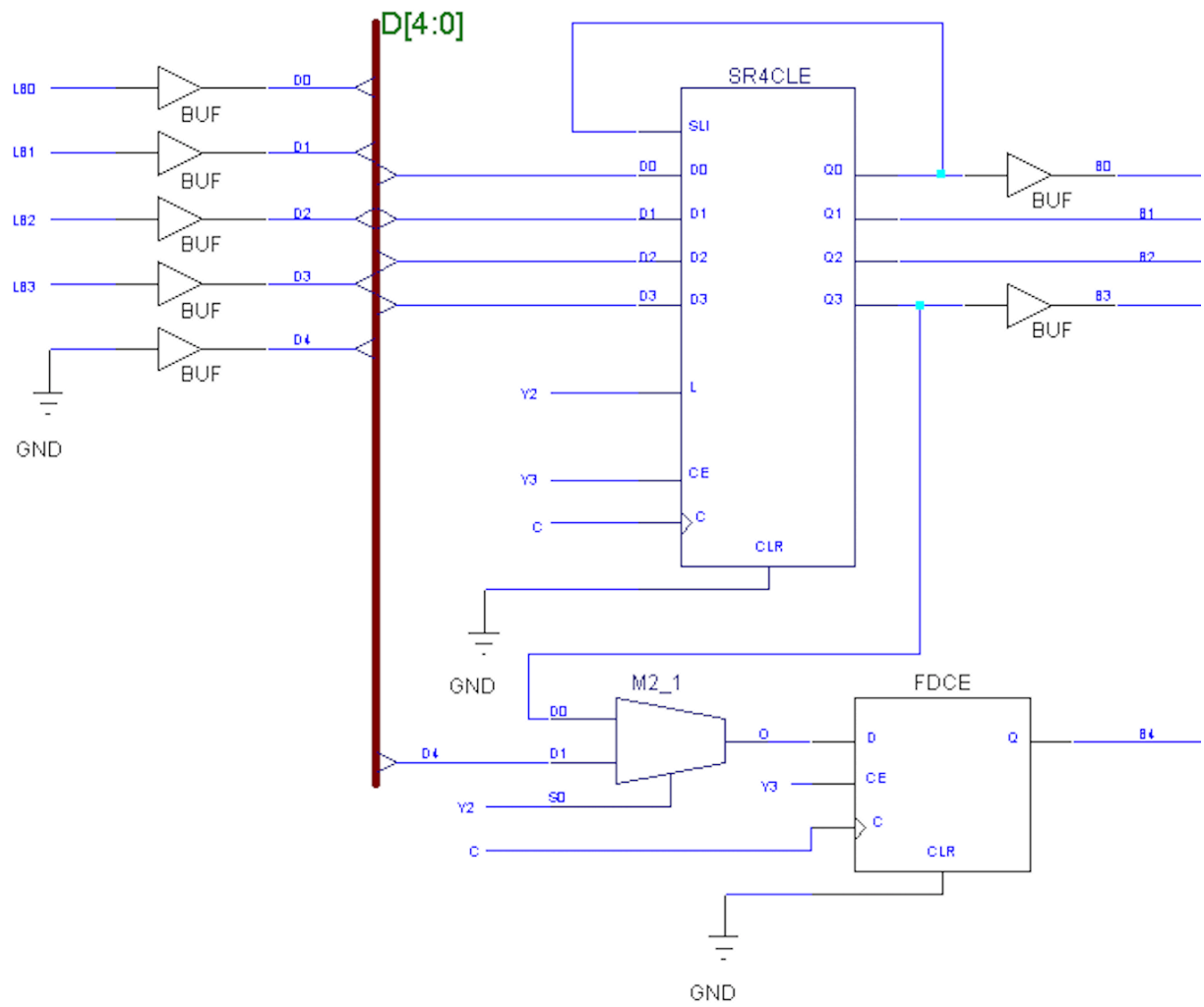


Рис. 1.5. Логическая схема RB

### 1.3.3 Регистр результата RR

Регистр RR должен выполнять микрооперации параллельной загрузки, хранения, арифметического сдвига вправо на 1 разряд и установки в нуль. С учетом данных требований был выбран универсальный регистр сдвига SR8CLE (рис. 1.6). В таблице 1.4 представлены обозначения управляющих сигналов регистра и их назначение.

Причем результат умножения хранится в четырех старших разрядах регистра. Таким образом происходит обрезание результата микрооперации без округления.

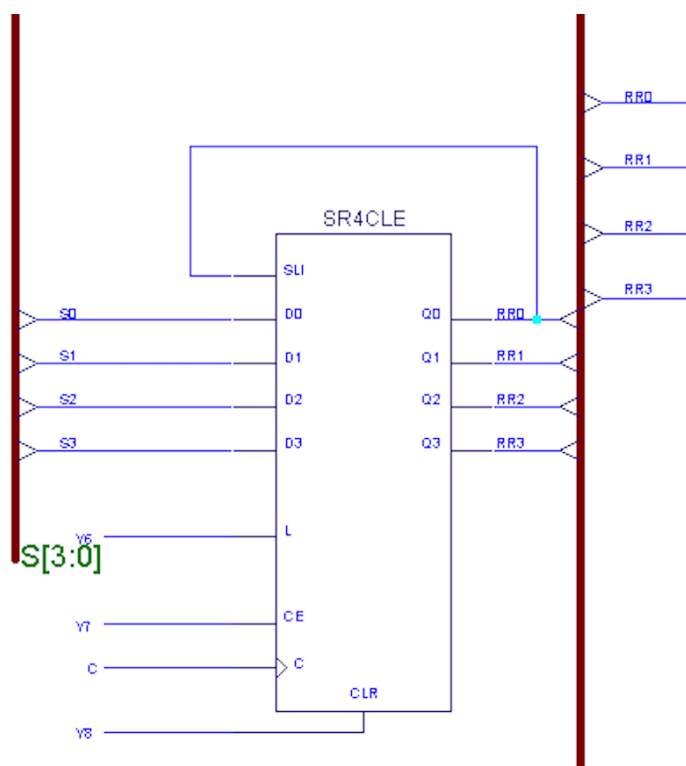


Рис 1.6 Логическая схема RR

Таблица 1.4

Таблица управляющих сигналов RR

Обозначение			Назначение
Y6	Y7	Y8	
0	0	1	Асинхронный сброс в 0
0	0	0	Хранение
0	1	0	Сдвиг вправо 1 разряд
1	0	0	Разрешение загрузки

### 1.3.4 Сумматор CM

Для построения сумматора возьмем восьмиразрядный сумматор ADD8, подавая сигнал Y5 во время корректирующего шала для получения инверсного значения А или В в дополнительном коде (рис. 1.7).

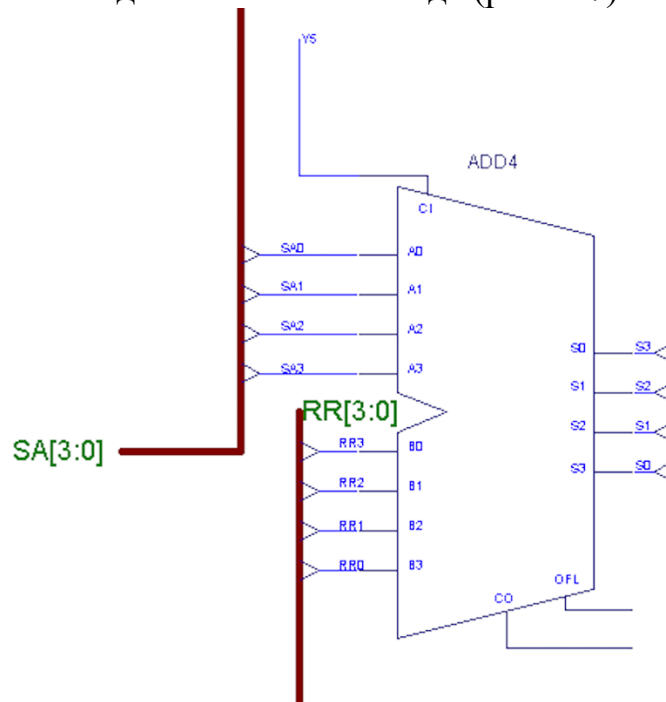


Рис 1.7 Сумматор с корректирующим входом

1.3.5 Комбинационная схема КС1

С помощью данной комбинационной схемы происходит выбор операнда А или В. За выбор операнда отвечает У4 (рис. 1.8). В таблице 1.5 представлены назначения управляющего сигнала комбинационной схемы.

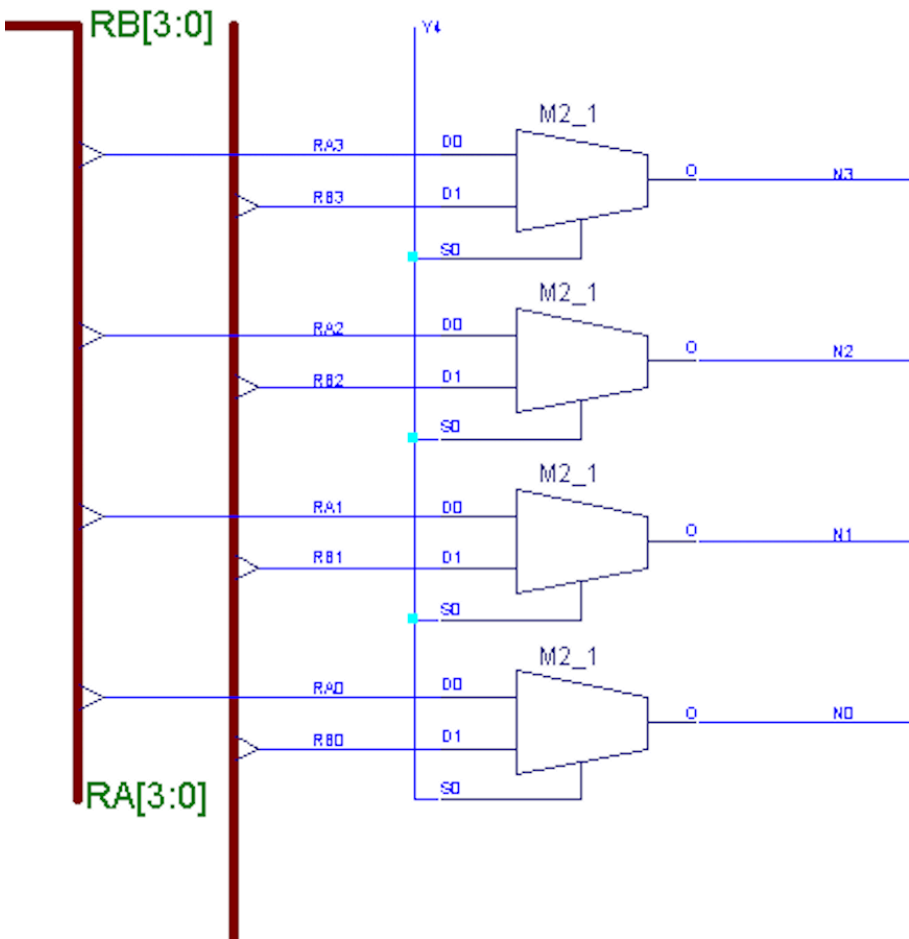


Рис. 1.8 Комбинационная схема КС1

Таблица 1.5

Таблица управляющих сигналов КС1

Обозначение	Назначение
У4	
0	Подача А на сумматор
1	Подача В на сумматор



1.3.6. Комбинационная схема КС2

Комбинационная схема инвертирует входное значение (рис. 1.9). В качестве управляющего сигнала поступает У5. Таблица назначений представлена ниже (Таблица 1.6)

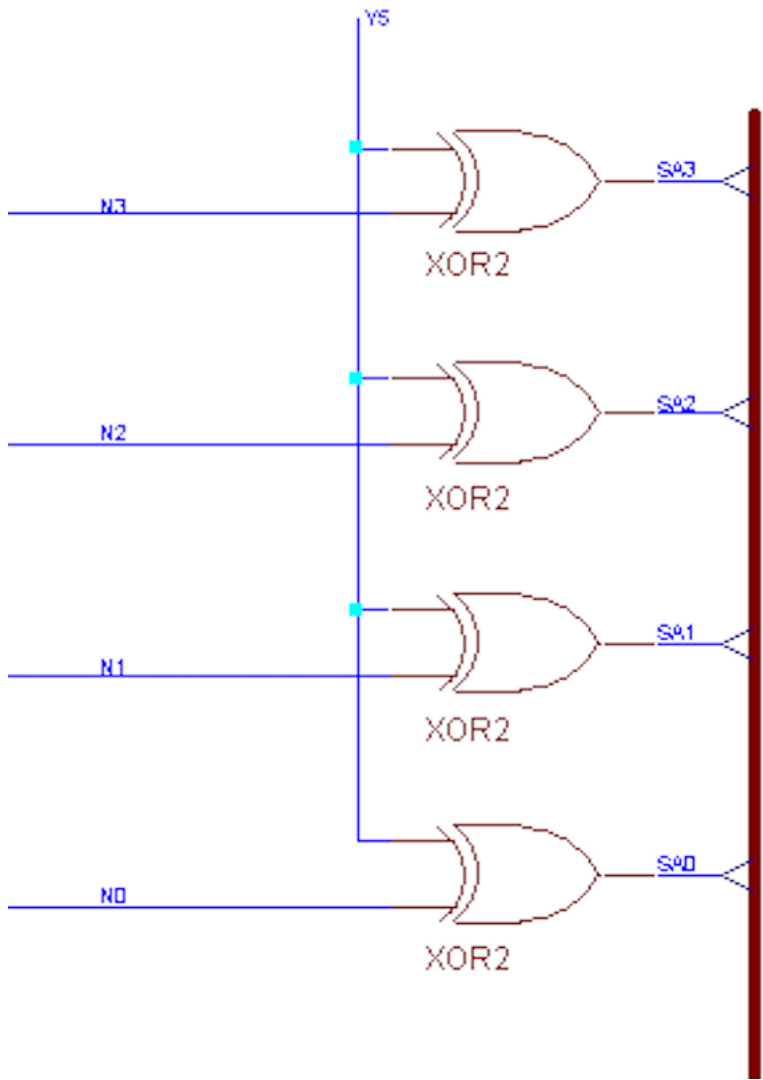


Рис. 1.9 Комбинационная схема КС2

Таблица 1.6

Таблица управляющих сигналов КС2

Обозначение	Назначение
У5	
0	Подача N на сумматор
1	Подача $\bar{N}$ на сумматор

1.3.7. Комбинационная схема КСЗ и триггер TZF

Комбинационная схема КСЗ осуществляет определение числа на положительность анализируя 4 разряда регистра RB по следующей таблице истинности. (Таблица 1.7) Результат записывается в триггер TZF (рис. 1.10)

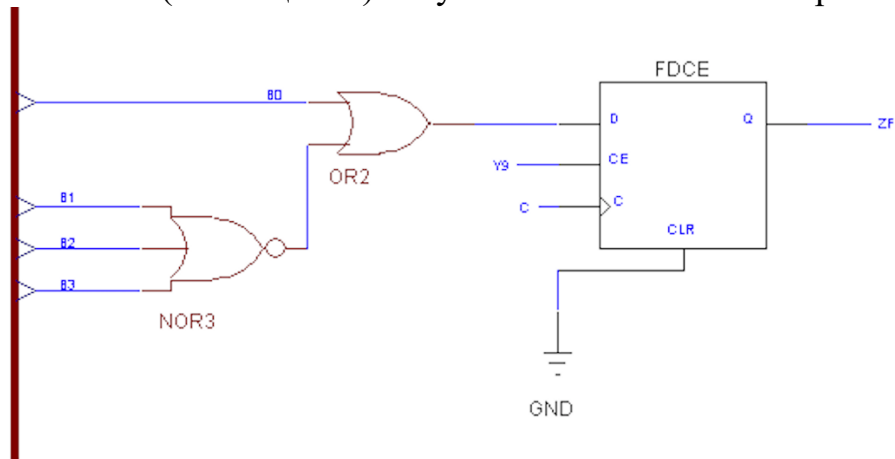


Рис. 1.10 Комбинационная схема КСЗ и триггер TZF

Таблица 1.7  
Таблица истинности для RB

RB0	RB1	RB2	RB3	ZF
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

1.3.8. Триггер TPR

Триггер TPR хранит знак результата – признак результата (рис. 1.11). Может принимать значения 0 – результат равен 0, 1 – результат меньше 0. Управляется сигналом У10. Его назначение представлено в таблице 1.8

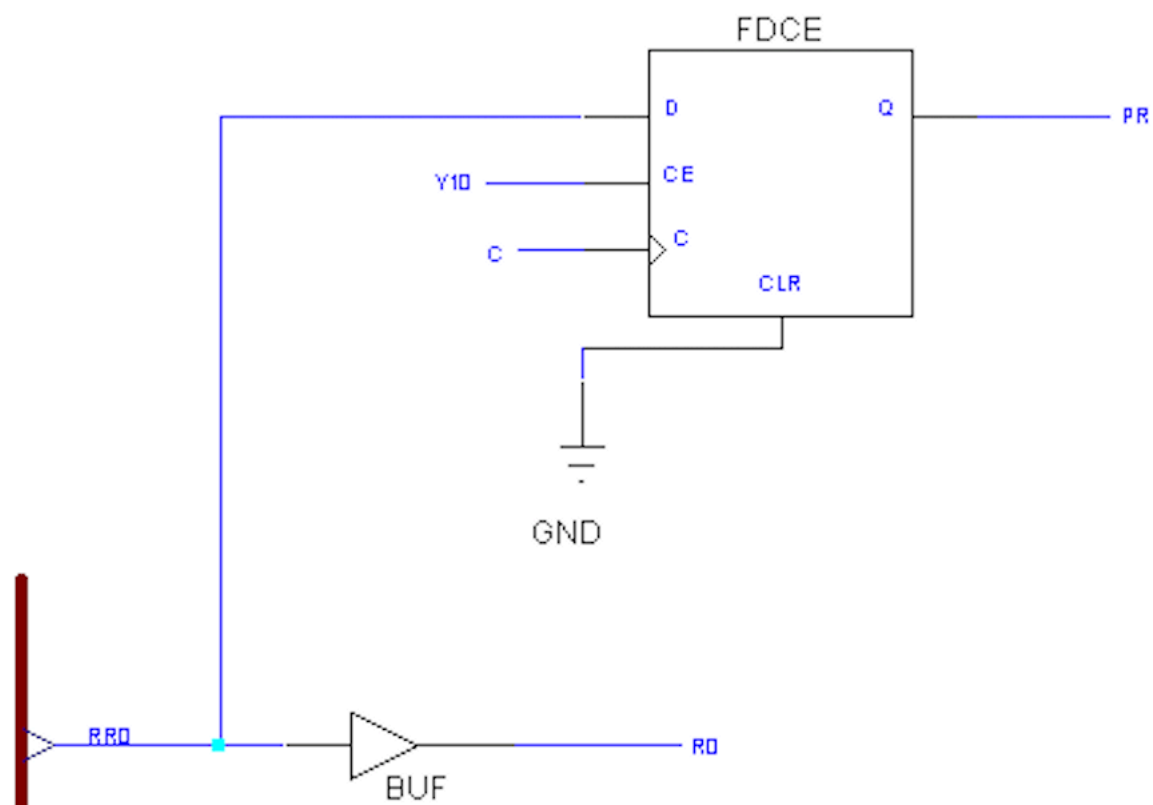


Рис. 1.11 Триггер TPR

Таблица 1.8  
Таблица управляющих сигналов TPR

Обозначение	Назначение
У9	
0	Хранение
1	Разрешение загрузки

## 1.4 Логическая схема блока операций

На рис. 1.12 приведена полная логическая схема блока операций

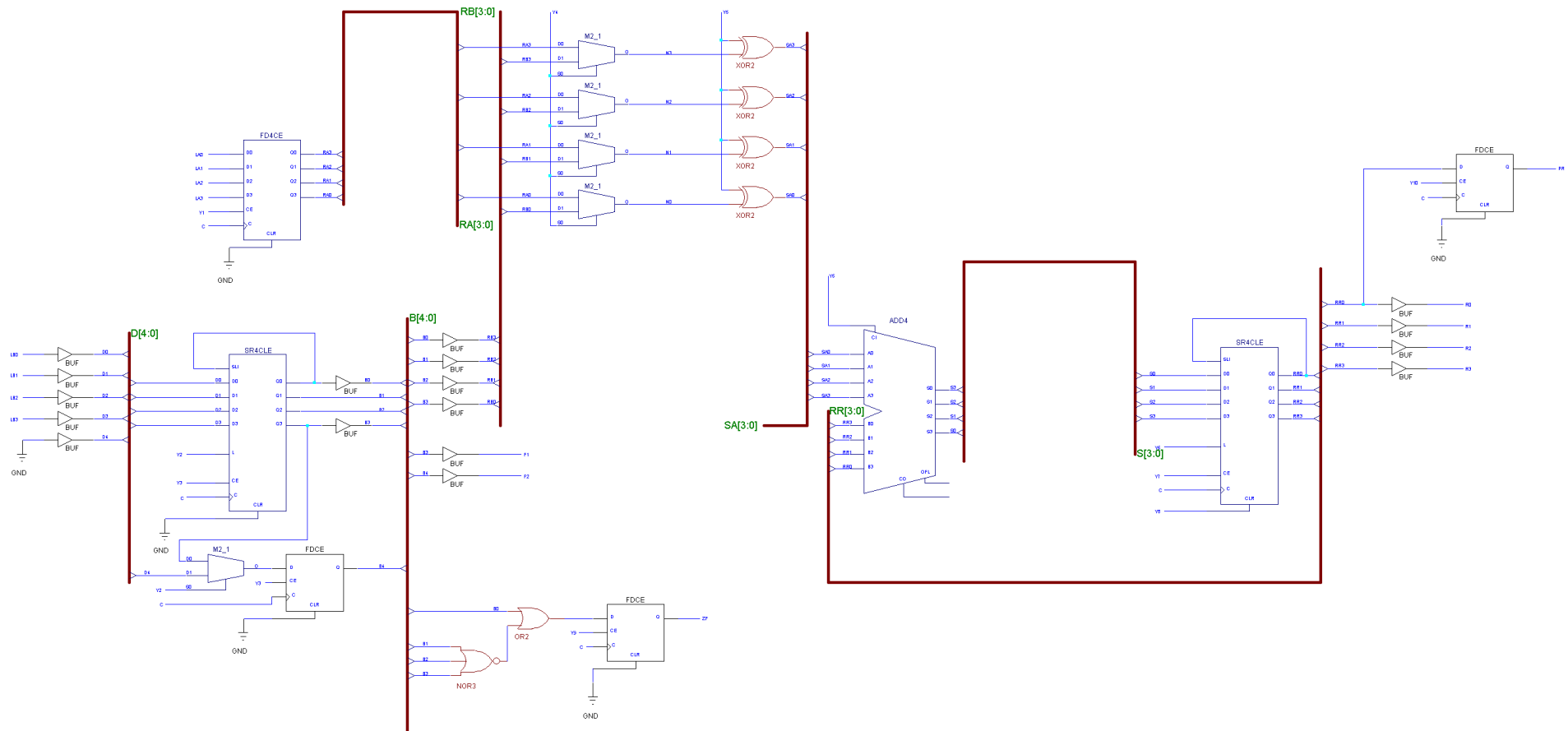


Рис. 1.12. Логическая схема блока операций

В таблицах 1.9 и 1.10 сведены описания управляющих сигналов и сигналов-признаков блока операций.

### Определение управляющих сигналов БО

Таблица 1.9

Таблица управляющих сигналов

Сигнал	Операция
У1	Загрузка А в RA
У2	Загрузка В в RB
У3	Арифметический сдвиг RB вправо на 1 разряд
У4	Прием значения из RA или из RB
У5	Подача инверсного входа на сумматор
У6	Загрузка RR
У7	Арифметический сдвиг RR вправо на 1 разряд
У8	Сброс RR
У9	Загрузка TZF
У10	Загрузка TPR

### Определение сигналов-признаков БО

Таблица 1.10

Таблица сигналов признаков

Сигнал	Признак
F1	3 разряд В
F2	4 разряд В
F3	Признак положительного числа

## 1.5 Микропрограммы выполнения операций

### 1.5.1 Алгоритмы выполнения микропрограмм

На рис. 1.13 и 1.14 представлены блок-схемы алгоритмов микропрограмм выполнения операций Умножение и Пересылка отрицательная.

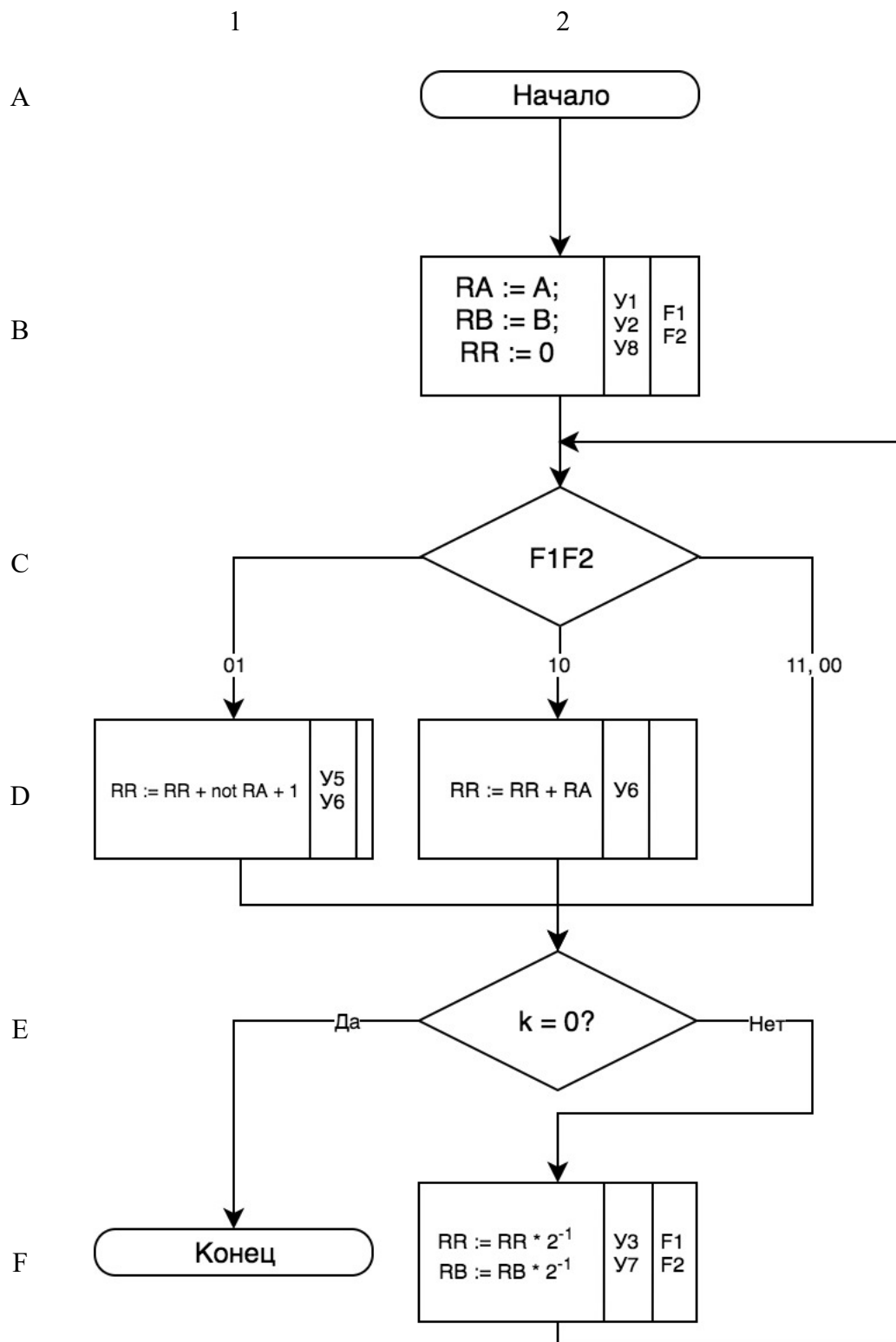


Рис. 1.13 Микропрограмма операции УМНОЖЕНИЕ

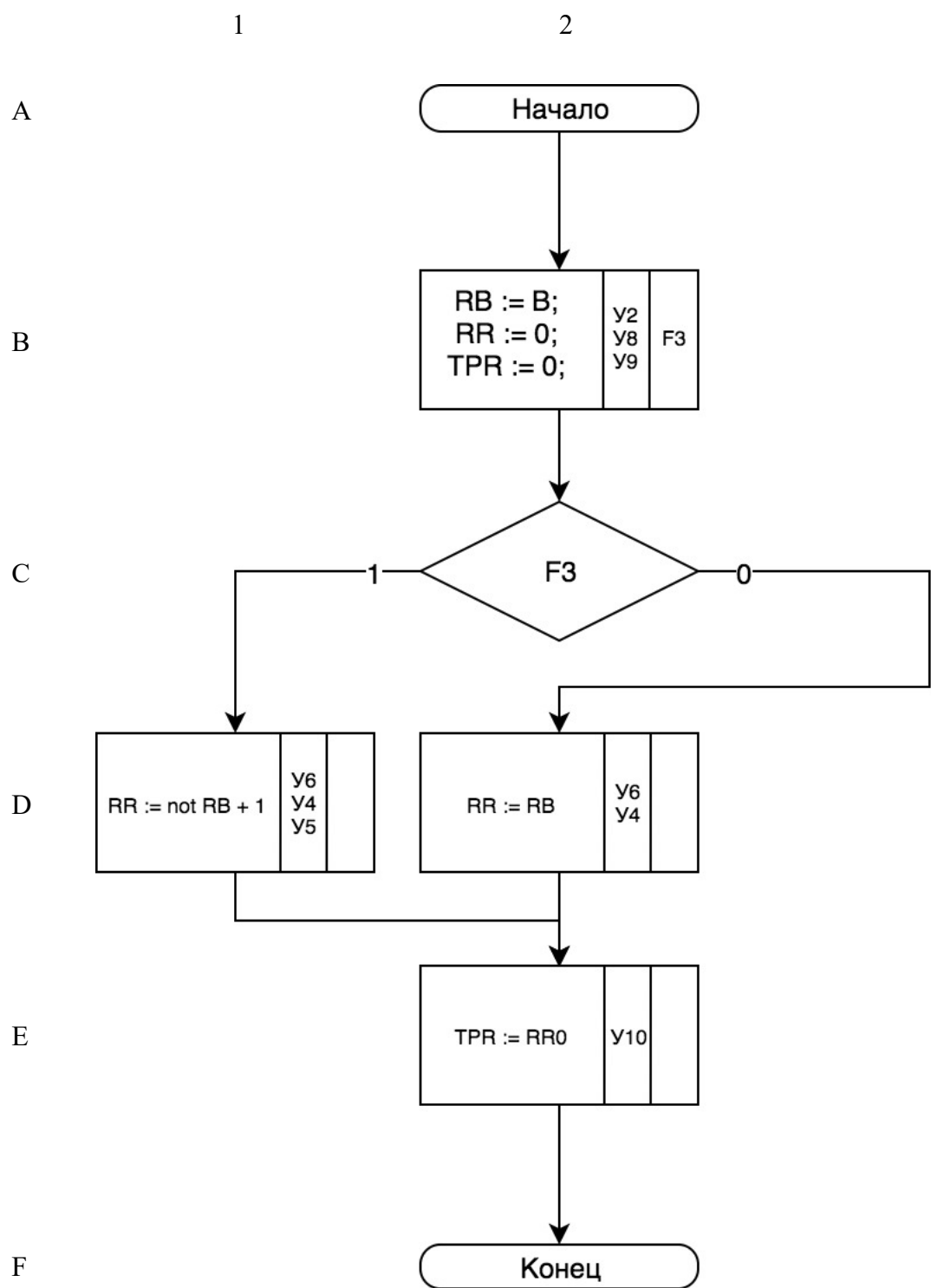


Рис. 1.14 Микропрограмма операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ

## 1.5.2 Примеры выполнения микропрограмм

На рис. 1.15-1.17 приведены результаты моделирования схемы блока операций при выполнении операции умножения и пересылки отрицательной для примеров, приведенных в пункте 1.1.1.

