

1 Проектирование блока операций

1.1 Примеры и алгоритмы выполнения операций

1.1.1 Алгоритм операции УМНОЖЕНИЕ

Умножение в соответствии с заданием выполняется по алгоритму умножения чисел в дополнительном коде с младших разрядов множителя и сдвигом суммы частичных произведений вправо путем последовательного преобразования множителя. Данный алгоритм можно выразить следующей формулой:

$$[A]_д \times [B]_д = \left(\left(\dots \left((0 + [A]_д \widetilde{b}_n) 2^{-1} + [A]_д \widetilde{b}_{n-1} \right) 2^{-1} + \dots + [A]_д \widetilde{b}_2 \right) 2^{-1} + [A]_д \widetilde{b}_1 \right) 2^{-1} + [A]_д \widetilde{b}_0$$

Где $\widetilde{b}_k = b_{k+1} - b_k, k = 0..n$
 $\widetilde{b}_{n+1} = 0$

Для четырехразрядных чисел эта формула выглядит следующим образом:

$$[A]_д \times [B]_д = \left(\left((0 + [A]_д \widetilde{b}_3) 2^{-1} + [A]_д \widetilde{b}_2 \right) 2^{-1} + [A]_д \widetilde{b}_1 \right) 2^{-1} + [A]_д \widetilde{b}_0$$

Поясним представленный алгоритм примерами:

Пример 1:

$$[A]_{дк} = 1.010 = -6/8$$

$$[B]_{дк} = 0.110 = 6/8$$

$$A \times B = -36/64 = -0,5625 \approx -5/8 = 1.011_{дк}$$

| | | | | | | | | | |
|-----------------------------------|---|---------|---|---|---|---|---|---|---------------------------|
| | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = 0 |
| k = 3 b ₃ = 0 - 0 = 0 | | пропуск | | | | | | | |
| | + | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = RR * 2 ⁻¹ |
| k = 2 b ₂ = 0 - 1 = -1 | | 0 | 1 | 1 | 0 | 0 | 0 | 0 | RA = RA * b ₂ |
| | | 0 | 1 | 1 | 0 | 0 | 0 | 0 | RR = RR + RA |
| | | 0 | 0 | 1 | 1 | 0 | 0 | 0 | RR = RR * 2 ⁻¹ |
| k = 1 b ₁ = 1 - 1 = 0 | | пропуск | | | | | | | |
| | + | 0 | 0 | 0 | 1 | 1 | 0 | 0 | RR = RR * 2 ⁻¹ |
| k = 0 b ₀ = 1 - 0 = 1 | | 1 | 0 | 1 | 0 | 0 | 0 | 0 | RA = RA * b ₀ |
| | | 1 | 0 | 1 | 1 | 1 | 0 | 0 | RR = RR + RA |

Пример 2:

$$[A]_{дк} = 0.101 = 5/8$$

$$[B]_{дк} = 1.011 = -5/8$$

$$A \times B = -25/64 = -0,390625 \approx -4/8 = 1.100_{дк}$$

| | | | | | | | | | |
|----------------------------|---|---------|---|---|---|---|---|---|--------------------|
| $k = 3 \ b_3 = 0 - 1 = -1$ | + | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = 0 |
| | | 1 | 0 | 1 | 1 | 0 | 0 | 0 | RA = RA * b_3 |
| | | 1 | 0 | 1 | 1 | 0 | 0 | 0 | RR = RR + RA |
| | | 1 | 1 | 0 | 1 | 1 | 0 | 0 | RR = RR * 2^{-1} |
| $k = 2 \ b_2 = 1 - 1 = 0$ | | пропуск | | | | | | | |
| $k = 1 \ b_1 = 1 - 0 = 1$ | | 1 | 1 | 1 | 0 | 1 | 1 | 0 | RR = RR * 2^{-1} |
| | | 0 | 1 | 0 | 1 | 0 | 0 | 0 | RA = RA * b_1 |
| | | 0 | 0 | 1 | 1 | 1 | 1 | 0 | RR = RR + RA |
| $k = 0 \ b_0 = 0 - 1 = -1$ | + | 0 | 0 | 0 | 1 | 1 | 1 | 1 | RR = RR * 2^{-1} |
| | | 1 | 0 | 1 | 1 | 0 | 0 | 0 | RA = RA * b_0 |
| | | 1 | 1 | 0 | 0 | 1 | 1 | 1 | RR = RR + RA |

Пример 3:

$$[A]_{\text{ДК}} = 0.111 = 7/8$$

$$[B]_{\text{ДК}} = 1.111 = -1/8$$

$$A \times B = -7/64 = -0,109375 \approx -1/8 = 1.111_{\text{ДК}}$$

| | | | | | | | | | |
|----------------------------|---|---------|---|---|---|---|---|---|--------------------|
| $k = 3 \ b_3 = 0 - 1 = -1$ | + | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = 0 |
| | | 1 | 0 | 0 | 1 | 0 | 0 | 0 | RA = RA * b_3 |
| | | 1 | 0 | 0 | 1 | 0 | 0 | 0 | RR = RR + RA |
| | | 1 | 1 | 0 | 0 | 1 | 0 | 0 | RR = RR * 2^{-1} |
| $k = 2 \ b_2 = 1 - 1 = 0$ | | пропуск | | | | | | | |
| $k = 1 \ b_1 = 1 - 1 = 0$ | | 1 | 1 | 1 | 0 | 0 | 1 | 0 | RR = RR * 2^{-1} |
| | | пропуск | | | | | | | |
| | | 1 | 1 | 1 | 1 | 0 | 0 | 1 | RR = RR * 2^{-1} |
| $k = 0 \ b_0 = 1 - 1 = 0$ | | пропуск | | | | | | | |
| | | 1 | 1 | 1 | 1 | 0 | 0 | 1 | RR |

Пример 3:

$$[A]_{\text{ДК}} = 0.111 = 7/8$$

$$[B]_{\text{ДК}} = 0.101 = 5/8$$

$$A \times B = 35/64 = 0,546875 \approx 4/8 = 0.100_{\text{ДК}}$$

| | | | | | | | | | |
|----------------------------|---|---|---|---|---|---|---|---|--------------------|
| $k = 3 \ b_3 = 0 - 1 = -1$ | + | 0 | 0 | 0 | 0 | 0 | 0 | 0 | RR = 0 |
| | | 1 | 0 | 0 | 1 | 0 | 0 | 0 | RA = RA * b_3 |
| | | 1 | 0 | 0 | 1 | 0 | 0 | 0 | RR = RR + RA |
| | | 1 | 1 | 0 | 0 | 1 | 0 | 0 | RR = RR * 2^{-1} |
| $k = 2 \ b_2 = 1 - 0 = 1$ | + | 0 | 1 | 1 | 1 | 0 | 0 | 0 | RA = RA * b_2 |
| | | 0 | 0 | 1 | 1 | 1 | 0 | 0 | RR = RR + RA |
| | | 0 | 0 | 0 | 1 | 1 | 1 | 0 | RR = RR * 2^{-1} |
| $k = 1 \ b_1 = 0 - 1 = -1$ | + | 1 | 0 | 0 | 1 | 0 | 0 | 0 | RA = RA * b_1 |
| | | 1 | 0 | 1 | 0 | 1 | 1 | 0 | RR = RR + RA |
| | | 1 | 1 | 0 | 1 | 0 | 1 | 1 | RR = RR * 2^{-1} |
| $k = 0 \ b_0 = 1 - 0 = 1$ | + | 0 | 1 | 1 | 1 | 0 | 0 | 0 | RA = RA * b_0 |
| | | 0 | 1 | 0 | 0 | 0 | 1 | 1 | RR = RR + RA |

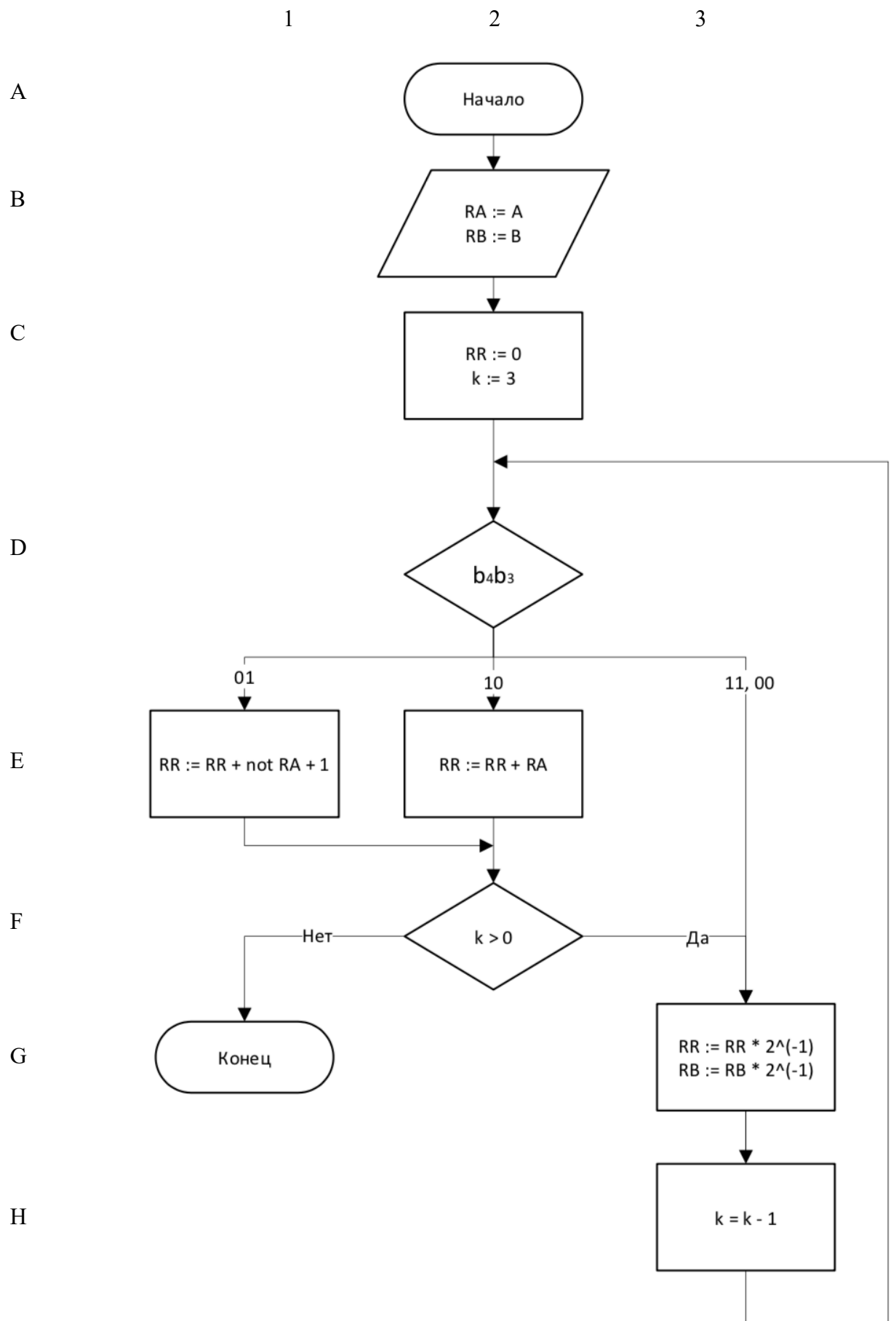


Рис. 1.1 Алгоритм операции УМНОЖЕНИЕ

1.1.2 Алгоритм операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ

Дополнительный код абсолютного значения второго операнда помещается по адресу первого операнда. Устанавливается признак результата: 0 – результат равен нулю, 1 – результат меньше нуля. Поясним алгоритм примерами:

Пример 1

$$\begin{array}{r} [B]_{\text{ДК}} = 1.101 \\ \hline RR = 1.101 \\ SF = 1 \end{array}$$

Пример 2

$$\begin{array}{r} [B]_{\text{ДК}} = 0.101 \\ \hline RR = 1.011 \\ SF = 1 \end{array}$$

Пример 3

$$\begin{array}{r} [B]_{\text{ДК}} = 0.000 \\ \hline RR = 0.000 \\ SF = 0 \end{array}$$

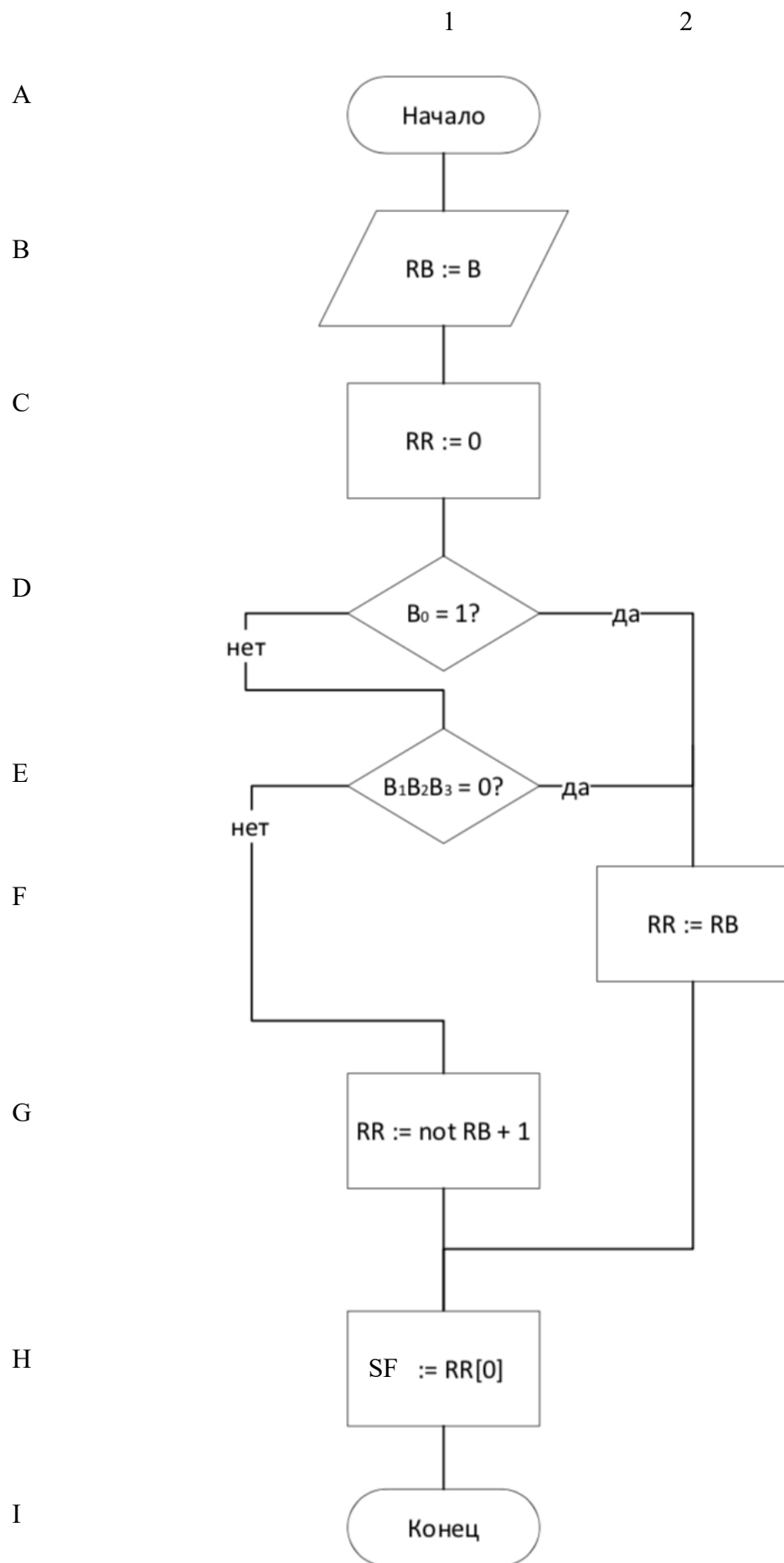


Рис. 1.2 Алгоритм операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ

1.2 Функциональная схема блока операций

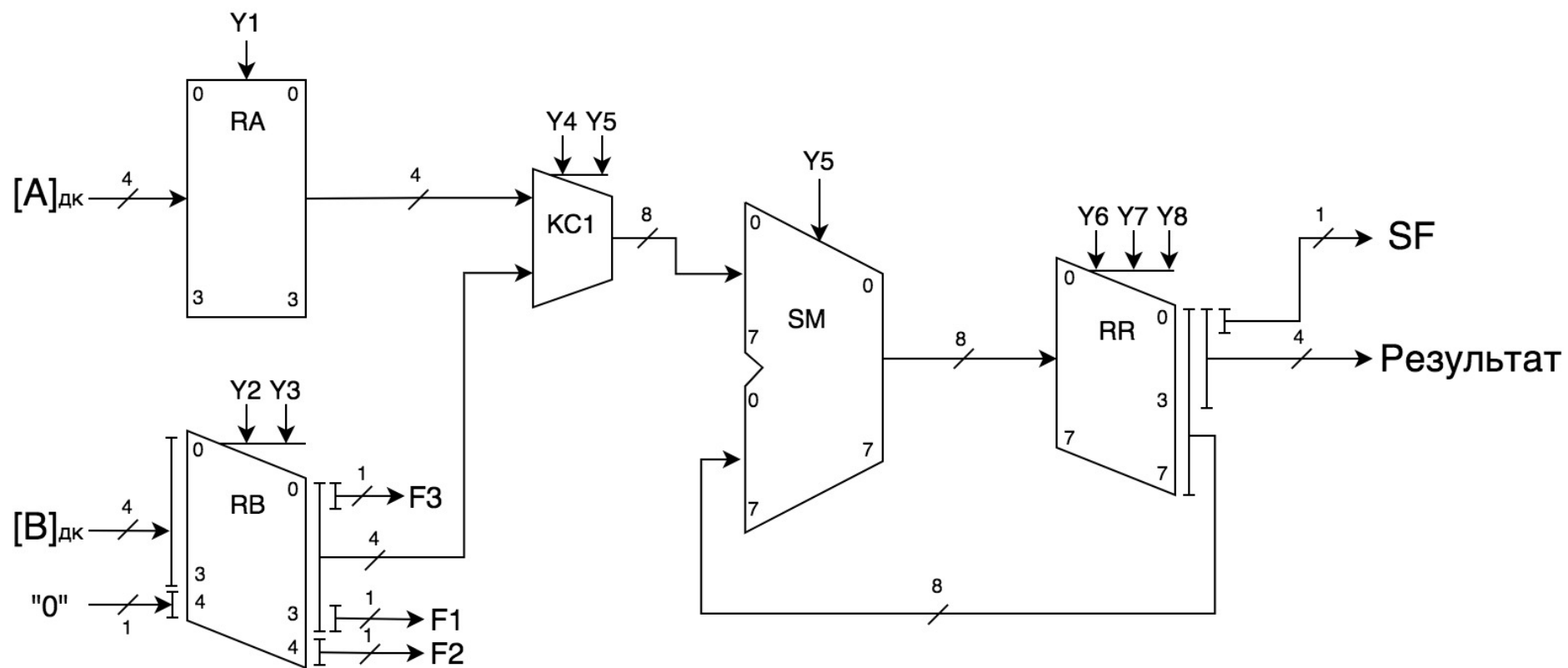


Рис. 1.3. Функциональная схема блока операций

На рис. 1.3 представлена функциональная схема БО, в следующей таблице 1.1 приведены все элементы данной схемы блока операций с их назначением и функциями.

Таблица 1.1

Функциональное назначение блоков

| Обозначение блока | Назначение |
|-------------------|--|
| RA | Регистр первого операнда; 4 разряда Параллельная загрузка [A] |
| RB | Регистр второго операнда; 4 разряда Параллельная загрузка [B], арифметический сдвиг вправо на 1 разряд |
| RR | Регистр результата; 8 разрядов; Установка в 0, параллельная загрузка, арифметический сдвиг вправо на 1 разряд |
| KC1 | Формирование первого операнда сумматора (передача A или \bar{A} , B или \bar{B}) |
| SM | Сумматор; 8 разрядов |

1.3 Проектирование логических элементов блока операций

1.3.1 Регистр первого операнда RA

Данный регистр является четырехразрядным регистром хранения. Наиболее подходящим для реализации функций регистра RA является регистр FD4CE (рис. 1.4).

Таблица 1.2

Таблица управляющих сигналов RA

| Обозначение | Назначение |
|-------------|---------------------|
| У1 | |
| 0 | Хранение |
| 1 | Разрешение загрузки |

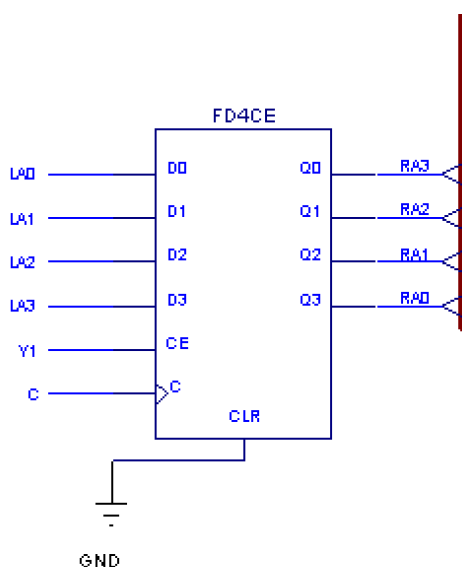


Рис. 1.4. Логическая схема RA

1.3.2 Регистр второго операнда RB

Данный четырехразрядный регистр RB, в отличие от регистра RA, должен также осуществлять микрооперацию арифметического сдвига вправо на 1 разряд. Для этой цели был выбран универсальный регистр сдвига SR4CLE (рис. 1.5).

Таблица 1.3
Таблица управляющих сигналов RB

| Обозначение | | Назначение |
|-------------|----|-----------------------|
| У2 | У3 | |
| 0 | 0 | Хранение |
| 1 | 0 | Разрешение загрузки |
| 0 | 1 | Сдвиг вправо 1 разряд |

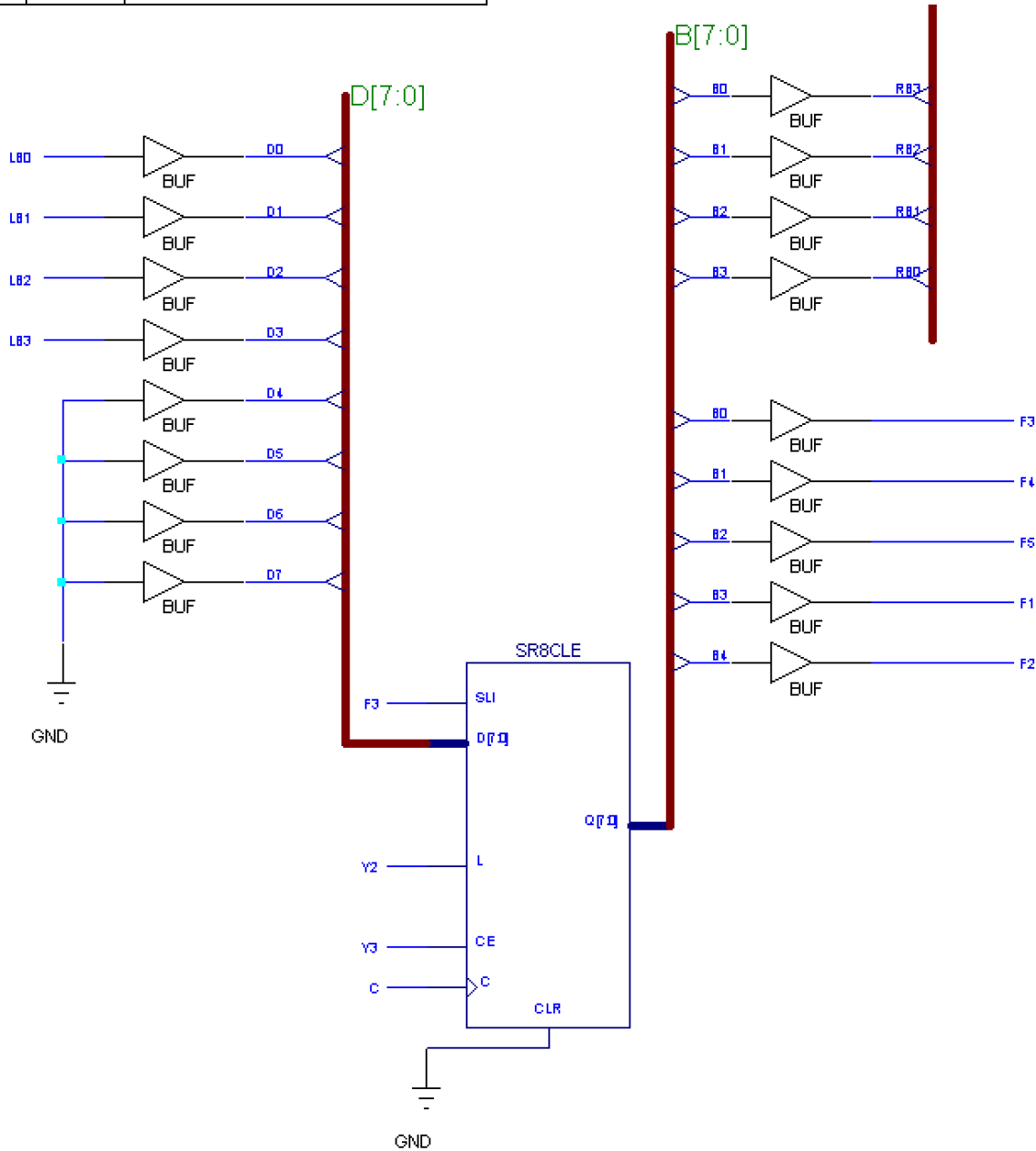


Рис. 1.5. Логическая схема RB

1.3.3 Регистр результата RR

Регистр RR должен выполнять микрооперации параллельной загрузки, хранения, арифметического сдвига вправо на 1 разряд и установки в нуль. С учетом данных требований был выбран универсальный регистр сдвига SR8CLE (рис. 1.6). В таблице 1.4 представлены обозначения управляющих сигналов регистра и их назначение. Причем результат умножения хранится в четырех старших разрядах регистра. Таким образом происходит обрезание результата микрооперации без округления.

Таблица 1.4
Таблица управляющих сигналов RR

| Обозначение | | | Назначение |
|-------------|----|----|-----------------------|
| Y6 | Y7 | Y8 | |
| 0 | 0 | 1 | Асинхронный сброс в 0 |
| 0 | 0 | 0 | Хранение |
| 0 | 1 | 0 | Сдвиг вправо 1 разряд |
| 1 | 0 | 0 | Разрешение загрузки |

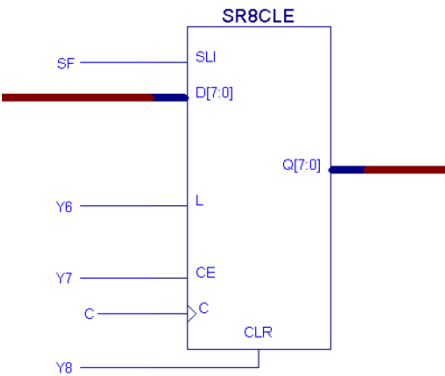


Рис 1.6 Логическая схема RR

1.3.4 Сумматор CM

Для построения сумматора возьмем восьмиразрядный сумматор ADD8, подавая сигнал Y5 во время корректирующего шала для получения инверсного значения A или B в дополнительном коде (рис. 1.7).

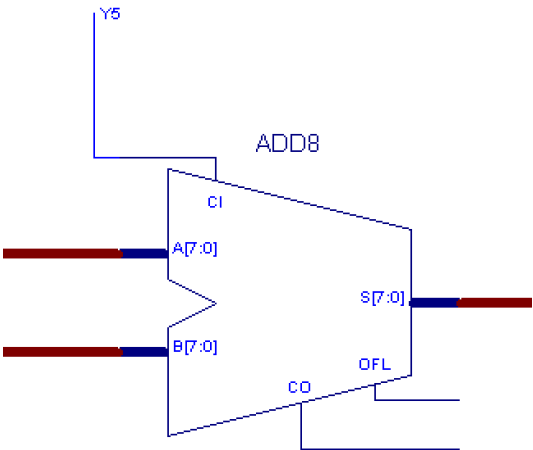


Рис 1.7 Сумматор с корректирующим входом

1.3.5 Комбинационная схема КС1

С помощью данной комбинационной схемы происходит выбор операнда А или В и формируется прямое или инверсное значение в 8 разрядной сетке. Значение входного операнда помещается в старших 4 разрядах числа. В случае прямого выхода оставшиеся разряды инициализируются «0» или «1», в случае необходимости инверсного выхода. За выбор операнда отвечает У4, за выбор прямого или инверсного режима работы У5 (рис. 1.8). В таблице 1.5 представлены назначения управляющих сигналов комбинационной схемы.

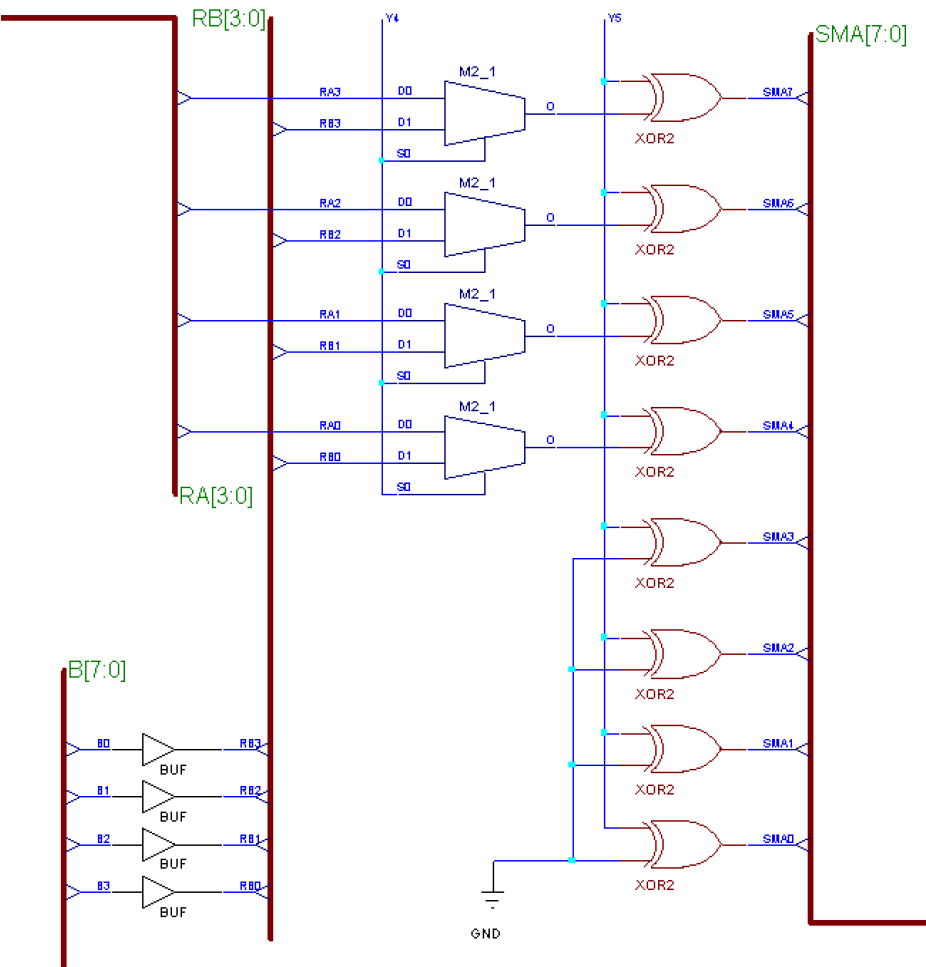


Рис. 1.8 Комбинационная схема КС1

Таблица 1.5

Таблица управляющих сигналов КС2

| Обозначение | | Назначение |
|-------------|----|------------------------------|
| У4 | У5 | |
| 0 | 0 | Подача А на сумматор |
| 0 | 1 | Подача \bar{A} на сумматор |
| 1 | 0 | Подача В на сумматор |
| 1 | 1 | Подача \bar{B} на сумматор |

1.4 Логическая схема блока операций

На рис. 1.9 приведена полная логическая схема блока операций

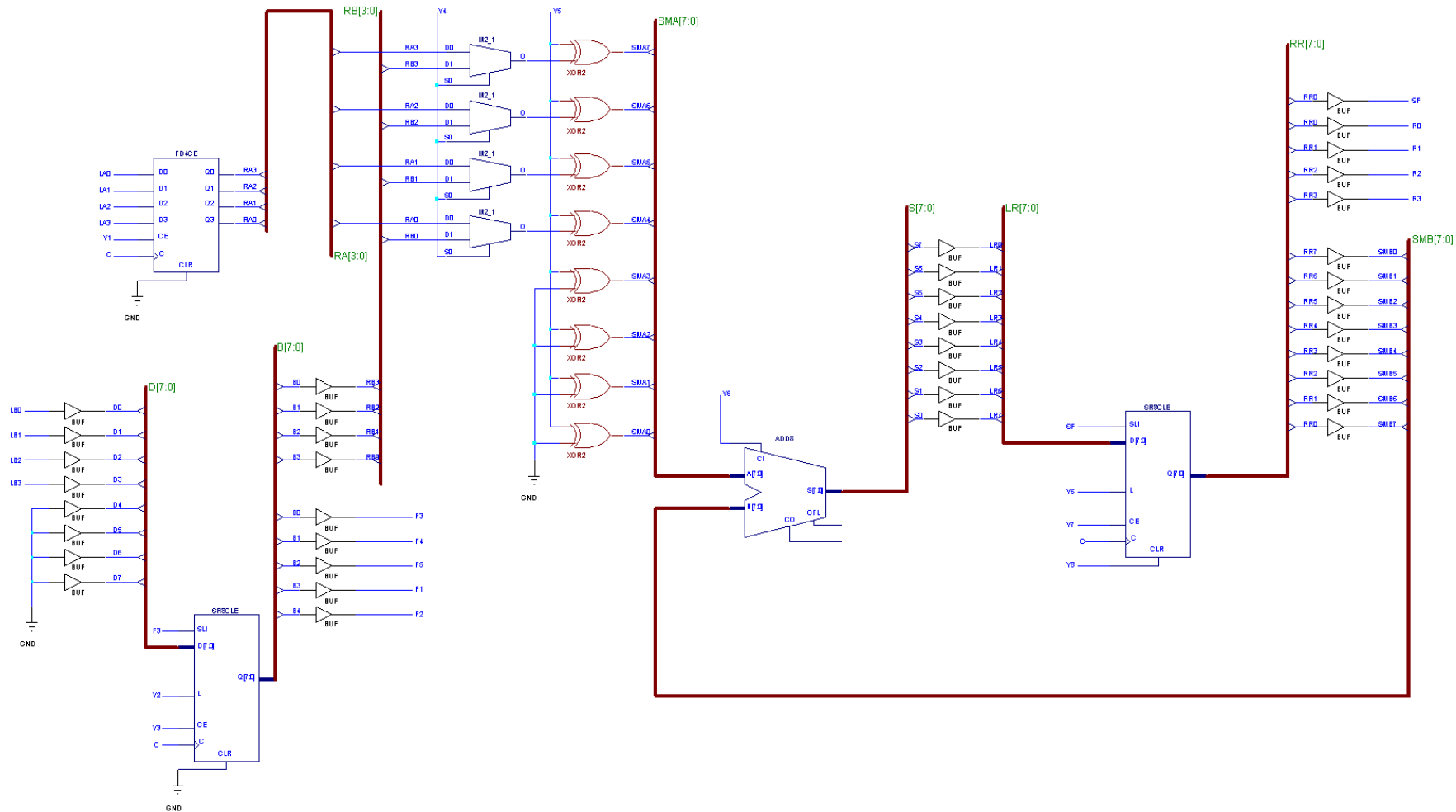


Рис. 1.9. Логическая схема блока операций

В таблицах 1.7 и 1.8 сведены описания управляющих сигналов и сигналов-признаков блока операций.

Определение управляющих сигналов БО

Таблица 1.7

Таблица управляющих сигналов

| Сигнал | Операция |
|--------|--|
| У1 | Загрузка А в RA |
| У2 | Загрузка В в RB |
| У3 | Арифметический сдвиг RB вправо на 1 разряд |
| У4 | Прием значения из RA или из RB |
| У5 | Подача инверсного входа на сумматор |
| У6 | Загрузка RR |
| У7 | Арифметический сдвиг RR вправо на 1 разряд |
| У8 | Сброс RR |

Определение сигналов-признаков БО

Таблица 1.8

Таблица сигналов признаков

| Сигнал | Признак |
|--------|------------|
| F1 | 3 разряд В |
| F2 | 4 разряд В |
| F3 | Знак В |
| F4 | 1 разряд В |
| F5 | 2 разряд В |

1.5 Микропрограммы выполнения операций

1.5.1 Алгоритмы выполнения микропрограмм

На рис. 1.10 и 1.11 представлены блок-схемы алгоритмов микропрограмм выполнения операций Умножение и Пересылка отрицательная.

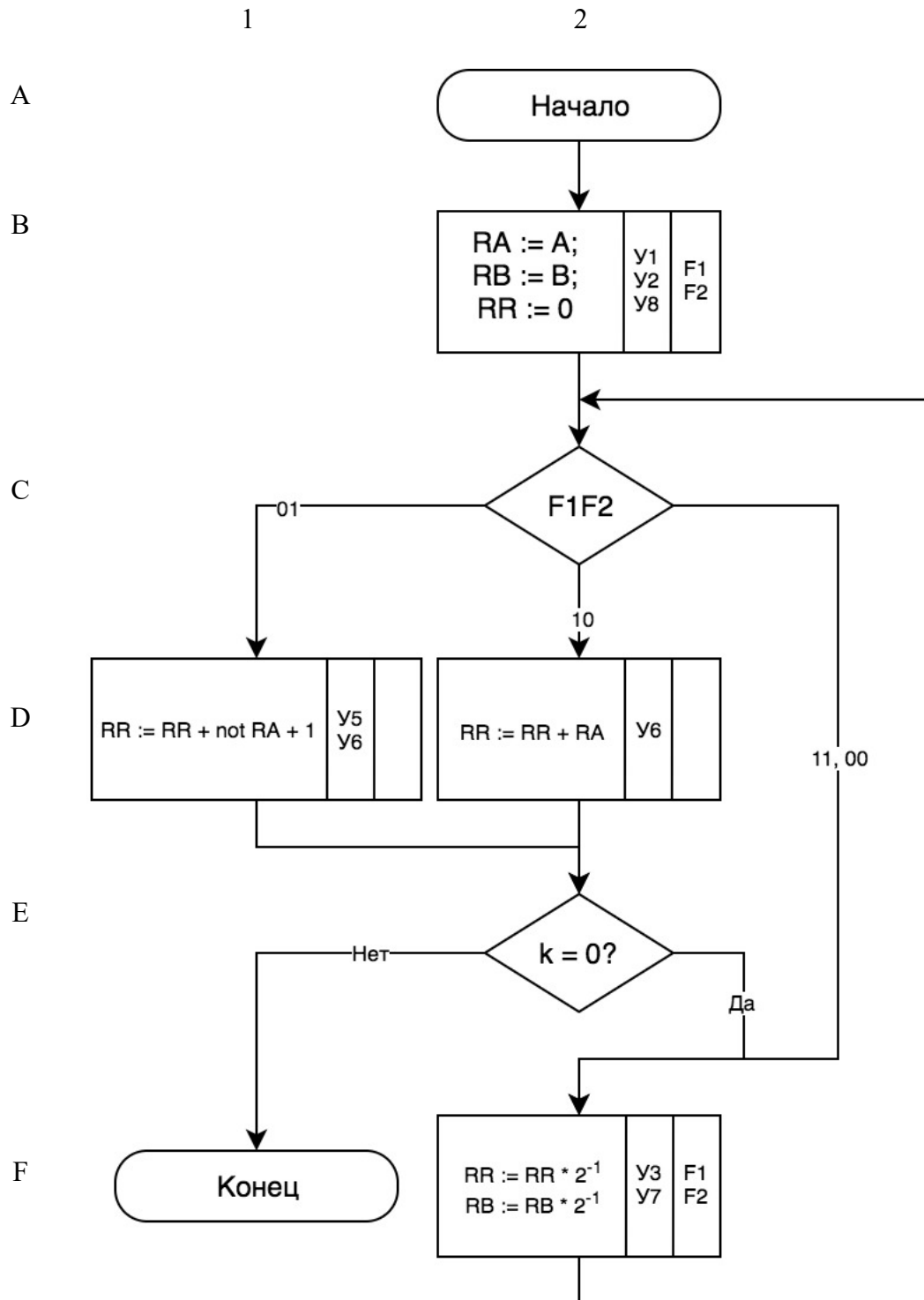


Рис. 1.10 Микропрограмма операции УМНОЖЕНИЕ

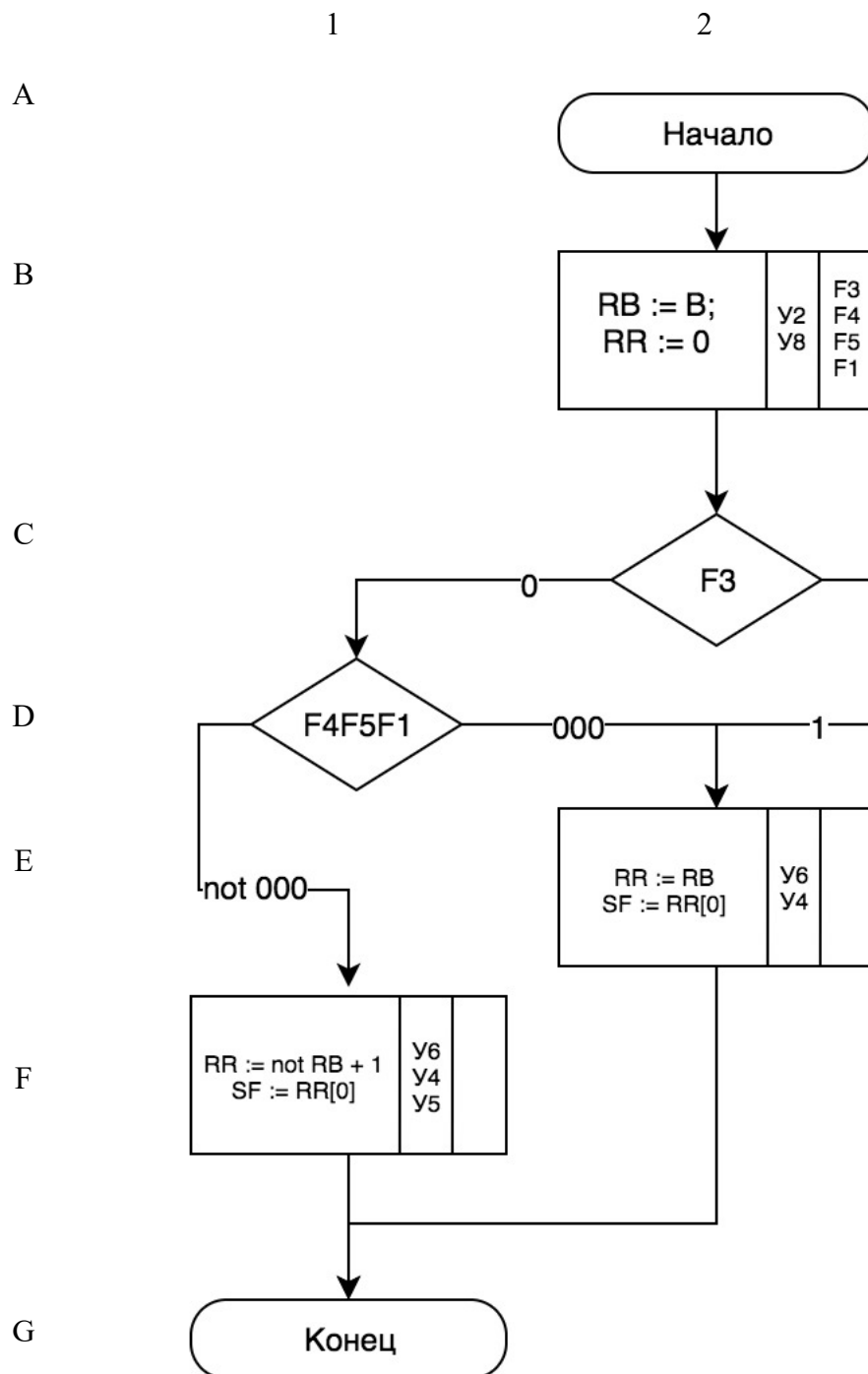


Рис. 1.11 Микропрограмма операции ПЕРЕСЫЛКА ОТРИЦАТЕЛЬНАЯ

1.5.2 Примеры выполнения микропрограмм

На рис. 1.12-1.15 приведены результаты моделирования схемы блока операций при выполнении операции умножения и пересылки отрицательной для примеров, приведенных в пункте 1.1.1.

