

Combat 开发板 用户手册

2020-07-17

目 录

1、关于本手册	1
1.1 手册内容.....	1
1.2 适用产品.....	1
1.3 相关文档.....	1
1.4 技术支持.....	2
1.5 术语、缩略语.....	2
2、开发板介绍	3
2.1 概述.....	3
2.2 开发板套件	4
2.3 PCB组件.....	5
2.4 系统框架.....	5
2.5 特性.....	6
2.6 指标.....	7
2.7 机械尺寸图	8
3、开发板详细介绍	9
3.1、FPGA模块.....	9
3.1.1概述.....	9
3.1.2 I/O BANK 说明.....	10
3.2 下载.....	12
3.2.1 概述.....	12
3.2.2 USB下载电路.....	14

3.2.3 管脚分配.....	14
3.3 电源.....	14
3.3.1 概述.....	14
3.3.2 电源系统分配.....	15
3.4 时钟、复位	15
3.4.1 概述.....	15
3.4.2 时钟、复位电路	16
3.4.3 管脚分配.....	16
3.5 LED	16
3.5.1 概述.....	16
3.5.2 LED 电路	17
3.5.3 管脚分配.....	17
3.6 滑动开关.....	18
3.6.1 概述.....	18
3.6.2 滑动开关电路.....	18
3.6.3 管脚分配.....	18
3.7 按键.....	19
3.7.1 概述.....	19
3.7.2 按键电路.....	19
3.7.3 管脚分配.....	19
3.8 2Gbit DDR3模块.....	20
3.8.1 概述.....	20

3.8.2 DDR3连接示意图	20
3.8.3 管脚分配.....	20
3.9 64Mbit SPI Flash.....	22
3.9.1 概述.....	22
3.9.2 SPI Flash原理图	22
3.9.3 管脚分配.....	23
3.10 HDMI接口.....	23
3.10.1 概述.....	23
3.10.2 HDMI接口连接示意图	23
3.10.3 管脚分配.....	24
3.11 LCD-RGB/LVDS_TX接口.....	25
3.11.1 概述.....	25
3.11.2 LCD-RGB/LVDS_TX接口原理图	25
3.11.3 管脚分配.....	26
3.12 PMOS	27
3.12.1 概述.....	27
3.12.2 PMOS接口电路	27
3.12.3 管脚分配.....	27
3.13以太网模块	28
3.13.1 概述.....	28
3.13.2 ETHNET@1000M模块电路图	29
3.13.3 管脚分配.....	29

3.14 USB转UART.....	30
3.14.1 概述.....	30
3.14.2 原理图	30
3.14.3 管脚分配.....	30
3.15 MICRO SD接口.....	31
3.15.1 概述.....	31
3.15.2 连接示意图	31
3.15.3 管脚分配.....	31
3.16 MIPI接口.....	32
3.16.1 概述.....	32
3.16.2 MIPI接口原理图	32
3.16.3 管脚分配.....	32
4、开发板使用	34
4.1工程导入	34
4.2程序编译和下载.....	35
4.3例程操作及现象说明.....	36
4.4开发板使用注意事项.....	37

1、关于本手册

1.1 手册内容

竞技板(Combat) 开发套件用户手册分为四个部分：

1. 简述开发板的功能特点和硬件资源；
2. 介绍开发板上的各部分硬件电路的功能、电路及管脚分配；
3. 竞技板(Combat)配套使用案例；
4. 开发板使用注意事项。

1.2 适用产品

本手册中所述信息可适用于以下GW2A 系列FPGA产品：

- GW2A18-PG484
- GW2A55-PG484

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW2A 系列 FPGA 产品数据手册
2. GW2A 系列 FPGA 产品封装与管脚手册

3. GW2A18&55 器件 Pinout 手册
4. GW2A 系列 FPGA 产品编程配置手册
5. Gowin 云源软件用户手册

1.4 技术支持

- 1、最新FPGA技术资讯请关注公众号MYMNIEYE;
- 2、教学视频链接更新地址: <https://space.bilibili.com/507416742>
- 3、淘宝店铺: 小眼睛半导体
- 4、官网: www.myminieye.com
- 5、技术指导 QQ 群: 882634519

1.5 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LED	Light Emitting Diode	发光二极管
LDO	Low Dropout Regulator	低压差线性稳压器
GPIO	General Purpose Input Output	通用输入/输出
LUT4	4-input Look-up Table	4 输入查找表
S-SRAM	Shadow SRAM	分布式静态随机存储器
B-SRAM	Block SRAM	块状静态随机存储器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
DSP	Digital Signal Processing	数字信号处理
PG484	PG484	PG484 封装

2、开发板介绍

2.1 概述

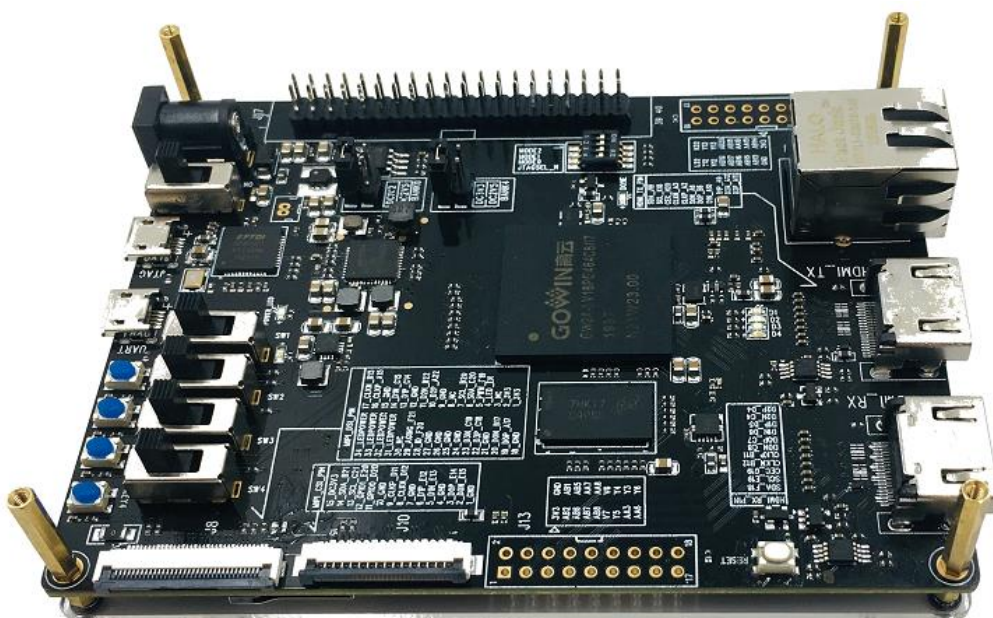


图 2-1 Combat开发板

Combat开发套件是以高云半导体 GW2A 系列 FPGA 产品为核心，是高云半导体晨熙®家族第一代产品，内部资源丰富，具有高性能的 DSP 资源，高速 LVDS 接口以及丰富的 BSRAM 存储器资源，这些内嵌的资源搭配精简的 FPGA 架构以及 55nm 工艺使 GW2A 系列 FPGA 产品适用于高速低成本的应用场合。Combat开发套件对外扩展多种接口，部分接口支持功能复用，方便用户自定义扩展并进行各类视频，工业应用等验证。

完全自主研发的Gowin云源软件能够完成Combat板卡的综合、布局、布线、产生数据流文件及下载文件等FPGA开发全流程支持。

2.2 开发板套件

开发板套件包括：

- 开发板
- 12V 电源适配器
- USB 数据线
- 快速应用手册

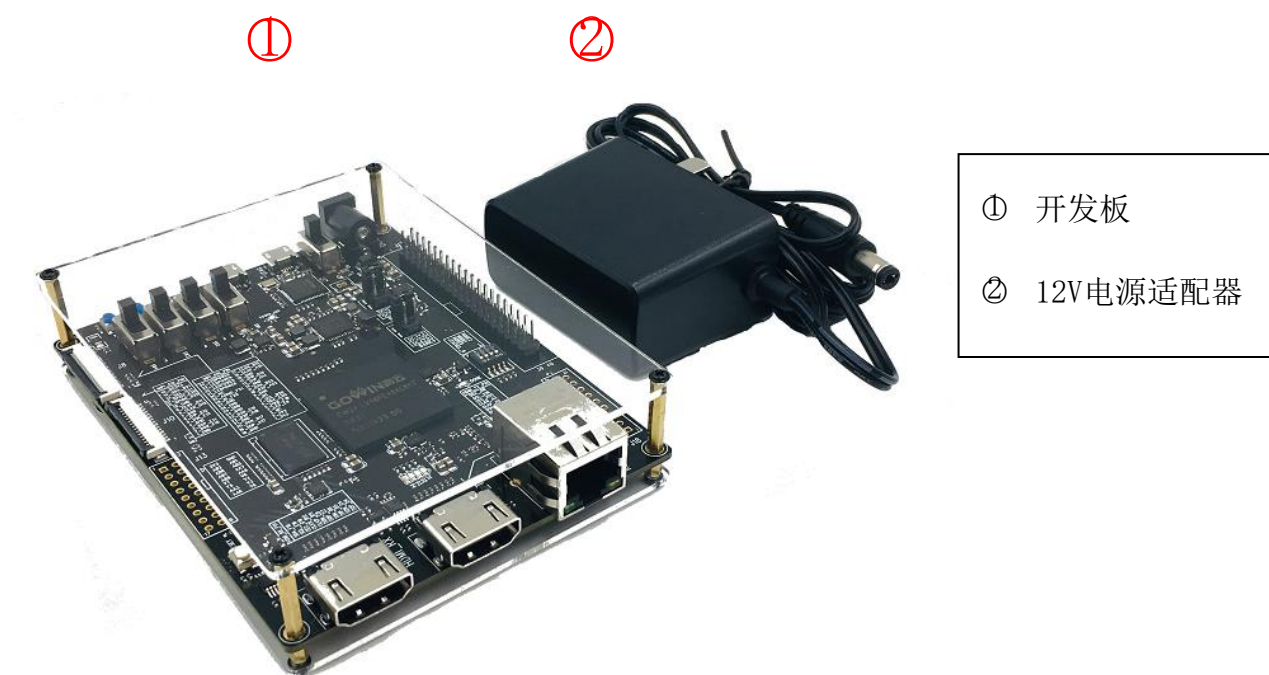


图2-2 Combat开发板套件

2.3 PCB组件

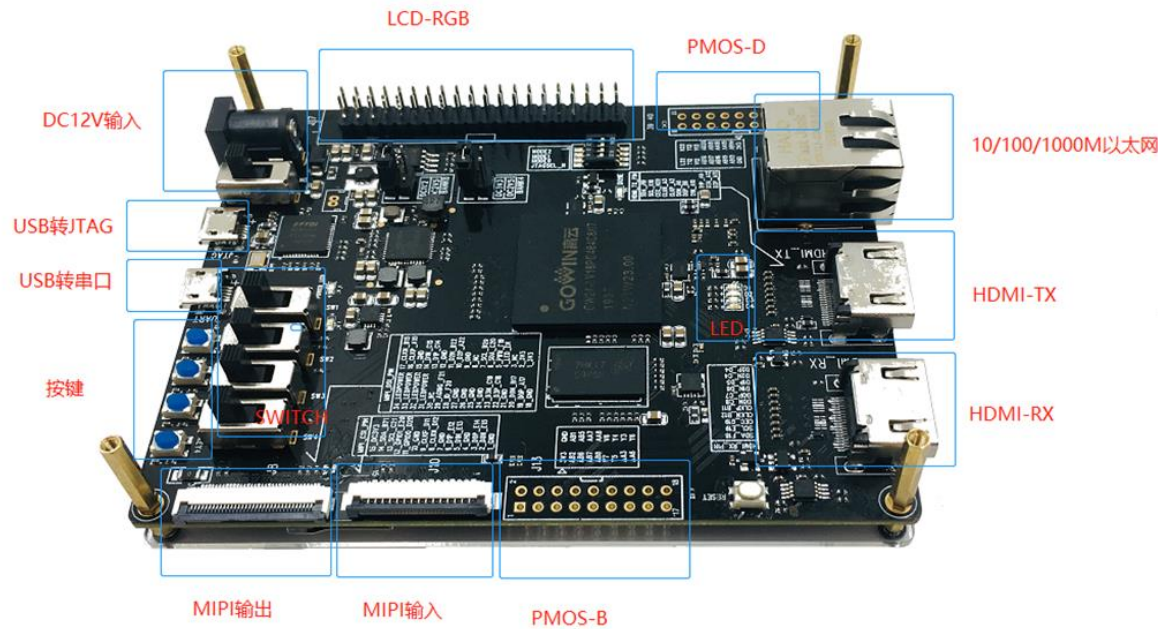


图2-3 Combat开发板PCB组件说明

2.4 系统框架

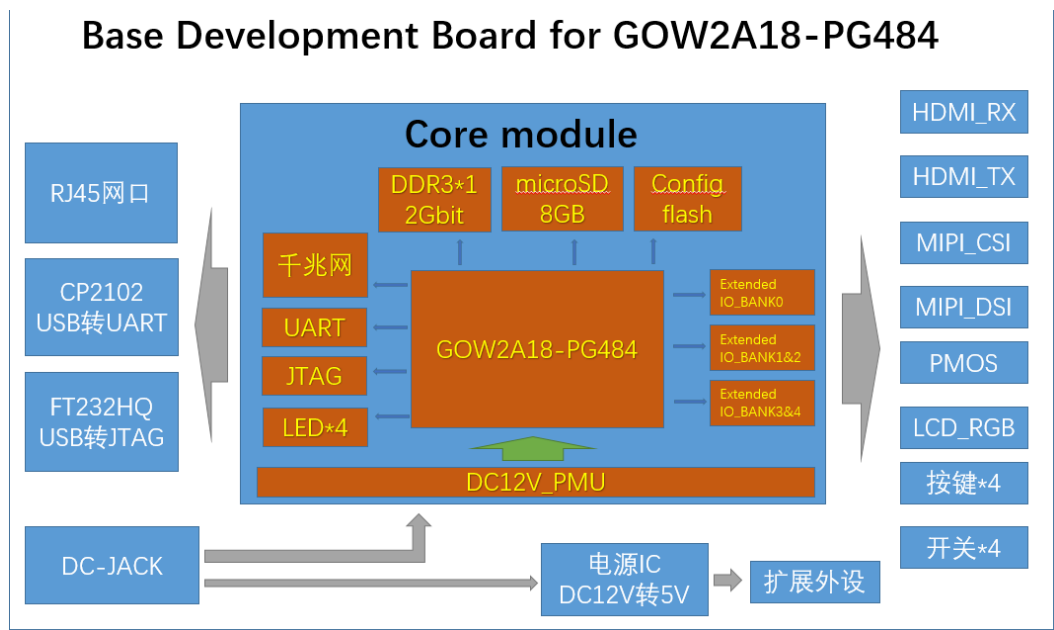


图2-4 Combat开发板系统框架

2.5 特性

开发板组成结构及特性如下：

1. FPGA

- 采用 PGA484 封装
- 内嵌 Flash, 掉电不易丢失
- 20,736(54,720) LUT4 资源
- 多种模式、容量丰富的 B-SRAM

2. FPGA 配置模式

- JTAG、MSPI

3. 时钟资源

- 50MHz 时钟晶振
- 27MHz 时钟晶振

4. 10/100/1000Ethernet

- 三速自适应以太网接口

5. HDMI接口

- 支持 HDMI 的输入和输出

6. Micro-SD卡接口

- 支持 Micro-SD 卡接口

7. UART接口

- 串口输入输出

8. 按键和滑动开关

- 1 个复位按键
- 4 个按键开关
- 4 个滑动开关

9. LED

- 1 个电源指示灯 (绿)
- 1 个 DONE 指示灯 (绿)
- 4 个 LED (绿) D1~D4

10. 存储

- 64Mbit flash
- 2Gbit DDR3

11.扩展IO口 (MIPI,LVDS,RGB)

- 28 对差分对, 21 个 GPIO

12. 电源

- 具有电压反向保护;
- 提供 12V 宽电压输入。

2.6 指标

表 2-1 Combat开发板参数指标列表

序号	项目	参数	功能描述
1	12V供电和下载	12V DC-DC; MICRO USB	12V供电。USB转JTAG接口
2	拨码开关	4位拨码开关	用于用户测试时控制输入（拨上为高电平，拨下为低电平）
3	轻触按键	4路轻触按键	可作为测试控制输入使用。（按下为低电平）
4	指示灯	4路LED指示灯	当 FPGA 对应管脚输出信号为逻辑高电平时，LED 被点亮；
5	时钟	50MHZ和27MHZ时钟	提供 50MHz和27MHZ时钟
6	存储器	板载1Gbit存储器	外部程序存储器
7	显示接口	2路HDMI接口	提供HDMI输入和HDMI输出
8	以太网接口	10/100/1000Ethernet	三速以太网接口
9	MicroSD卡接口	SD卡存储器接口	提供SD卡存储
10	扩展接口	2.54mm间距扩展	用于摄像头、MIPI屏等各类扩展
11	工作温度	0~+ 70°C商业级	---
12	环境湿度	20%~90%，非冷凝	---
13	机械尺寸	110mm x 85mm	---
14	PCB 规格	2层，黑底白字	---
15	电源供电	12V/1A， 5.5X2.1mm 接口供电	---
16	安装孔距离	79mm×104mm	---
17	系统功耗	---	---

2.7 机械尺寸图

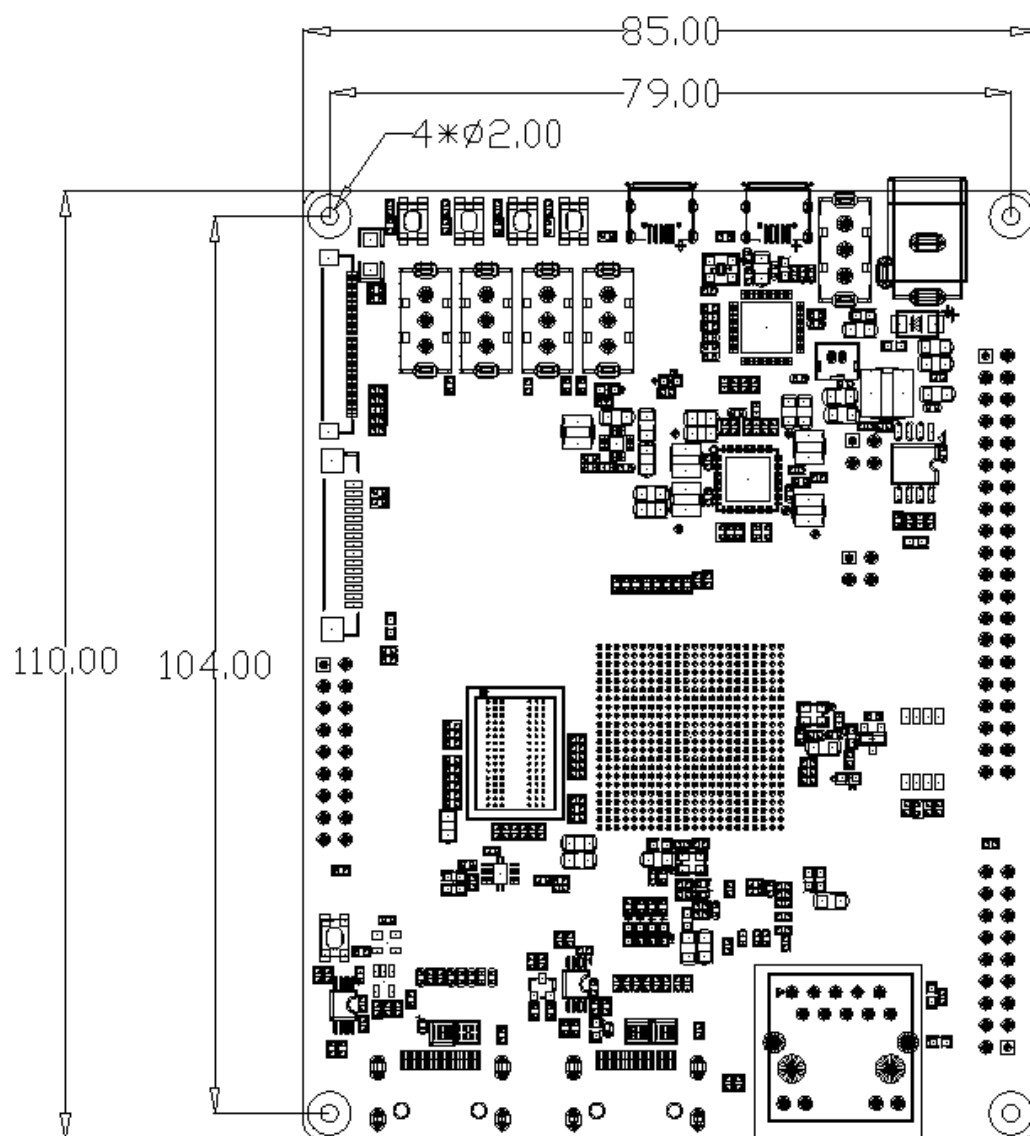


图2-5 Combat开发板尺寸图

3、开发板详细介绍

3.1、FPGA模块

3.1.1概述

GW2A 系列 FPGA 产品资源信息如表 3-1 所示。

表 3-1 GW2A 系列 FPGA 产品信息列表

器件	GW2A-18	GW2A-55
逻辑单元(LUT4)	20,736	54,720
寄存器(FF)	15,552	41,040
分布式静态存储器 S-SRAM(bit)	41,472	109,440
块状静态随机存储器 Block SRAM(bit)	828K	2520K
块状静态随机存储器 Block SRAM(个)	46	140
乘法器(18 x 18 multiplier)	48	40
PLL+DLL	4	6
I/O Bank 总数	8	8
核电压 (LV 版本)	1.0V	1.0V

3.1.2 I/O BANK 说明

GW2A 系列 FPGA 产品分为八个 I/O BANK 区, 图 3-1 为 GW2A 系列 FPGA产品的I/O BANK整体示意图。图3-2为PG484封装管脚分布示意图。

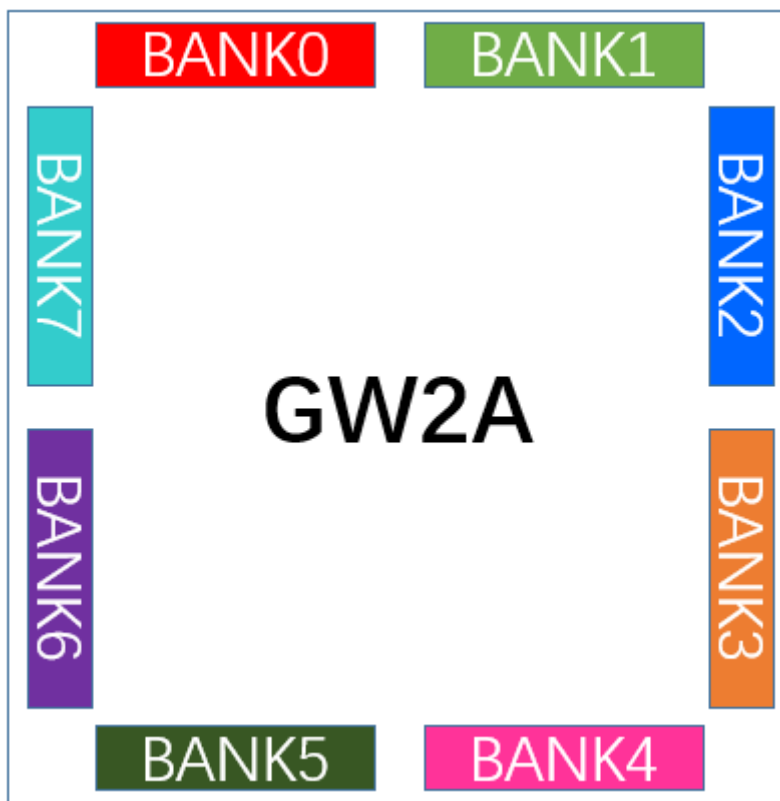


图 3-1 GW2A18-PG484 FPGA 产品 I/O BANK 整体示意图

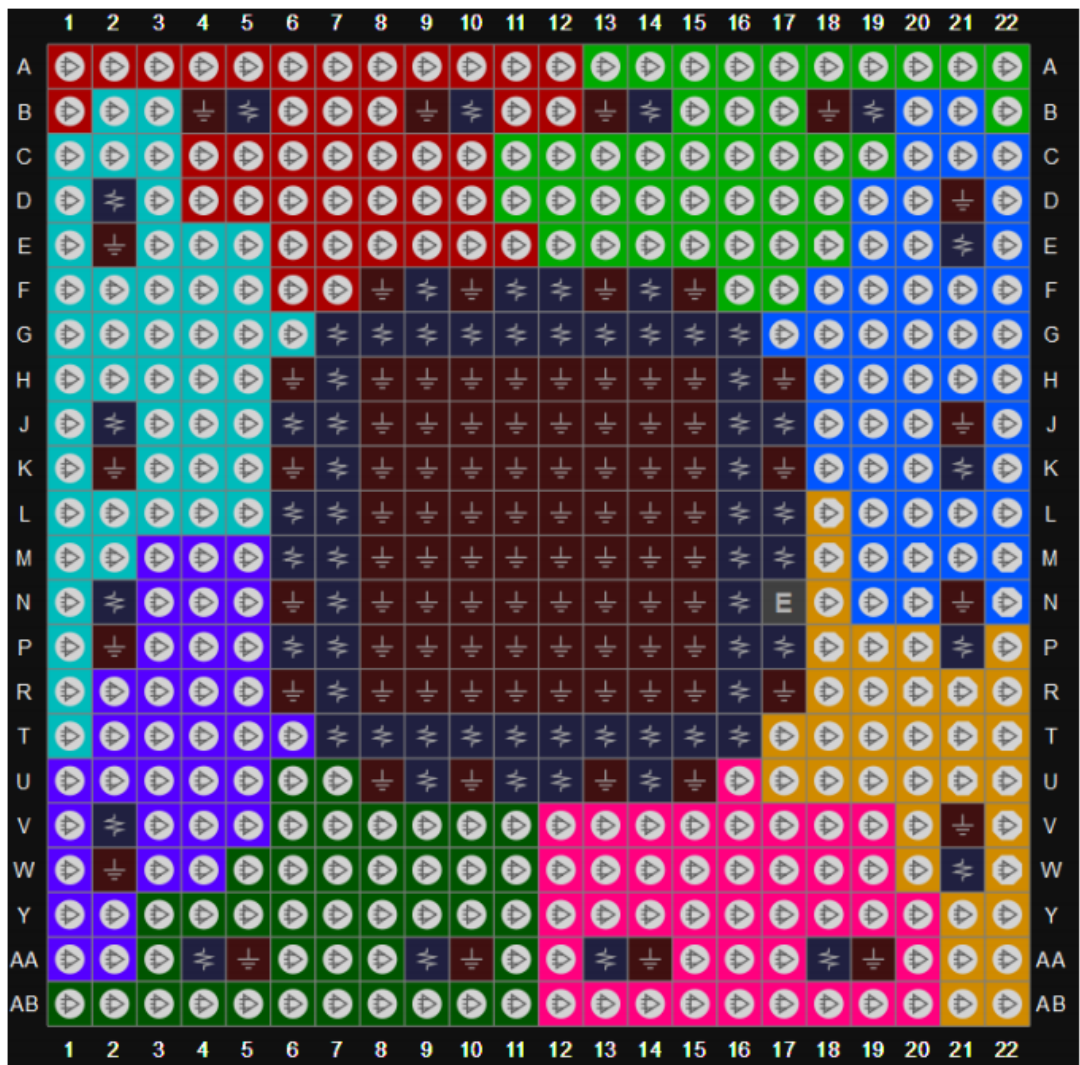


图 3-2 GW2A18-PG484 FPGA 封装管脚分布示意图（顶视图）

表 3-2 FPGA I/O BANK 电压及功能分布

BANK	电压	功能	I/O 占用
0	1.2V/2.5V	MIPI DSI_LP	10个GPIO
		MIPI CSI_LP	6个GPIO
		HDMI_RX	4对LVDS
		HDMI_TX	4对LVDS
1	2.5V	MIPI DSI_HS	5对LVDS,3个GPIO
		MIPI CSI_HS	4对LVDS,4个GPIO
2	3.3V	MICRO SD	7个GPIO
		JTAG	4专用IO
		CLK_50M	1个GPIO
		HDMI I2C&Ctrl	8个GPIO
		LCD I2C&Ctrl	6个GPIO

BANK	电压	功能	I/O 占用
3	1.5V	DDR3	4对差分
		4个按键	4个GPIO
		4个开关	4个GPIO
		READY/DONE/RECONFIG	3个专用IO
		配置 FLASH	4个专用IO
		FAST_N	1个专用IO
4	2.5V/3.3V	LCD-RGB/LVDS输出接口	24个GPIO(12对差分)
		PMOS-D	8对差分
		CLK_27M	1个GPIO
5	3.3V	ETHERNET	16个GPIO
		PMOS-B	8对差分信号
6	1.5V	DDR3	23个GPIO
7	1.5V	DDR3	24个GPIO

3.2 下载

3.2.1 概述

开发板提供 USB 下载接口，由 FT2232 USB 转换芯片的 A 通道来实现。

通过设置不同的 MODE 值，来决定将程序下载到片内 SRAM 或外部 Flash 中。若下载到 SRAM，当器件掉电后数据流文件会丢失，而下载到 Flash，掉电后数据流文件不会丢失。

MODE 设置规则如下：

1. 任何模式下，都可将程序下载到片内 SRAM，并立即运行。
2. MODE0 ~ 2为输入类型管脚，内部弱上拉，不同模式的选择如下图。
3. JTAGSEL_N管脚为JTAG模式选择信号，将JTAG管脚从GPIO恢复成配置管脚，低电平有效。



注：JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）设置为 GPIO 时存在互斥关系：

- > JTAGSEL_N 设置为 GPIO 时，JTAG 管脚只能作为配置管脚；
- > JTAG 管脚设置为 GPIO 时，JTAGSEL_N 只能作为配置管脚。

配置模式	MODE[2:0]	相关说明
JTAG	XXX	外部Host通过JTAG接口对GW2A(R)系列FPGA产品进行配置
MSPI	000	GW2A(R)作为Master，通过SPI接口从外部Flash（或其他器件）读取配置数据进行配置

图 3-3 启动模式选择

Mode配置电路如下：

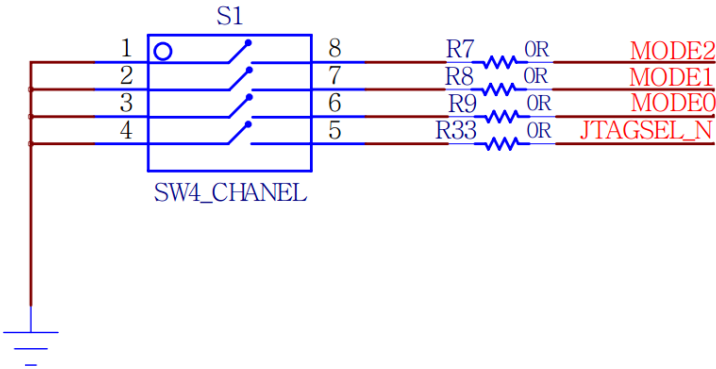


图 3-4 mode配置电路

下载、配置的连接示意图如下图所示。

3.2.2 USB下载电路

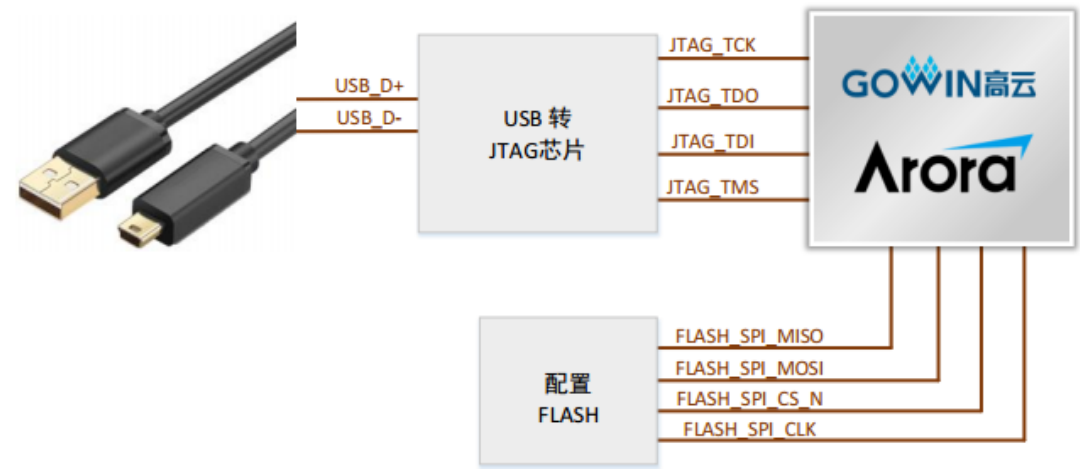


图 3-5 FPGA下载与配置连接电路原理图

3.2.3 管脚分配

表 3-2 下载电路管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_ TMS	N22	2	TMS	3.3V
FPGA_ TCK	N20	2	TCK	3.3V
FPGA_ TDI	M20	2	TDI	3.3V
FPGA_ TDO	M22	2	TDO	3.3V
FLASH_SPI_MISO	P19	3	配置flash	1.5V
FLASH_SPI_MOSI	P20	3	配置flash	1.5V
FLASH_SPI_CS_N	N18	3	配置flash	1.5V
FLASH_SPI_CLK	P18	3	配置flash	1.5V

3.3 电源

3.3.1 概述

开发板通过电源适配器供电，输入插座规格为DC5521。适配器的输入

参数为：100-240V~50/60MHz，输出：DC12V 1A。板端有反接保护
 输入的12V电源经过板上的电源IC转换输出
 5V,3.3V,2.5V,1.8V,1.5V,1.2V,1.0V以及DDR3所需的0.75V

3.3.2 电源系统分配

POWERTREE

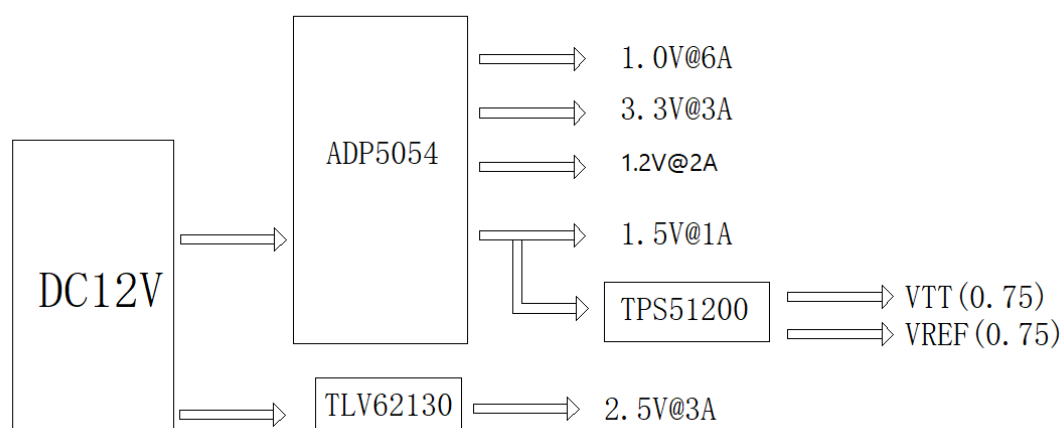


图 3-6 电源电路

3.4 时钟、复位

3.4.1 概述

开发板为 FPGA 提供了一个 50MHz 有源晶振, 连接到了全局时钟引脚。

开发板的复位电路采用按键加专用复位芯片设计, 上电后复位芯片自动产生复位信号给 FPGA 和以太网 PHY 芯片进行复位。并实时监控 3.3V 电压, 出现异常时立即产生复位信号。另外, 也可通过复位按键手动产生复位信号。

3.4.2 时钟、复位电路



图 3-7 时钟及复位连接示意图

3.4.3 管脚分配

表 3-5 FPGA 时钟与复位管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
CLK_50MHZ	M19	2	50MHz 有源晶振输入	3.3V
CLK_27MHZ	AB12	4	27MHz 有源晶振输入	3.3V
FPGA_RST_N	AB3	5	复位信号，低有效	3.3V

3.5 LED

3.5.1 概述

开发板中有 4 个绿色 LED 灯，用户可通过 LED 灯显示所需状态。
可通过以下方式对 LED 灯进行测试：

- 当 FPGA 对应管脚输出信号为逻辑高电平时，LED 被点亮；

■ 当输出信号为低电平时，LED 熄灭

3.5.2 LED 电路

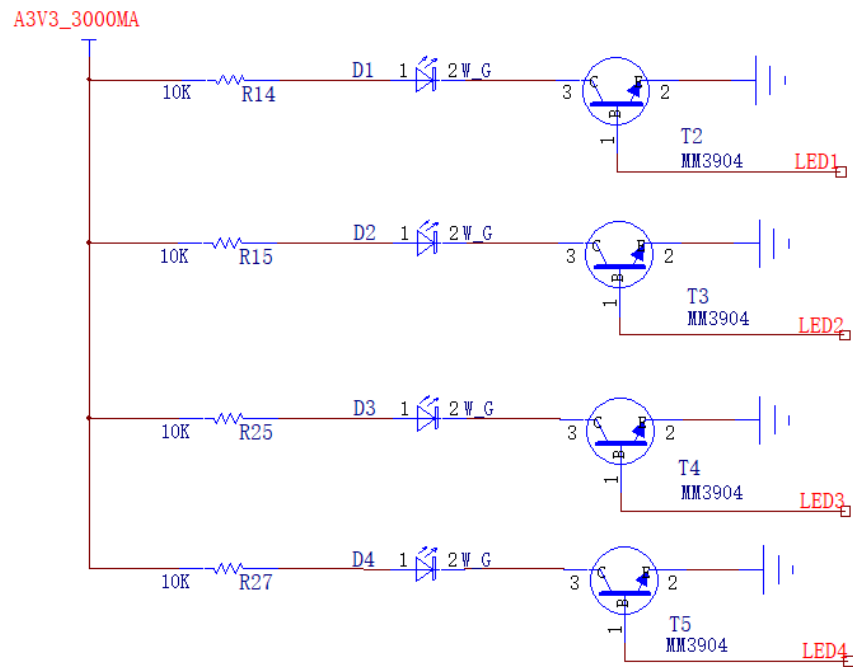


图 3-8 LED电路原理图

3.5.3 管脚分配

表 3-6 LED管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
LED1	U17	3	LED 指示灯 1	1.5V
LED2	U19	3	LED 指示灯 2	1.5V
LED3	U18	3	LED 指示灯 3	1.5V
LED4	T17	3	LED 指示灯 4	1.5V

3.6 滑动开关

3.6.1 概述

开发板中有 4 个滑动开关，可用于用户测试时控制输入（拨上为高电平，拨下为低电平）

3.6.2 滑动开关电路

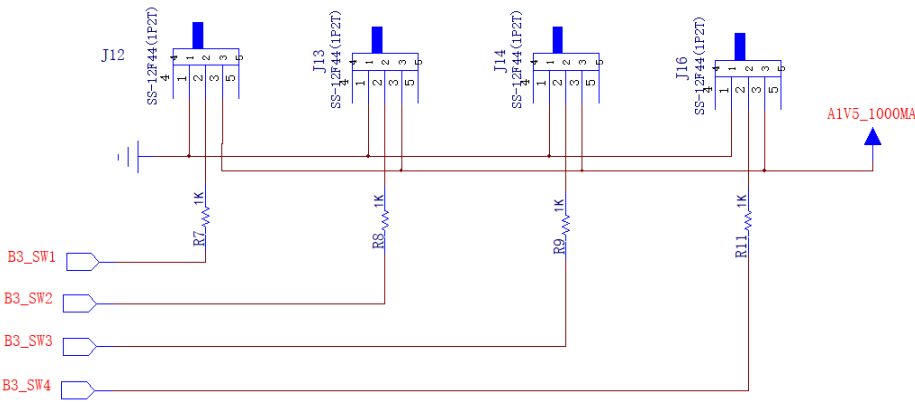


图 3-9 拨码开关电路原理图

3.6.3 管脚分配

表 3-7 拨码开关管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
SW1	W20	3	滑动开关 1	1.5V
SW2	V20	3	滑动开关 2	1.5V
SW3	V22	3	滑动开关 3	1.5V
SW4	R19	3	滑动开关 4	1.5V

3.7 按键

3.7.1 概述

开发板有 4 个按键开关，用户可通过手动控制向对应 FPGA 管脚输入低电平，可作为测试控制输入使用。（按下为低电平）

3.7.2 按键电路

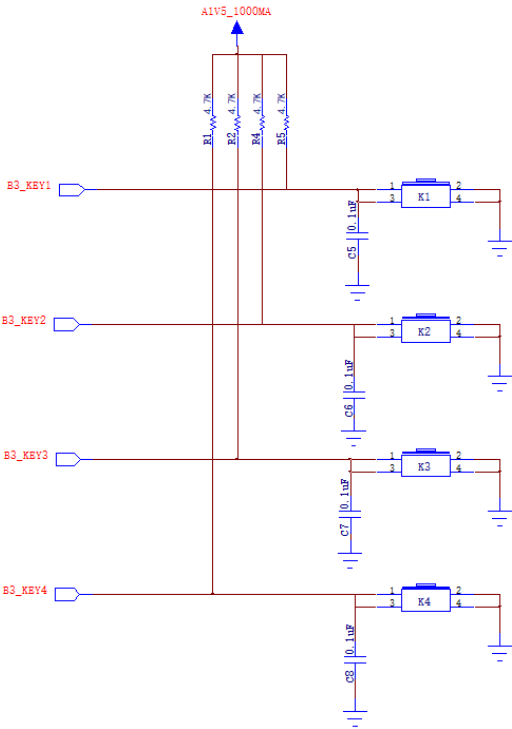


图 3-10 按键电路原理图

3.7.3 管脚分配

表 3-8 按键管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
KEY1	U20	3	按键 1	1.5V
KEY2	T19	3	按键 2	1.5V
KEY3	T20	3	按键 3	1.5V
KEY4	R18	3	按键 4	1.5V

3.8 2Gbit DDR3模块

3.8.1 概述

开发板搭载了一颗 DDR3 芯片，存储空间为 2Gbit，16 位数据总线宽度

最高数据速率为 1600MT/s。

3.8.2 DDR3连接示意图

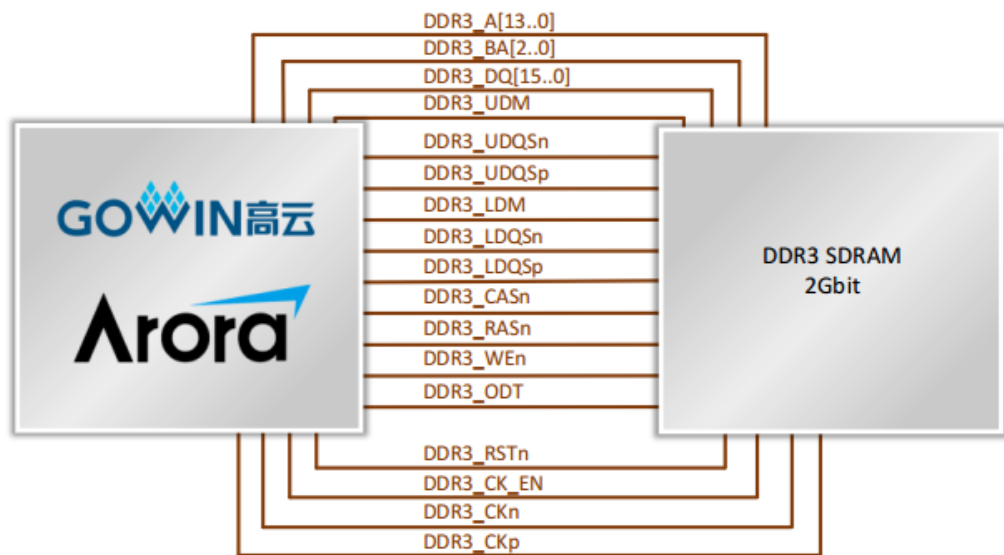


图 3-11 DDR3连接示意图

3.8.3 管脚分配

表 3-9 DDR3管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
DDR3_A0	F1	7	地址	1.5V
DDR3_A1	V5	6	地址	1.5V
DDR3_A2	G6	7	地址	1.5V
DDR3_A3	E5	7	地址	1.5V
DDR3_A4	V3	6	地址	1.5V
DDR3_A5	F2	7	地址	1.5V

DDR3_A6	Y22	3	地址	1.5V
DDR3_A7	H5	7	地址	1.5V
DDR3_A8	AB22	3	地址	1.5V
DDR3_A9	H4	7	地址	1.5V
DDR3_A10	P5	6	地址	1.5V
DDR3_A11	Y21	3	地址	1.5V
DDR3_A12	T5	6	地址	1.5V
DDR3_A13	AA1	6	地址	1.5V
DDR3_BA0	F4	7	BANK地址	1.5V
DDR3_BA1	T4	6	BANK地址	1.5V
DDR3_BA2	F3	7	BANK地址	1.5V
DDR3_CAS	D3	7	列地址选通	1.5V
DDR3_CKE	E4	7	时钟使能	1.5V
DDR3_CLK_P	P22	3	时钟差分	1.5V
DDR3_CLK_N	R22	3	时钟差分	1.5V
DDR3_DQ0	M5	6	数据	1.5V
DDR3_DQ1	T3	6	数据	1.5V
DDR3_DQ2	M4	6	数据	1.5V
DDR3_DQ3	T2	6	数据	1.5V
DDR3_DQ4	Y1	6	数据	1.5V
DDR3_DQ5	U1	6	数据	1.5V
DDR3_DQ6	N4	6	数据	1.5V
DDR3_DQ7	V1	6	数据	1.5V
DDR3_DQ8	R1	7	数据	1.5V
DDR3_DQ9	K3	7	数据	1.5V
DDR3_DQ10	P1	7	数据	1.5V
DDR3_DQ11	J1	7	数据	1.5V
DDR3_DQ12	K5	7	数据	1.5V
DDR3_DQ13	H3	7	数据	1.5V
DDR3_DQ14	M2	7	数据	1.5V
DDR3_DQ15	H2	7	数据	1.5V
DDR3_DM0	P3	6	数据输入屏蔽	1.5V
DDR3_DQS0_P	P4	6	数据选通	1.5V
DDR3_DAS0_N	R4	6	数据选通	1.5V
DDR3_ODT	B3	7	片上终端使能	1.5V
DDR3_RAS	D1	7	行地址选通	1.5V

DDR3_RESET	V4	6	复位	1.5V
DDR3_DM1	K4	7	数据输入屏蔽	1.5V
DDR3_DQS1_P	L2	7	数据选通	1.5V
DDR3_DQS1_N	L1	7	数据选通	1.5V
DDR3_WE	C2	7	写使能	1.5V

3.9 64Mbit SPI Flash

3.9.1 概述

本开发板搭配了64Mbit SPI Flash，型号W25Q64CVSS。可以通过JTAG接口将程序下载到flash中保存。

3.9.2 SPI Flash原理图

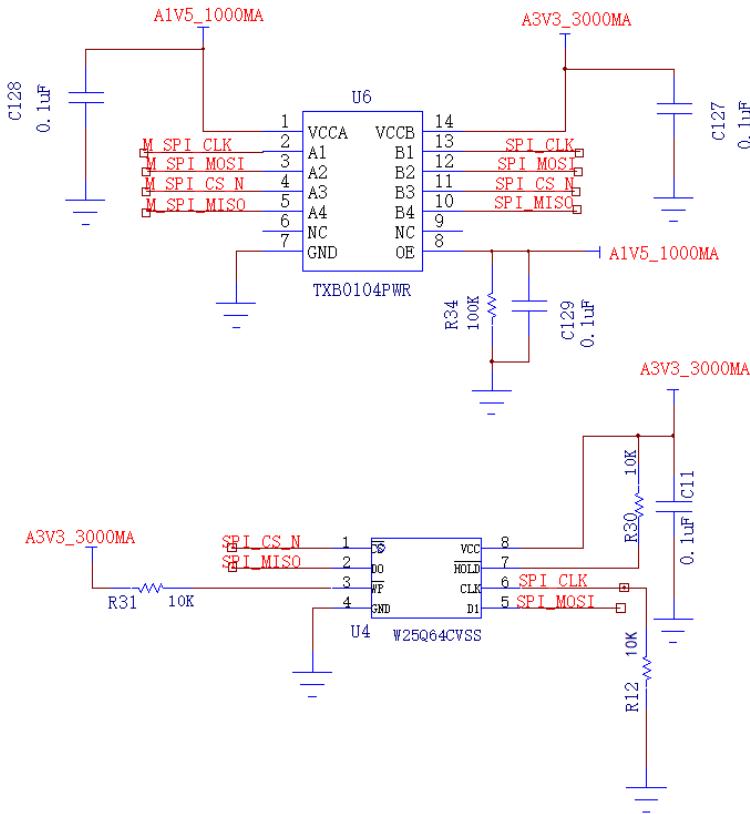


图 3-12 SPI Flash原理图

3.9.3 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
M_SPI_CLK	P18	3	SPI时钟	1.5V
M_SPI_CS_N	N18	3	SPI使能	1.5V
M_SPI_MOSI	P20	3	SPI数据, 主发从收	1.5V
M_SPI_MISO	P19	3	SPI数据, 从发主收	1.5V

3.10 HDMI接口

3.10.1 概述

开发板包含两路HDMI接口, HDMI_RX和HDMI_TX, 通过 FPGA内部 IP 实现 HDMI 信号的接收以及发送。

3.10.2 HDMI接口连接示意图

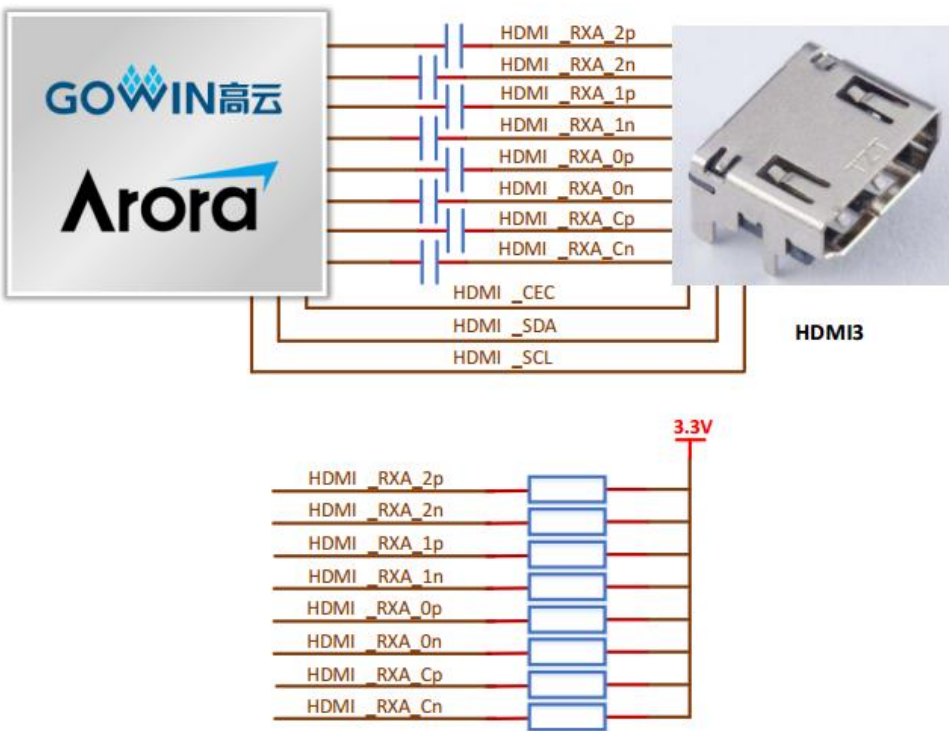


图 3-13 HDMI接口连接示意图

3.10.3 管脚分配

表 3-10 HDMI模块管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
HDMI_RX_CLKP	B11	0	时钟差分	2.5V
HDMI_RX_CLKN	B12	0	时钟差分	2.5V
HDMI_RX_D2P	D4	0	数据差分	2.5V
HDMI_RX_D2N	C4	0	数据差分	2.5V
HDMI_RX_D1P	D5	0	数据差分	2.5V
HDMI_RX_D1N	D6	0	数据差分	2.5V
HDMI_RX_D0P	C7	0	数据差分	2.5V
HDMI_RX_D0N	C8	0	数据差分	2.5V
HDMI_RX_SCL	E19	2	I2C时钟	3.3V
HDMI_RX_SDA	F18	2	I2C数据	3.3V
HDMI_RX_HPD	G17	2	热拔插检测	3.3V
HDMI_RX_CEC	G19	2	遥控信号	3.3V
HDMI_TX_CLKP	A2	0	时钟差分	2.5V
HDMI_TX_CLKN	A3	0	时钟差分	2.5V
HDMI_TX_D2P	A11	0	数据差分	2.5V
HDMI_TX_D2N	A12	0	数据差分	2.5V
HDMI_TX_D1P	A9	0	数据差分	2.5V
HDMI_TX_D1N	A10	0	数据差分	2.5V
HDMI_TX_D0P	B6	0	数据差分	2.5V
HDMI_TX_D0N	A6	0	数据差分	2.5V
HDMI_TX_SCL	K18	2	I2C时钟	3.3V
HDMI_TX_SDA	J18	2	I2C数据	3.3V
HDMI_TX_HPD	G18	2	热拔插检测	3.3V
HDMI_TX_CEC	H20	2	遥控信号	3.3V

3.11 LCD-RGB/LVDS_TX接口

3.11.1 概述

LCD-RGB接口与LVDS_TX接口复用，默认电压2.5V，可兼容两种种接口的屏幕。该接口采用双排2.54间距排针封装，包含32个GPIO，5V以及3.3V电源供应。

用作LCD-RGB接口时：R、G、B三原色各8个I/O；I2C两个I/O；行同步；列同步；时钟；中断信号；背光PWM信号各1个I/O。

用作LVDS_TX接口时：pin11/12---pin33/34是12对差分对，可根据需求选用作为数据差分对和时钟差分对使用。

该接口也可复用于GPIO，注意调整I/O电平

3.11.2 LCD-RGB/LVDS_TX接口原理图

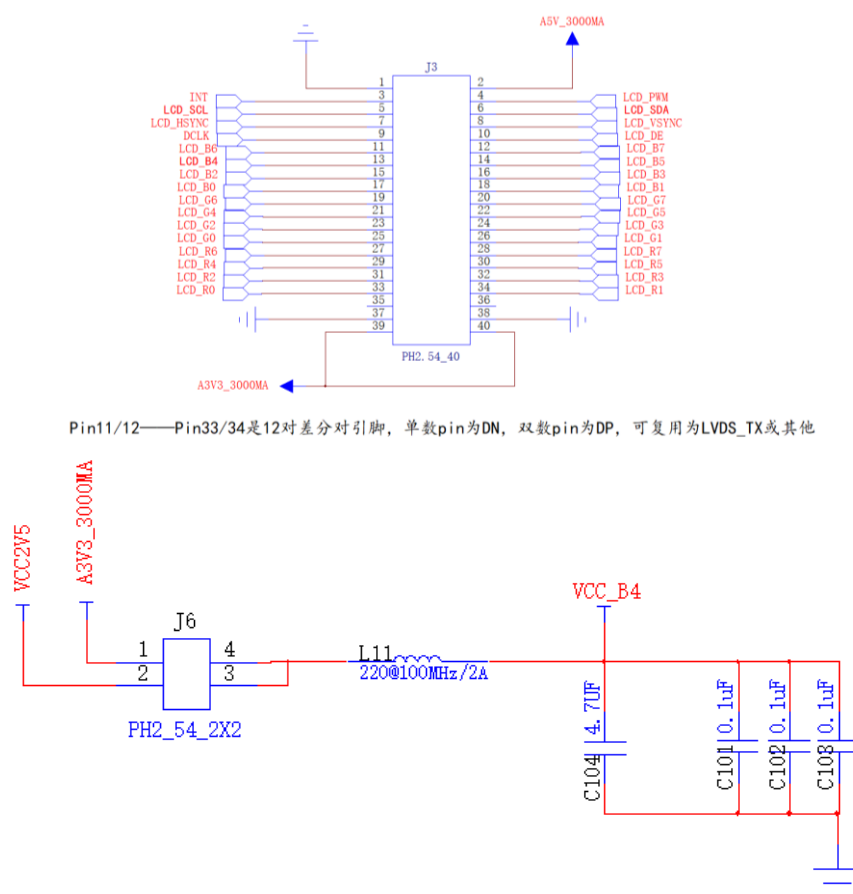


图 3-14 LCD-RGB/LVDS_TX接口原理图

3.11.3 管脚分配

表 3-11 LCD_RGB管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
LCD_B7	V14	4	蓝色数据位	2.5V/3.3V
LCD_B6	V15	4		2.5V/3.3V
LCD_B5	V16	4		2.5V/3.3V
LCD_B4	U16	4		2.5V/3.3V
LCD_B3	V17	4		2.5V/3.3V
LCD_B2	V18	4		2.5V/3.3V
LCD_B1	W19	4		2.5V/3.3V
LCD_B0	V19	4		2.5V/3.3V
LCD_G7	W17	4	绿色数据位	2.5V/3.3V
LCD_G6	W18	4		2.5V/3.3V
LCD_G5	AA20	4		2.5V/3.3V
LCD_G4	Y20	4		2.5V/3.3V
LCD_G3	Y19	4		2.5V/3.3V
LCD_G2	Y18	4		2.5V/3.3V
LCD_G1	AA17	4		2.5V/3.3V
LCD_G0	Y17	4		2.5V/3.3V
LCD_R7	Y16	4	红色数据位	2.5V/3.3V
LCD_R6	W16	4		2.5V/3.3V
LCD_R5	Y14	4		2.5V/3.3V
LCD_R4	Y15	4		2.5V/3.3V
LCD_R3	W14	4		2.5V/3.3V
LCD_R2	W15	4		2.5V/3.3V
LCD_R1	W12	4		2.5V/3.3V
LCD_R0	W13	4		2.5V/3.3V
LCD_HSYNC	G21	2	行同步信号	2.5V/3.3V
LCD_VSYNC	G22	2	列同步信号	2.5V/3.3V
LCD_DE	J22	2	屏使能	2.5V/3.3V
LCD_DCLK	H22	2	时钟	2.5V/3.3V
LCD_SCL	E22	2	I2C时钟	2.5V/3.3V
LCD_SDA	F22	2	I2C数据	2.5V/3.3V
LCD_PWM	C22	2	背光调节	2.5V/3.3V

INT	D22	2	中断或GPIO	2.5V/3.3V
-----	-----	---	---------	-----------

3.12 PMOS

3.12.1 概述

板卡包含两路PMOS接口。每个接口8对差分信号，对外输出DC3.3V。默认功能为PMOS摄像头输入。该接口也可复用为其他功能GPIO（注意BANK4电压可选2.5V/3.3V, BANK5固定为3.3V电压）。

3.12.2 PMOS接口电路

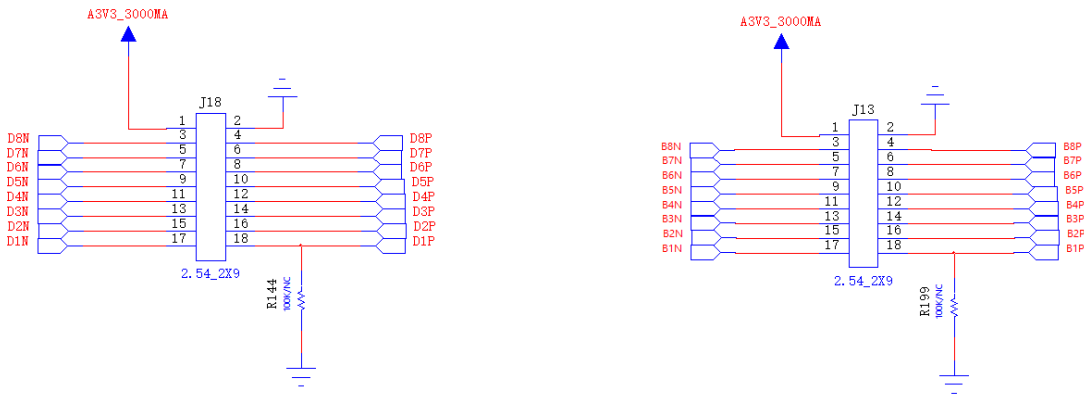


图 3-15 PMOS接口电路原理图

3.12.3 管脚分配

表 3-12PMOS接口管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
D1P	L22	2	差分信号对	3.3V
D1N	K22	2		3.3V
D2P	Y12	4	差分信号对	2.5V/3.3V
D2N	Y13	4		2.5V/3.3V

D3P	V12	4	差分信号对	2.5V/3.3V
D3N	V13	4		2.5V/3.3V
D4P	AB19	4	差分信号对	2.5V/3.3V
D4N	AB20	4		2.5V/3.3V
D5P	AB17	4	差分信号对	2.5V/3.3V
D5N	AB18	4		2.5V/3.3V
D6P	AB16	4	差分信号对	2.5V/3.3V
D6N	AA16	4		2.5V/3.3V
D7P	AB15	4	差分信号对	2.5V/3.3V
D7N	AA15	4		2.5V/3.3V
D8P	AB13	4	差分信号对	2.5V/3.3V
D8N	AB14	4		2.5V/3.3V
B1P	Y6	5	差分信号对	3.3V
B1N	AA6	5		3.3V
B2P	Y3	5	差分信号对	3.3V
B2N	AA3	5		3.3V
B3P	Y4	5	差分信号对	3.3V
B3N	Y5	5		3.3V
B4P	V6	5	差分信号对	3.3V
B4N	V7	5		3.3V
B5P	AA8	5	差分信号对	3.3V
B5N	AB8	5		3.3V
B6P	AA7	5	差分信号对	3.3V
B6N	AB7	5		3.3V
B7P	AB5	5	差分信号对	3.3V
B7N	AB6	5		3.3V
B8P	AB1	5	差分信号对	3.3V
B8N	AB2	5		3.3V

3.13以太网模块

3.13.1 概述

三速以太网接口模块是基于博通的BCM50610以太网IC设计实现。

PHY_MDC	V9	5	I2C时钟	3.3V
PHY_MDIO	V8	5	I2C数据	3.3V
PHY_RESET	U7	5	复位	3.3V

3.14 USB转UART

3.14.1 概述

开发板提供 UART 串口功能。由 CP2102 实现 USB 转串口。

3.14.2 原理图

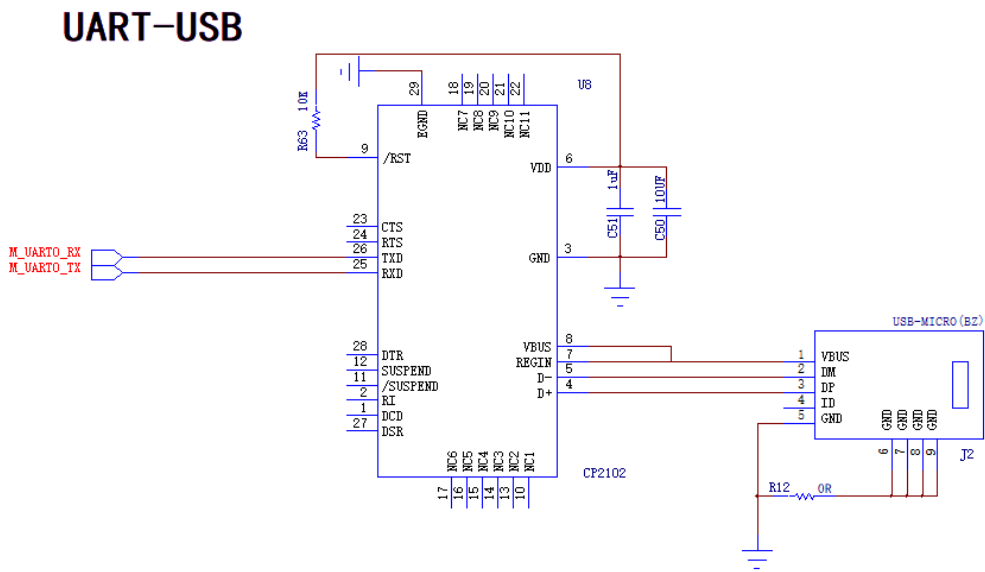


图 3-17 USB 转 UART 电路原理图

3.14.3 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
M_UART0_RX	L20	2	串口接收	3.3V
M_UART0_TX	K20	2	串口发送	3.3V

3.15 MICRO SD接口

3.15.1 概述

开发板提供 MICRO SD 接口功能。支持外挂 TF 卡。

3.15.2 连接示意图



图 3-18 MICRO SD 连接示意图

3.15.3 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
SD_DATA2	M21	2	数据	3.3V
SD_DATA3	L21	2	数据	3.3V
SD_CMD	D19	2	控制	3.3V
SD_CLK	H19	2	时钟	3.3V
SD_DATA0	J19	2	数据	3.3V
SD_DATA1	J20	2	数据	3.3V
SD_SDDEF	H18	2	插入检测	3.3V

3.16 MIPI接口

3.16.1 概述

板卡包含一组 MIPI 输入：一对差分时钟，两对差分数据。一组 MIPI 输出：一对差分时钟，三对差分数据。MIPI-DSI 支持友达 LCD 屏 B101UAN01.7，MIPI-CSI 支持树莓派 OV5647 摄像头。

3.16.2 MIPI接口原理图

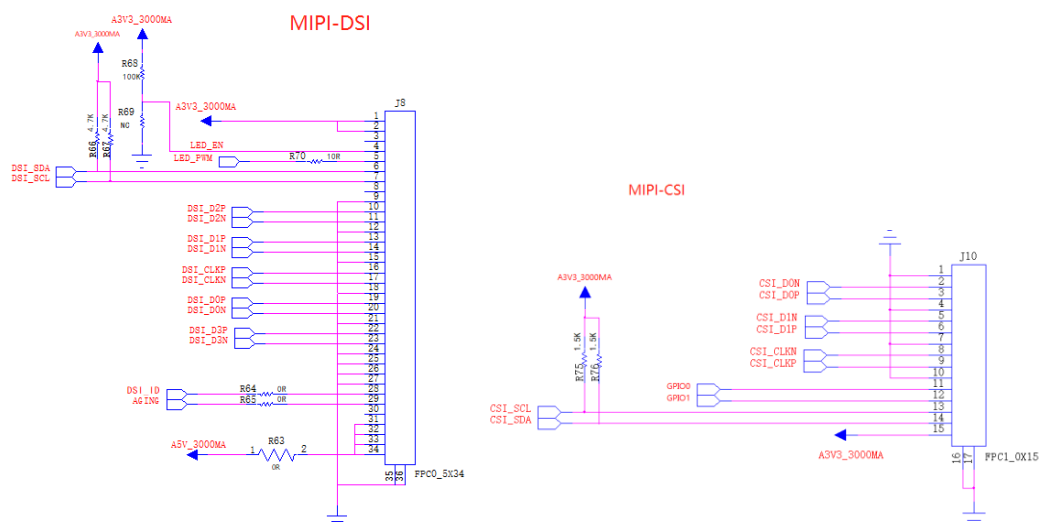


图 3-19 MIPI 接口原理图

3.16.3 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
DSI_CLKP	A15	1	差分时钟	2.5V
DSI_CLKN	B15	1		2.5V
DSI_D0P	A17	1	差分数据	2.5V
DSI_D0N	B17	1		2.5V
DSI_D1P	C14	1	差分数据	2.5V
DSI_D1N	C15	1		2.5V

DSI_D2P	A22	1	差分数据	2.5V
DSI_D2N	B22	1		2.5V
DSI_D3P	C18	1	差分数据	2.5V
DSI_D3N	C19	1		2.5V
DSI_SDA	C20	2	I2C数据	3.3V
DSI_SCL	B20	2	I2C时钟	3.3V
LED_PWM	F19	2	屏背光PWM	3.3V
DSI_ID	F20	2	屏ID识别	3.3V
AGING	F21	2	AGING MODE	3.3V
CSI_CLKP	D11	1	差分时钟	2.5V
CSI_CLKN	D12	1		2.5V
CSI_D0P	E14	1	差分数据	2.5V
CSI_D0N	E15	1		2.5V
CSI_D1P	E12	1	差分数据	2.5V
CSI_D1N	E13	1		2.5V
CSI_SDA	B21	2	I2C数据	3.3V
CSI_SCL	C21	2	I2C时钟	3.3V
GPIO0	D20	2	控制IO	3.3V
GPIO1	E20	2	控制IO	3.3V

4、开发板使用

4.1 工程导入

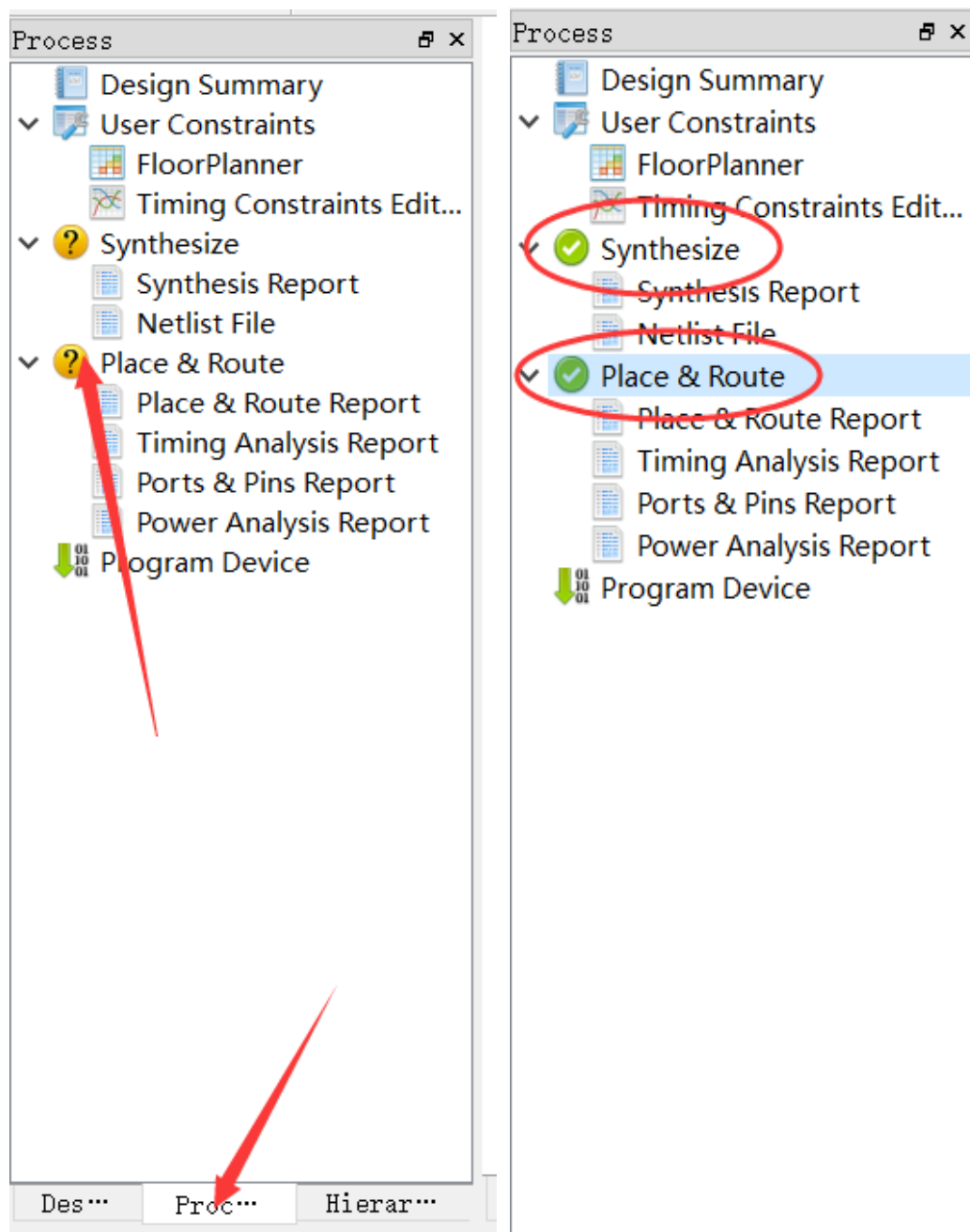
具体软件操作说明参见SUG100-1.7_Gowin云源软件用户指南

1. 直接点击.gprj文件
2. 进入开发软件后点击“文件”→“打开”选择.gprj文件导入

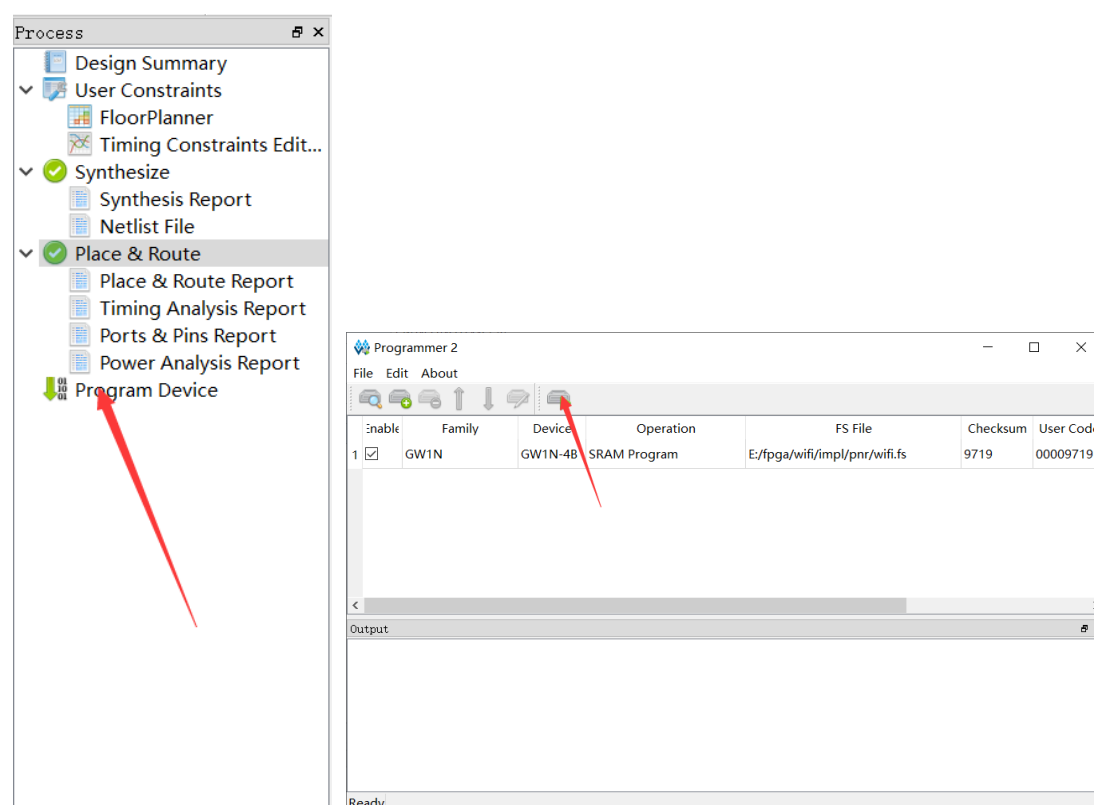


4.2 程序编译和下载

1.编写完程序之后保存点击Process 点击Place&Route编译, 编译通过之后前面会出现绿勾



2.编译通过后双击Program Device弹出下载窗口，点击开始下载



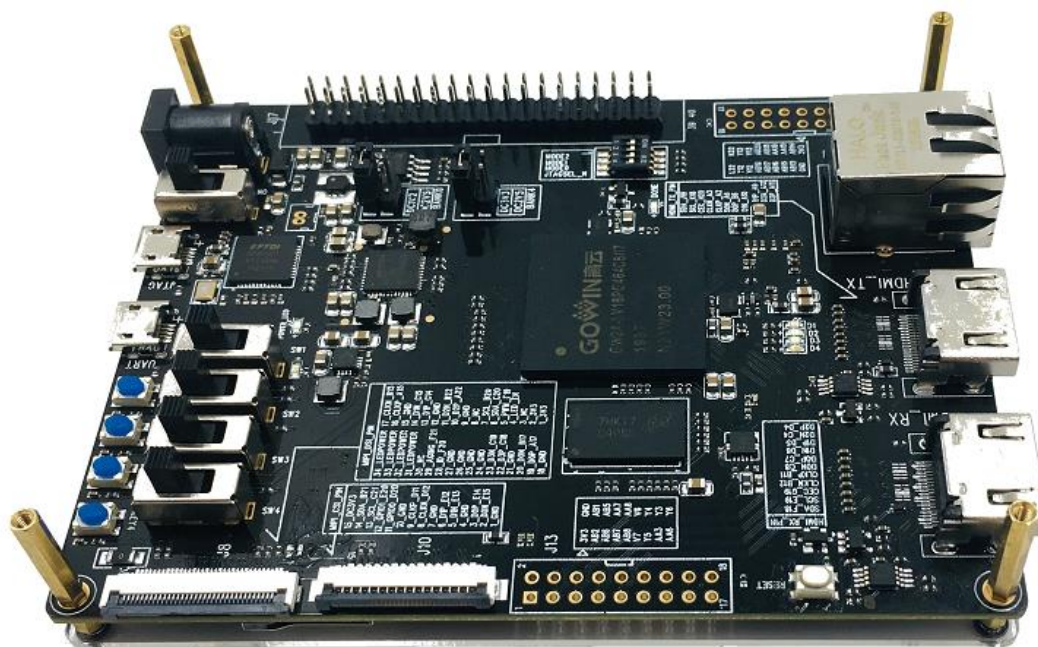
4.3 例程操作及现象说明

开发板提供40余套配套视频，其中两套视频例程。视频教程一作为公益教程已经免费发布在Bilibili（网址：

<https://space.bilibili.com/507416742>），公益视频主要讲解FPGA开发的基础硬件知识（内容会要求有一定的硬件和数字电路基础），该套视频主要基于高云Runber（蜂鸟），Pocket Lab开发套件的实验案例共20余期视频教程（Runber、Pocket Lab、Combat使用方法基本类似），涉及高云软件的使用，Verilog语法等。后期教学视频将持续在Bilibili更新，欢迎关注。

Combat同时也提供包括DDR3，MIPI，以太网等针对视频处理，工控等领域高质量工程源码，配套视频也将陆续推出和更新，欢迎关注。

4.4 开发板使用注意事项



1. 开发板使用时，注意轻拿轻放，并做好静电防护。
2. 对内部 Flash 或外部 Flash 下载 bitstream 文件时，需设置 MODE 脚状态在正确的配置值上。
3. 连接模块时，必须先断电。